

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2013年11月14日 (14.11.2013)



(10) 国际公布号  
WO 2013/166939 A1

- (51) 国际专利分类号:  
G06F 15/76 (2006.01)
- (21) 国际申请号: PCT/CN2013/075149
- (22) 国际申请日: 2013年5月3日 (03.05.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201210143616.5 2012年5月9日 (09.05.2012) CN
- (71) 申请人: 北京兆易创新科技股份有限公司 (GIGADEVICE SEMICONDUCTOR (BEIJING) INC.) [CN/CN]; 中国北京市海淀区学院路30号天工大厦A12层01-15室, Beijing 100083 (CN)。
- (72) 发明人: 李宝魁 (LI, Baokui); 中国北京市海淀区学院路30号天工大厦A12层01-15室, Beijing 100083 (CN)。 王南飞 (WANG, Nanfei); 中国北京市海淀区学院路30号天工大厦A12层01-15室, Beijing 100083 (CN)。 王景华 (WANG, Jinghua); 中国北京市海淀区学院路30号天工大厦A12层01-15室, Beijing 100083 (CN)。
- (74) 代理人: 北京润泽恒知识产权代理有限公司 (BEIJING RISEHIGH INTELLECTUAL PROPERTY

LAW FIRM); 中国北京市海淀区中关村南大街31号神舟大厦1116, Beijing 100081 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: EMBEDDED SYSTEM CONTROLLER

(54) 发明名称: 一种嵌入式系统控制器

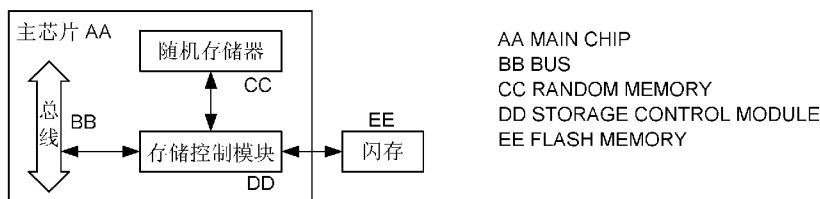


图1 / FIG. 1

(57) Abstract: An embedded system controller comprises a main chip and a flash memory. The main chip comprises: a bus; a random memory; and a storage control module which is configured to copy program data to be used to the random memory from the flash memory, and also configured to read required program data from the random memory when receiving a read access request from the bus and write program data to be written into the random memory and the flash memory when receiving a write access request from the bus. The present application can allow the main chip of an embedded system controller to be manufactured using an advanced standard circuit manufacturing process and achieve excellent performance and power consumption.

(57) 摘要: 一种嵌入式系统控制器, 包括: 主芯片、闪存; 所述主芯片包括: 总线; 随机存储器; 存储控制模块, 配置为将待用的程序数据从闪存中复制到所述随机存储器中; 还配置为当从所述总线收到读访问请求时, 从所述随机存储器中读取所需的程序数据, 当从所述总线收到写访问请求时, 将待写入的程序数据写入所述随机存储器及所述闪存。本申请能够使嵌入式系统控制器的主芯片可以采用先进的标准电路制造工艺制造, 又可达到较优的性能和功耗。



WO 2013/166939 A1

## 一种嵌入式系统控制器

### 5 技术领域

本申请涉及电子领域，尤其涉及一种嵌入式系统控制器。

#### 背景技术

嵌入式系统正常工作时，嵌入式系统控制器中的 CPU( Central Processing  
10 Unit, 中央处理器)对程序存储器的访问主要是读操作。所以程序存储器的  
读速度直接影响嵌入式系统的性能。闪存是目前嵌入式系统中最常用的程序  
存储器。

由于接口的限制，片外闪存很难满足嵌入式系统对程序存储器的性能要  
求。嵌入式闪存技术应运而生。该技术将闪存电路与标准电路制造在同一颗  
15 芯片上，解决了接口的限制，使 CPU 可以每个周期从闪存读出一条程序指  
令。目前，主流厂商 (ST, NXP, TI, FreeScale) 的嵌入式系统普遍采用嵌  
入式闪存作程序存储器。

嵌入式闪存最大的缺点是制造难度大，制造工艺远远落后于标准电路。  
目前，主流芯片代工厂的嵌入式闪存制造工艺在 130nm 制程上仍不成熟；而  
20 标准电路的制造工艺已经达到了 40nm 制程。对于相同的电路而言，采用 40nm  
制程制造的芯片面积会锐减到 130nm 制程的十分之一。而且前者的功耗会比  
后者低很多，性能也远高于后者。此外，嵌入式闪存芯片的量产良率远低于  
标准电路芯片，而且嵌入式闪存会大幅增加主芯片的量产测试时间。闪存的  
读速度更是嵌入式系统的性能瓶颈。

25

#### 发明内容

本申请要解决的技术问题是如何使嵌入式系统控制器的主芯片可以采  
用先进的标准电路制造工艺制造，又可达到较优的性能和功耗。

为了解决上述问题，本申请提供了一种嵌入式系统控制器，包括：主芯片、闪存；

所述主芯片包括：总线；

随机存储器；

- 5 存储控制模块，配置为将待用的程序数据从闪存中复制到所述随机存储器中；还配置为当从所述总线收到读访问请求时，从所述随机存储器中读取所需的程序数据，当从所述总线收到写访问请求时，将待写入的程序数据写入所述随机存储器及所述闪存。

优选地，所述随机存储器为 SRAM；

- 10 所述主芯片与所述闪存采用多芯片封装技术制造在同一个封装内。

优选地，所述随机存储器和闪存的容量相同；

将待用的程序数据从闪存中复制到所述随机存储器中时，是将闪存中所有数据都复制到所述随机存储器中。

- 15 优选地，所述随机存储器的容量为能够保证系统正常运行所需的程序数据的最小容量；

将待用的程序数据从闪存中复制到所述随机存储器中时，是将能够保证系统正常运行所需的程序数据复制到所述随机存储器中。

优选地，所述存储控制模块包括：

随机存储器 RAM 控制模块、闪存控制模块；

- 20 总线接口模块，配置为接收系统总线的读、写访问请求，并将其中对于程序数据的读、写访问请求分别转化为读、写指令；还配置为将所读取的程序数据发往系统总线；

- 25 主控模块，配置为根据所述读指令控制所述 RAM 控制模块从所述随机存储器中读取所需的程序数据，并发送给所述总线接口模块；根据所述写指令控制所述 RAM 控制模块从总线接口模块接收待写入的程序数据写入所述随机存储器，控制所述闪存控制模块从总线接口模块接收待写入的程序数据写入所述闪存；还配置为当所述随机存储器中没有待用的程序数据时，控制

所述闪存控制模块从闪存中读取待用的程序数据，控制所述 RAM 控制模块将所述待用的程序数据写入所述随机存储器中。

优选地，所述存储控制模块还包括：

配置寄存器，配置为保存本存储控制模块的配置信息和状态信息；

- 5 所述总线接口模块所接收的系统总线的读、写访问请求中也包括对配置寄存器的读、写访问请求，所述总线接口模块根据对配置寄存器的读/写访问请求直接对所述配置寄存器进行读/写操作。

优选地，所述存储控制模块还包括：

- 10 加密模块，配置为将从总线接口模块接收的待写入的程序数据加密，然后发送给所述闪存控制模块；

解密模块，配置为将所述闪存控制模块读取的待用的程序数据解密，然后发送给所述 RAM 控制模块。

- 15 优选地，所述主控模块还配置为当待用的程序数据复制结束时，向所述闪存控制模块发送低功耗请求；当待写入的程序数据写入完成时，延时一预定时间后向所述闪存控制模块发送低功耗请求；当需要复制待用的程序数据时，或当收到写指令时，向所述闪存控制模块发送退出低功耗请求；

所述闪存控制模块还配置为当收到所述低功耗请求时控制所述闪存进入深度省电模式，当收到所述退出低功耗请求时控制所述闪存退出深度省电模式。

- 20 优选地，所述存储控制模块还包括：

计数器；

所述主控模块当待写入的程序数据写入完成时，使所述计数器清零并开始计数，待所述计数器溢出时发送所述低功耗请求。

优选地，所述存储控制模块还包括：

- 25 多路选择器 MUX，第一输入端连接所述总线接口模块的写数据端口，第二输入端连接所述闪存控制模块的读数据端口，多路选择器的输出端连接所述 RAM 控制模块的写数据端口，控制端连接所述主控模块；

所述主控模块当需要复制待用的程序数据时，控制所述多路选择器输出所述第二输入端的程序数据；当收到所述写指令时，控制所述多路选择器输出所述第一输入端的程序数据。

5 本申请还提供了一种在其上记录有用于执行权利要求 1 所述嵌入式系统控制器的程序的计算机可读记录介质。

本申请的技术方案创新地采用片内随机存储器与片外闪存配合工作来实现系统的程序存储器。其最大的优点是使嵌入式系统可以避免嵌入式闪存的落后制造工艺，采用先进的标准电路制造工艺制造。同时，在性能和功耗上均优于嵌入式闪存方案。

10

### 附图说明

图 1 是实施例一的嵌入式系统控制器的示意框图；

图 2 是实施例一的存储控制模块的示意框图。

### 15 具体实施方式

下面将结合附图及实施例对本申请的技术方案进行更详细的说明。

实施例一，一种嵌入式系统控制器，如图 1 所示，包括：主芯片和闪存；所述主芯片包括：

总线；

20 随机存储器；

存储控制模块，配置为将待用的程序数据从闪存中复制到所述随机存储器中；还配置为当从所述总线收到读访问请求时，从所述随机存储器中读取所需的程序数据，当从所述总线收到写访问请求时，将待写入的程序数据写入所述随机存储器及所述闪存。

25 当然，所述控制器中的总线上还可以连接其它元件，如 CPU、各设备、DMA（Direct Memory Access，直接内存存取）模块等；另外连接哪些元件可以参照现有技术实施。

本实施例中，所述随机存储器可以但不限于为 SRAM（Static Random Access Memory，静态随机存储器），也可以为 DRAM（Dynamic Random Access Memory，动态随机存储器）等其它随机存储器。

5 随机存储器采用标准电路、读写速度快且功耗低，但是掉电后信息会丢失；闪存的电路比较特殊，不易集成到标准电路芯片中，但电路面积较小，掉电后信息不会丢失；其缺点是读写速度较慢，功耗较高。本实施例以随机存储器作为读访问时提供程序数据的存储器，对程序存储器的读操作相当于读随机存储器，所以性能和功耗都大大优于嵌入式闪存方案；随机存储器以及闪存均作为保存程序数据的存储器，对程序存储器的写操作相当于同时写  
10 随机存储器和闪存，以保证程序数据能尽快保存好作为可读数据（保存进随机存储器的部分），且在系统掉电后不丢失（保存进闪存的部分）。考虑到正常运行时嵌入式系统对程序存储器的访问绝大多数是读操作，所以本方案在性能和功耗上相对嵌入式闪存方案有较大的优势。

以 SRAM 为例，对比看来，SRAM 的读写速度远高于闪存，功耗远低于  
15 闪存，两者的性能对比详见下表。

表一、闪存、SRAM 性能参数

	嵌入式闪存 130nm 制程	SRAM 130nm 制程	SRAM 90nm 制程
读访问时间	50ns	3ns	1.3ns
读访问功率 工作频率：20MHz	15mW	3.7mW	2.7mW
读访问功率 工作频率：50MHz	性能达不到	9.5mW	6.8mW
读访问功率 工作频率：200MHz	性能达不到	37.8mW	27.1mW
写访问时间	20us	3ns	1.3ns
写访问功率	10.5mW	5.0mW	1.7mW

本实施例的成本相当于主芯片加上闪存芯片的成本。闪存芯片的价格较低，1Mb 容量的 NOR 型闪存市场售价仅约 8 到 9 美分。相同制程相同容量的 SRAM 比闪存面积大，假设以相同容量的 SRAM 替代嵌入式闪存的话，  
20 主芯片的面积也会比嵌入式闪存芯片大；虽然如此，但相同制程相同面积的

嵌入式闪存芯片造价通常比标准电路芯片高 30%。而且嵌入式闪存会降低主芯片的良率，增加主芯片的测试时间，从而导致成本提升。本实施例使主芯片可以采用更先进的标准电路制造工艺来制造。对于相同的电路而言，90nm 制程制造的芯片面积会是 130nm 制程制造的 50%；40nm 制程制造的芯片面积会是 130nm 制程制造的 10%。由此可见，如果采用更先进的制造工艺制造，本方案的成本将优于嵌入式闪存方案；即使采用相同的制造工艺，在存储容量相对较小的系统中，本实施例的成本也可能优于嵌入式闪存方案。

本实施例中，为了让产品的体积更小巧，可采用 MCP（Multiple Chip Package，多芯片封装）技术将主芯片与闪存芯片制造在同一个封装内。

10 本实施例中，所述存储控制模块是本申请的核心部件，用来控制随机存储器与片外闪存协调工作从而实现高性能程序存储器，如图 2 所示，具体可以包括：

RAM（随机存储器）控制模块、闪存控制模块；

15 总线接口模块，配置为接收系统总线的读、写访问请求，并将其中对于程序数据的读、写访问请求分别转化为读、写指令；还配置为将所读取的程序数据发往系统总线；

20 主控模块，配置为根据所述读指令控制所述 RAM 控制模块从所述随机存储器中读取所需的程序数据，并发送给所述总线接口模块；根据所述写指令控制所述 RAM 控制模块从总线接口模块接收待写入的程序数据写入所述随机存储器，控制所述闪存控制模块从总线接口模块接收待写入的程序数据写入所述闪存；还配置为当所述随机存储器中没有待用的程序数据时，控制所述闪存控制模块从闪存中读取待用的程序数据，控制所述 RAM 控制模块将所述待用的程序数据写入所述随机存储器中。

25 本实施例中，待用的程序数据可以是闪存中全部的数据，也可以是根据系统需求而确定的部分数据；在一种实施方式中，所述随机存储器和闪存的容量相同，此方式中将待用的程序数据从闪存中复制到所述随机存储器中时，可将闪存中全部数据复制到随机存储器中，这样在系统持续运行时无需专门再去复制数据，运行效率较高；在另一种实施方式中，所述随机存储器的容量为能够保证系统正常运行所需的程序数据的最小容量，此方式中随机

存储器的容量可较小，将待用的程序数据从闪存中复制到所述随机存储器中时，是将能够保证系统正常运行所需的程序数据复制到所述随机存储器中。

本实施例中，所述存储控制模块还可以包括：配置寄存器，配置为保存本存储控制模块的配置信息和状态信息；

5 所述总线接口模块所接收的系统总线的读、写访问请求中也包括对配置寄存器的读、写访问请求，总线接口模块根据地址空间的不同将系统总线的访问分为两类：一类是访问配置寄存器，一类是访问程序存储空间（即对于程序数据的读、写访问请求）。由所述总线接口模块根据对配置寄存器的读/写访问请求直接对所述配置寄存器进行读/写操作。

10 本实施例中，所述存储控制模块还可以包括：加密模块和解密模块；

所述加密模块配置为将从总线接口模块接收的待写入的程序数据加密，然后发送给所述闪存控制模块；

所述解密模块配置为将所述闪存控制模块读取的待用的程序数据解密，然后发送给所述 RAM 控制模块。

15 本实施例中，加密/解密的算法相互对应即可，不限于使用特定的加密/解密算法，可使用一种或组合的加密/解密算法。

可以看出，所述存储控制模块中共有五条数据通路，如图 2 所示：

数据通路 1：从 RAM 控制模块的读数据端口到总线接口的读数据端口。

数据通路 2：从总线接口的写数据端口到 RAM 控制模块的写数据端口。

20 数据通路 3：从总线接口的写数据端口，经过加密模块，到闪存控制模块的写数据端口。

数据通路 4：从闪存控制模块的读数据端口，经过解密模块，到 RAM 控制模块的写数据端口。

数据通路 5：总线接口与配置寄存器之间的数据通路。

25 下面以 SRAM 为例，分四种工作模式和三种功耗模式介绍存储控制模块的工作流程。

工作模式 1：复制模式

复制模式的功能是通过数据通路 4 将闪存内的数据复制到 SRAM 中。在此模式下，闪存控制模块负责读取闪存内的数据，解密模块负责解密数据，RAM 控制模块负责将解密后的数据存储到 SRAM 中。何时进入复制模式，复制的数据量有多少，复制闪存内的哪部分数据到 SRAM 的哪个地址段，这些都是所述主控模块根据系统的个性化需求来决定的。所需遵循的基本原则是系统当前运行所需的程序必须已经由复制模式复制到 SRAM 中。在复制模式下，总线接口模块会通过总线响应信号使系统处于等待状态。为避免影响系统运行的连贯性，复制模式必须在系统运行的间隙启动。

例如，一个支持 10 种语言界面的嵌入式系统。它的程序由 22K 字节的系统程序和 100K 字节的文字库组成，其中每种语言的文字库大小为 10K 字节。这个嵌入式系统需要 128K 字节容量的闪存（只用到 122K 字节）和 32K 字节容量的 SRAM。在上电复位时，立即进入复制模式，将 22K 系统程序和 10K 的默认文字库复制到 SRAM。系统启动后，只有当用户要求切换到别的语言界面时，系统才会再次进入复制模式，用所选的文字库替换原来的文字库。

最简单的应用实例是，上电复位后立即进入复制模式，将闪存内的所有数据复制到 SRAM 中，系统启动后不再进入复制模式。系统启动后不需要再寻找适当的间隙进入复制模式，但需要较大容量的 SRAM。

#### 工作模式 2: 读取模式

读取模式的功能是通过数据通路 1 将 SRAM 中的数据读出并送往系统总线。当系统对程序存储空间做读访问时，存储控制模块会进入读取模式。在此模式下，RAM 控制模块负责读取 SRAM 中的数据，总线接口模块负责将数据送往系统总线。

#### 工作模式 3: 编程模式

编程模式的功能是通过数据通路 2 和数据通路 3 将数据同时写到 SRAM 和闪存中，以保证两个存储模块内数据的一致性。当系统对程序存储空间做写访问时，存储控制模块会进入编程模式。在此模式下，总线接口模块负责接收系统总线发来的待写入的程序数据，加密模块负责将待写入的程序数据加密，闪存控制模块负责将加密后的待写入的程序数据存储到闪存内，RAM

控制模块负责将未加密的待写入的程序数据写入 SRAM。

#### 工作模式 4: 空闲模式

在空闲模式下, 存储控制模块中所有模块均不工作, 处于待命状态。

#### 功耗模式 1: 普通模式

- 5 在普通模式下, 存储控制模块中所有模块都处于正常供电状态, 所有工作模式均可正常运行。

#### 功耗模式 2: 低功耗模式

- 10 进入低功耗模式时, 闪存控制模块会控制闪存进入深度省电模式(闪存自带模式); 退出低功耗模式时, 闪存控制模块会控制闪存退出深度省电模式。处于深度省电模式下, 闪存会大幅降低功耗(降低至约十几微瓦), 但无法接受读写访问。所以, 此时复制模式和编程模式无法正常运行。

系统正常运行时对程序存储空间的访问绝大多数是读访问。所以存储控制模块在绝大多数时间内都处于低功耗模式。

#### 功耗模式 3: 关断模式

- 15 进入关断模式时, 闪存控制模块会关断闪存的电源; 退出关断模式时, 闪存控制模块会开启闪存的电源。当系统进入待机模式时, 会关闭存储控制模块的时钟。在此之前, 存储控制模块会先进入关断模式。当系统被唤醒时, 存储控制模块会同时退出关断模式。在关断模式下, 闪存的功耗为零, 所有工作模式均无法运行。

- 20 本实施例中, 所述主控模块负责控制本存储控制模块的工作模式, 使各模块协调工作完成各工作模式所需的功能。

闪存控制模块除了能对闪存执行读、写、擦除等数据操作, 还能进行读 ID, 读状态, 以及切换各种工作模式的操作, 例如进入或退出低功耗模式, 并且可通过电源管理模块控制片外闪存的电源开关。

- 25 本实施例中, 所述主控模块还可以配置为当待用的程序数据复制结束时, 向所述闪存控制模块发送低功耗请求; 当待写入的程序数据写入完成时, 延时一预定时间后向所述闪存控制模块发送低功耗请求; 当需要复制待用的程序数据时, 或当收到写指令时, 向所述闪存控制模块发送退出低功耗请求;

所述闪存控制模块还可以配置为当收到所述低功耗请求时控制所述闪存进入深度省电模式，当收到所述退出低功耗请求时控制所述闪存退出深度省电模式。

5 本实施例中，所述主控模块可以但不限于通过一个低功耗请求标志来发送低功耗请求/退出低功耗请求，该标志被设置为有效时是发送低功耗请求，表示系统进入低功耗模式；所述闪存控制模块通过侦听该标志来接收请求；该标志被设置为无效时是发送退出低功耗请求，表示系统退出低功耗模式。

在复制模式和编程模式下，低功耗请求标志恒为无效。退出复制模式时，该标志立即被设为有效状态。

10 本实施例中，所述主控模块可以但不限于通过一计数器进行延时。

所述存储控制模块还包括一计数器；

所述主控模块当待写入的程序数据写入完成时，使所述计数器清零并开始计数，待所述计数器溢出时发送所述低功耗请求。

15 退出编程模式时，计数器会清零并开始计数，待计数器溢出时，低功耗请求标志才会被设为有效状态。计数器的作用是避免存储控制模块频繁进出低功耗模式。

本实施例中，所述存储控制模块还可以包括：

20 多路选择器 MUX，第一输入端连接所述总线接口模块的写数据端口，第二输入端连接所述闪存控制模块（有解密模块时，是通过所述解密模块连接所述闪存控制模块）的读数据端口，多路选择器的输出端连接所述 RAM 控制模块的写数据端口，控制端连接所述主控模块；

所述主控模块当需要复制待用的程序数据时，控制所述多路选择器输出所述第二输入端的程序数据；当收到所述写指令时，控制所述多路选择器输出所述第一输入端的程序数据。

25

本申请还提供了一种在其上记录有用于执行权利要求 1 所述方法的程序的计算机可读记录介质。

所述计算机可读记录介质包括用于以计算机（例如计算机）可读的形式

存储或传送信息的任何机制。例如，机器可读介质包括只读存储器（ROM）、随机存取存储器（RAM）、磁盘存储介质、光存储介质、闪速存储介质、电、光、声或其他形式的传播信号（例如，载波、红外信号、数字信号等）等。

- 5 当然，本申请还可有其他多种实施例，在不背离本申请精神及其实质的情况下，熟悉本领域的技术人员当可根据本申请作出各种相应的改变和变形，但这些相应的改变和变形都应属于本申请的权利要求的保护范围。

## 权 利 要 求 书

---

- 1、一种嵌入式系统控制器，包括：主芯片；所述主芯片包括：总线；其特征在于，所述嵌入式系统控制器还包括：闪存；所述主芯片还包括：
- 5 随机存储器；
- 存储控制模块，配置为将待用的程序数据从闪存中复制到所述随机存储器中；还配置为当从所述总线收到读访问请求时，从所述随机存储器中读取所需的程序数据，当从所述总线收到写访问请求时，将待写入的程序数据写入所述随机存储器及所述闪存。
- 10 2、如权利要求 1 所述的控制器，其特征在于：
- 所述随机存储器为 SRAM；
- 所述主芯片与所述闪存采用多芯片封装技术制造在同一个封装内。
- 3、如权利要求 1 所述的控制器，其特征在于：
- 所述随机存储器和闪存的容量相同；
- 15 将待用的程序数据从闪存中复制到所述随机存储器中时，是将闪存中所有数据都复制到所述随机存储器中。
- 4、如权利要求 1 所述的控制器，其特征在于：
- 所述随机存储器的容量为能够保证系统正常运行所需的程序数据的最小容量；
- 20 将待用的程序数据从闪存中复制到所述随机存储器中时，是将能够保证系统正常运行所需的程序数据复制到所述随机存储器中。
- 5、如权利要求 1 到 4 中任一项所述的控制器，其特征在于，所述存储控制模块包括：
- 随机存储器 RAM 控制模块、闪存控制模块；
- 25 总线接口模块，配置为接收系统总线的读、写访问请求，并将其中对于

程序数据的读、写访问请求分别转化为读、写指令；还配置为将所读取的程序数据发往系统总线；

5 主控模块，配置为根据所述读指令控制所述 RAM 控制模块从所述随机存储器中读取所需的程序数据，并发送给所述总线接口模块；根据所述写指令控制所述 RAM 控制模块从总线接口模块接收待写入的程序数据写入所述随机存储器，控制所述闪存控制模块从总线接口模块接收待写入的程序数据写入所述闪存；还配置为当所述随机存储器中没有待用的程序数据时，控制所述闪存控制模块从闪存中读取待用的程序数据，控制所述 RAM 控制模块将所述待用的程序数据写入所述随机存储器中。

10 6、如权利要求 5 所述的控制器，其特征在于，所述存储控制模块还包括：

配置寄存器，配置为保存本存储控制模块的配置信息和状态信息；

15 所述总线接口模块所接收的系统总线的读、写访问请求中也包括对配置寄存器的读、写访问请求，所述总线接口模块根据对配置寄存器的读/写访问请求直接对所述配置寄存器进行读/写操作。

7、如权利要求 5 所述的控制器，其特征在于，所述存储控制模块还包括：

加密模块，配置为将从总线接口模块接收的待写入的程序数据加密，然后发送给所述闪存控制模块；

20 解密模块，配置为将所述闪存控制模块读取的待用的程序数据解密，然后发送给所述 RAM 控制模块。

8、如权利要求 5 所述的控制器，其特征在于：

25 所述主控模块还配置为当待用的程序数据复制结束时，向所述闪存控制模块发送低功耗请求；当待写入的程序数据写入完成时，延时一预定时间后向所述闪存控制模块发送低功耗请求；当需要复制待用的程序数据时，或当收到写指令时，向所述闪存控制模块发送退出低功耗请求；

所述闪存控制模块还配置为当收到所述低功耗请求时控制所述闪存进

入深度省电模式，当收到所述退出低功耗请求时控制所述闪存退出深度省电模式。

9、如权利要求 5 所述的控制器，其特征在于，所述存储控制模块还包括：

5 计数器；

所述主控模块当待写入的程序数据写入完成时，使所述计数器清零并开始计数，待所述计数器溢出时发送所述低功耗请求。

10、如权利要求 5 所述的控制器，其特征在于，所述存储控制模块还包括：

10 多路选择器 MUX，第一输入端连接所述总线接口模块的写数据端口，第二输入端连接所述闪存控制模块的读数据端口，多路选择器的输出端连接所述 RAM 控制模块的写数据端口，控制端连接所述主控模块；

所述主控模块当需要复制待用的程序数据时，控制所述多路选择器输出所述第二输入端的程序数据；当收到所述写指令时，控制所述多路选择器输出所述第一输入端的程序数据。

15 11、一种在其上记录有用于执行权利要求 1 所述嵌入式系统控制器的程序的计算机可读记录介质。

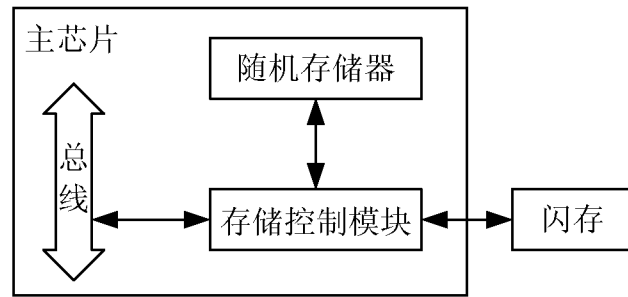


图 1

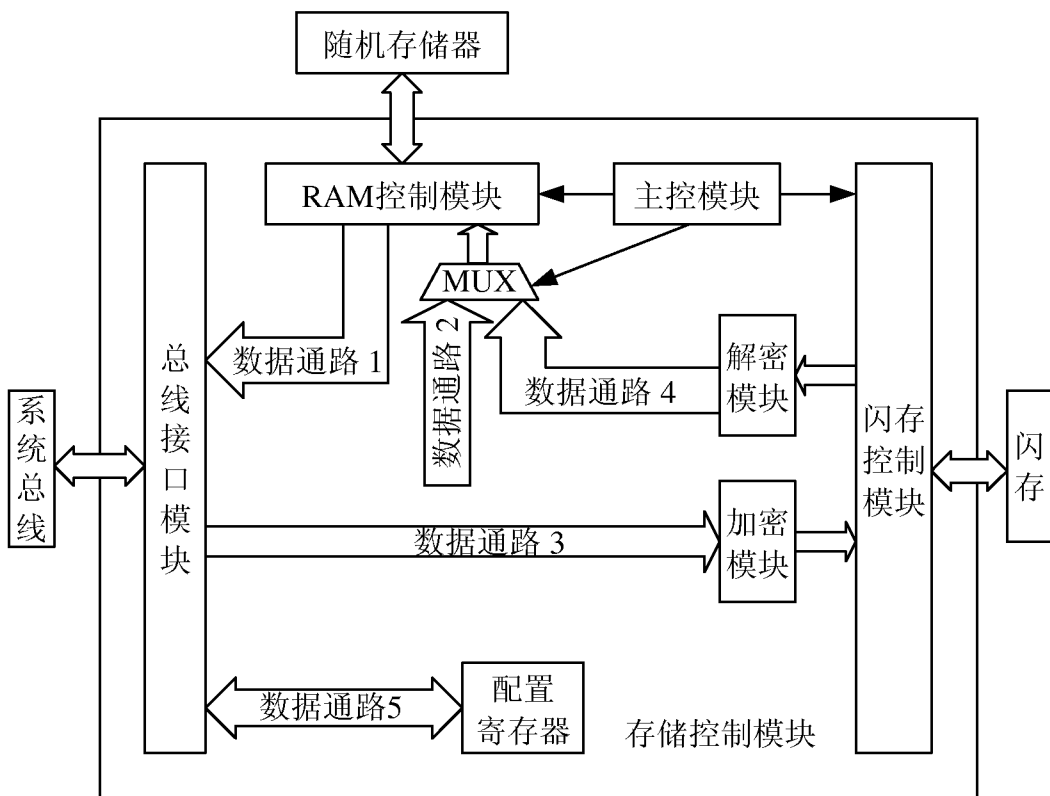


图 2

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2013/075149

## A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/76 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F 9/; G06F 13/; G06F 15/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI: SRAM, RAM, IC, CPU, flash, stor+, bus, chip?, interface, flash?, mux?, control+, configur+, request+, copy+, access+, embed+, SDRAM, ic?, circuit, cpu, nand?, channel?, setup+, read+, duplicat+, visit+, imbed+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1717662 A (RENESAS TECHNOLOGY CORP.) 04 January 2006 (04.01.2006) the abstract, description, page 5, line 20 to page 12, line 29 and figure 1	1-9, 11
Y		10
X	US 2007186070 A (NEOWARE, INC.) 09 August 2007 (09.08.2007) the whole document	1-9, 11
Y		10
Y	CN 1862518 A (BEIJING VIMICRO CO., LTD.) 15 November 2006 (15.11.2006) the abstract, description, page 5, line 17 to page 6, line 26 and figure 1	10
A	CN 101178656 A (ZTE CORP.) 14 May 2008 (14.05.2008) the whole document	1-11

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 31 July 2013 (31.07.2013)	Date of mailing of the international search report 15 August 2013 (15.08.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer  GUO, Yongqiang  Telephone No. (86-10) 62412084

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2013/075149

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1717662 A	04.01.2006	US 2010030952 A1	04.02.2010
		US 7991954 B2	02.08.2011
		US 2012271987 A1	25.10.2012
		JPWO 2004049168 X	30.03.2006
		KR 20060055436 A	23.05.2006
		KR 100786603 B1	21.12.2007
		JP 2011146075 A	28.07.2011
		US 8185690 B2	22.05.2012
		US 2006041711 A1	23.02.2006
		CN 1717662 B	28.04.2010
		US 2011258373 A1	20.10.2011
		WO 2004049168 A1	10.06.2004
		JP 5138869 B2	06.02.2013
		US 7613880 B2	03.11.2009
US 2007186070 A1	09.08.2007	EP 1984824 A2	29.10.2008
		CA 2637063 A1	16.08.2007
		WO 2007092750 A2	16.08.2007
		WO 2007092750 A3	17.04.2008
		US 7395394 B2	01.07.2008
CN 1862518 A	15.11.2006	CN 100405343 C	23.07.2008
CN 101178656 A	14.05.2008	CN 101178656 B	14.04.2010

<b>A. 主题的分类</b>  <p style="text-align: center;">G06F 15/76 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类</p>																							
<b>B. 检索领域</b>  检索的最低限度文献(标明分类系统和分类号)  <p style="text-align: center;">IPC: G06F 9/, G06F 13/, G06F 15/</p>																							
包含在检索领域中的除最低限度文献以外的检索文献  在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))  <p style="text-align: center;">CNABS,DWPI: 存储, 总线, 芯片, 接口, 闪存, 多路选择, 控制, 配置, 请求, 复制, 访问, 嵌入, 设置, 拷贝, 写入, 读取, 封装, SRAM, RAM, IC, CPU, flash, stor+, bus, chip?, interface, flash?, mux?, control+, configur+, request+, copy+, access+, embed+, SDRAM, ic?, circuit, cpu, nand?, channel?, setup+, read+, duplicat+, visit+, imbed+</p>																							
<b>C. 相关文件</b>																							
<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">类 型*</th> <th style="width: 70%;">引用文件, 必要时, 指明相关段落</th> <th style="width: 20%;">相关的权利要求</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">X</td> <td>CN1717662A (株式会社瑞萨科技) 04.1 月 2006 (04.01.2006) 摘要、说明书第 5 页第 20 行-第 12 页第 29 行、图 1</td> <td style="text-align: center;">1-9,11</td> </tr> <tr> <td style="text-align: center;">Y</td> <td></td> <td style="text-align: center;">10</td> </tr> <tr> <td style="text-align: center;">X</td> <td>US2007186070A (Neoware, Inc.) 09.8 月 2007 (09.08.2007) 全文</td> <td style="text-align: center;">1-9,11</td> </tr> <tr> <td style="text-align: center;">Y</td> <td></td> <td style="text-align: center;">10</td> </tr> <tr> <td style="text-align: center;">Y</td> <td>CN1862518A (北京中星微电子有限公司) 15.11 月 2006 (15.11.2006) 摘要、说明书第 5 页第 17 行-第 6 页第 26 行、图 1</td> <td style="text-align: center;">10</td> </tr> <tr> <td style="text-align: center;">A</td> <td>CN101178656A (中兴通讯股份有限公司) 14.5 月 2008 (14.05.2008) 全文</td> <td style="text-align: center;">1-11</td> </tr> </tbody> </table>	类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN1717662A (株式会社瑞萨科技) 04.1 月 2006 (04.01.2006) 摘要、说明书第 5 页第 20 行-第 12 页第 29 行、图 1	1-9,11	Y		10	X	US2007186070A (Neoware, Inc.) 09.8 月 2007 (09.08.2007) 全文	1-9,11	Y		10	Y	CN1862518A (北京中星微电子有限公司) 15.11 月 2006 (15.11.2006) 摘要、说明书第 5 页第 17 行-第 6 页第 26 行、图 1	10	A	CN101178656A (中兴通讯股份有限公司) 14.5 月 2008 (14.05.2008) 全文	1-11		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN1717662A (株式会社瑞萨科技) 04.1 月 2006 (04.01.2006) 摘要、说明书第 5 页第 20 行-第 12 页第 29 行、图 1	1-9,11																					
Y		10																					
X	US2007186070A (Neoware, Inc.) 09.8 月 2007 (09.08.2007) 全文	1-9,11																					
Y		10																					
Y	CN1862518A (北京中星微电子有限公司) 15.11 月 2006 (15.11.2006) 摘要、说明书第 5 页第 17 行-第 6 页第 26 行、图 1	10																					
A	CN101178656A (中兴通讯股份有限公司) 14.5 月 2008 (14.05.2008) 全文	1-11																					
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <span style="margin-left: 200px;"><input checked="" type="checkbox"/> 见同族专利附件。</span>																							
<table style="width:100%; border: none;"> <tr> <td style="width: 50%; border: none;">           * 引用文件的具体类型:            “A” 认为不特别相关的表示了现有技术一般状态的文件            “E” 在国际申请日的当天或之后公布的在先申请或专利            “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)            “O” 涉及口头公开、使用、展览或其他方式公开的文件            “P” 公布日先于国际申请日但迟于所要求的优先权日的文件         </td> <td style="width: 50%; border: none;">           “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件            “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性            “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性            “&amp;” 同族专利的文件         </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 <p style="text-align: center;">31.7 月 2013 (31.07.2013)</p>	国际检索报告邮寄日期 <p style="text-align: center;"><b>15.8 月 2013 (15.08.2013)</b></p>																						
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员  <p style="text-align: center;"><b>郭永强</b></p> 电话号码: (86-10) <b>62412084</b>																						

国际检索报告  
关于同族专利的信息

国际申请号  
**PCT/CN2013/075149**

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1717662A	04.01.2006	US2010030952A1	04.02.2010
		US7991954B2	02.08.2011
		US2012271987A1	25.10.2012
		JPWO2004049168X	30.03.2006
		KR20060055436A	23.05.2006
		KR100786603B1	21.12.2007
		JP2011146075A	28.07.2011
		US8185690B2	22.05.2012
		US2006041711A1	23.02.2006
		CN1717662B	28.04.2010
		US2011258373A1	20.10.2011
		WO2004049168A1	10.06.2004
		JP5138869B2	06.02.2013
US2007186070A1	09.08.2007	US7613880B2	03.11.2009
		EP1984824A2	29.10.2008
		CA2637063A1	16.08.2007
		WO2007092750A2	16.08.2007
		WO2007092750A3	17.04.2008
		US7395394B2	01.07.2008
CN1862518A	15.11.2006	CN100405343C	23.07.2008
CN101178656A	14.05.2008	CN101178656B	14.04.2010