[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H03B 5/32

[12]发明专利说明书

[21] ZL 专利号 97125407.9

[45]授权公告日 2002 年 4 月 24 日

[11]授权公告号 CN 1083636C

[22]申请日 1997.12.4 [24]颁证日 2002.4.24
[21]申请号 97125407.9
[30]优先权
[32]1996.12.4 [33]JP [31]339043/96
[73]专利权人 精工爱普生株式会社
地址 日本东京都
[72]发明人 中宫信二 矢部宏
门胁忠雄 牧内佳树
[56]参考文献

EP 0296675	1988.11.28	H01L27/06
US 3868597	1975. 2.25	H03B5/36

审查员 段成云

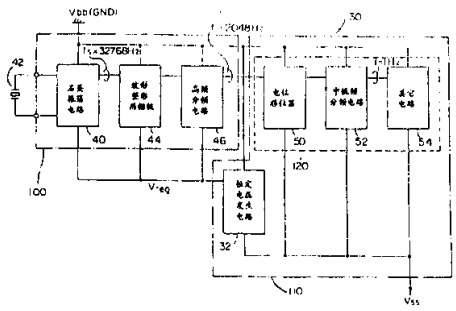
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 程天正 叶恺东

权利要求书 1 页 说明书 12 页 附图页数 8 页

[54]发明名称 振荡电路

[57]摘要

一种以其绝对值低于主电源电源电压 Vss 的绝对值的定电压 V reg 进行省电驱动的振荡电路,其静电保护电路包括第一静电防护电 路和第二静电保护电路,第一静电保护电路连接在信号通路和定电压 V reg 侧之间,通过二极管有选择地将侵入信号通路的第一极性的静电压向定电压 Vreg 一侧旁路,第 2 静电保护电路连接在信号通路与接 地侧之间,通过二极管有选择地将侵入信号通路的第二极性的静电压向 接地侧旁路。



ISSN1008-4274

01.04.16

权　利　要　求　书

1．一种振荡电路，具有一个振荡源和一个主要电路，主要电路通过信号通路与所述振荡源连接而被振荡驱动起来，其特征在于，所述主要电路包括：与所述信号通道连接的倒相器；连接在上例相器的输出侧和输入侧之间的反馈电阻；第一静电保护电路和第二静电保护电路，上述第一静电保护电路连接在上述信号通路与预定的恒定电压Ｖｒｅｇ侧之间，通过第一半导体整流元件有选择地将侵入到信号通路的第一极性的浪涌电压信号向上述定电压Ｖｒｅｇ一侧旁路，上述第二静电保护电路连接在上述振荡电路的信号通路与基准电位一侧之间，通过第二半导体整流元件有选择地将侵入到信号通路的第二极性的浪涌电压信号向上述基准电位一侧旁路。

2．权利要求1所述的振荡电路，其特征在于，上述第一静电保护电路包括第三半导体整流元件，上述第三半导体整流元件连接在上述信号通路与电源电压Ｖｓｓ之间，有选择地把侵入到信号通路的第一极性的浪涌电压信号向上述电源电压Ｖｓｓ一侧旁路。

3．权利要求2所述的振荡电路，其特征在于，将上述第三半导体整流元件的寄生电容值设定为小于上述第一半导体整流元件的寄生电容值的值。

4．权利要求1所述的振荡电路，其特征在于，将上述各种半导体整流元件的寄生电容作为相位补偿用电容的一部分或全部使用。

5．如权利要求1至4的任一项所述的振荡电路，其特征在于，所述主要电路部分形成为半导体器件。

说　明　书

振荡电路

本发明涉及振荡电路、电子电路及使用它们的半导体器件、时钟和电子装置。

当前，携带用的手表和电子装置，多使用电池和可充电的二次电池作为主电源驱动电子线路。并且，在这些装置中使用的上述电子线路多从振荡电路的振荡频率ｆｓ制作基准时钟。

通常，上述振荡电路在半导体基板上构成的主要电路部分通过输入输出端子与设置在半导体基板之外的地方的石英振荡器相连。因此，由于通过输入输出端子从外部侵入浪涌电压而需要保护上述主要电路部分，于是，在上述主要电路部分的输入输出端子一侧设置了静电保护电路。

因此，当电子电路的负载增大、主电源的电压Vss发生变动时，就将引起上述静电保护电路的寄生电容值变化，结果，产生振荡电路的振荡频率变化的问题。

就是说，上述静电保护电路包括连接在信号线和接地侧之间的二极管和连接在信号线和主电源Vss侧之间的二极管，通过根据电压极性有选择地使侵入信号线的浪涌电压向接地一侧或电源电压一侧旁路，谋求保护内部电路。

可是，在上述静电保护电路中，在二极管的ＰＮ结部分产生寄生电容。并且，该寄生电容具有下述特性：当起因于负载变化等上述电源电压Vss变化时，该寄生电容的大小也变化。

然而，寄生电容值这样变化时，振荡电路的振荡常数变化，振荡频率也就变化，结果是，基准时钟频率变化，存在对电子电路各部分的工作产生不利影响的问题。

特别时，在将振荡电路的振荡输出作为基准时钟使用那样的电子电路（例如手表用的电子电路）中，会产生振荡频率变化，正确的时钟动作及部件受损的问题。

本发明的第一目的在于提供能够不受主电源的电源电压变化的影响、能够用稳定的频率振荡的振荡电路，电子电路及使用它们的半导体器件，时钟和电子装置。

本发明的第二目的是提供将设在振荡电路中的静电保护电路的寄生电容作为构成振荡电路的相位补偿用电容的一部分或全部构成、使电路整体结构简化并提高集成电路的振荡电路、电子电路及使用它们的半导体器件、时钟和电子装置。

本发明的一种振荡电路，具有一个振荡源和一个主要电路，主要电路通过信号通路与所述振荡源连接而被振荡驱动起来，其特征在于，所述主要电路包括：与所述信号通道连接的倒相器；连接在上例相器的输出侧和输入侧之间的反馈电阻；第一静电保护电路和第二静电保护电路，上述第一静电保护电路连接在上述信号通路与预定的恒定电压Ｖｒｅｇ侧之间，通过第一半导体整流元件有选择地将侵入到信号通路的第一极性的浪涌电压信号向上述定电压Ｖｒｅｇ一侧旁路，上述第二静电保护电路连接在上述振荡电路的信号通路与基准电位一侧之间，通过第二半导体整流元件有选择地将侵入到信号通路的第二极性的浪涌电压信号向上述基准电位一侧旁路。

在低耗电型的电子电路中，从主电源的电源电压Ｖｓｓ生成其绝对值比Ｖｓｓ低的恒定电压Ｖｒｅｇ，将其供给电路各部。

在本发明的振荡电路中，不是将静电保护电路连接到主电源的电源电压Vss一侧，而是采用将其连接到由该电源电压Ｖｓｓ生成的恒定电压Ｖｒｅｇ一侧的结构。因此，即使电源电压变化，与静电保护电路连接的恒定电压Ｖｒｅｇ也不变化，所以，能有效地抑制构成静电保护电路的半导体整流元件的寄生电容值的变化。

这样，如果采用本发明，能够得到即使主电源的电源电压Ｕｓｓ变化、振荡频率也不变化的振荡电路。

这里，作为上述静电保护电路中使用的第一、第二半导体整流元件，例如能够根据需要，使用例如二极管、双极型晶体管等。

还有，在本发明中，上述第一静电保护电路也可以包含第三半导体整流元件，该第三半导体整流元件连接在上述振荡电路的信号通路和上述电源电压Ｖｓｓ之间，有选择地将侵入信号通路的第一极性的静电压向上述电源电压Ｖｓｓ一侧旁路。

即，生成比供给电源电压Ｖｓｓ的主电源的绝对值低的恒定电压Ｖｒｅｇ的电源电路，其电路内部的电容成分小。因此，如果只在给定电压Ｖｒｅｇ一侧连接静电保护电路，当侵入极大的浪涌电压时，与其电

压相比、电容成分过小，恐怕不能解决。与此不同，如果采用本发明，则采用将第3半导体整流元件连接到具有比恒定电压电路的电容大的电容成分的主电源的电源电压Vss一侧的结构。这样，即使在大的浪涌电压侵入时，也能流向主电源侧，结果是能得到具有足够的耐静电破坏性而进行稳定的振荡输出的振荡电路。

另外，在本发明中，上述第三半导体整流元件的寄生电容值最好设定为比上述第1半导体整流元件的寄生电容值小的值。

特别是第三半导体整流元件的寄生电容值最好设定为与第1半导体整流元件的寄生电容值相比可以忽略的小的值。

这样，即使在第3半导体整流元件的寄生电容值因主电源的电源电压Vss的变化而变化时，也可得到基本不受其影响的、稳定振荡频率的振荡输出。

还有，在本发明中，也可以将上述各半导体整流元件的寄生电容作为相位补偿用电容的一部分或全部来使用。

这样，能够省去相位补偿用电容的一部分或全部，结果，可以进一步提高电路整体的集成度。

还有，以往为了减少振荡电路整体的电容成分、抑制振荡电路的耗电并减小半导体器件的面积，作为静电保护电路的半导体整流元件，使用寄生电容值小且尺寸小的整流元件。因此，存在着包含半导体整流元件的电路整体耐静电破坏性不够的情况。与此相反，根据本发明，可积极地使用寄生电容值大的半导体整流元件构成静电保护电路。结果，可提高各半导体整流元件本身的耐静电破坏性，加强作为静电保护电路的功能。

还有，最好使用本发明的振荡电路形成电子电路。

因此，使用振荡电路供给的稳定的频率输出，可得到能够良好地工作的电子电路。

还有，最好使用本发明的振荡电路或电子电路形成半导体器件。

即，在半导体装置上形成使用石英振荡器的振荡电路和使用振荡电路的电子电路时，多半通过布线连接在规定的电路基板上形成的振荡电路的主要电路部分和设在不同于该电路基板的区域上的石英振荡器。这时，浪涌电压等静电压将作为噪声从石英振荡器和主要电路部分的连接部分侵入主要电路部分，恐怕会破坏电路内部。

即使在这样的情况下，如果采用本发明，则能够使用静电保护电路良好地除去侵入到电路中的浪涌电压等静电压，并能实现可使用稳定的振荡输出良好地使电路各部分工作的半导体装置。

还有，最好使用本发明的振荡电路或电子电路形成时钟。

如果采用本发明，则能够得到即使在主电源的电源电压变化时，也能不受其影响地进行正确的计时动作的时钟。

还有，最好使用本发明的振荡电路或电子电路形成电子装置。

这样，能够得到即使在主电源的电源电压变化时、也能不受其影响而生成正确的振荡输出、使电路各部分工作的电子装置。

特别是，使用本发明的振荡电路或电子电路形成的时钟、电子装置极适用于使用可更换的电池和可充电的二次电池等作为主电源使用的便携式时钟和电子装置。

图 1 是表示应用本发明的手表用电子电路的一例的框图，

图 2 是图 1 所示电子电路的时钟电路部分的框图。

图 3 是表示实施形态的石英振荡电路的具体结构的说明图。

图 4 是表示本实施形态的电路中使用的两种电源的电压变化状况的说明图。

图 5 A 是图 3 中的石英振荡电路的等效电路图，图 5 B 是石英振荡器的说明图，图 5 C 是石英振荡器的等效电路图，图 5 D 是考虑石英振荡器的等效电路制作的图 5 A 的等效电路图。

图 6 是其他静电保护电路的说明图。

图 7 是以前使用的静电保护电路的说明图。

图 8 是图 6 所示的静电保护电路的等效电路图。

图 9 是使用其他种类的半导体元件构成的静电保护电路的说明图。

图 1 0 是基板上的石英振荡器与构成振荡电路主要部分的 C - M O S 集成电路的配置的说明图。

以将本发明应用于模拟显示型的手表为例，更详细地说明本发明的优选实施形态。

（ 1 ）整体结构

图 1 示出了手表中使用的电子电路的一例。

该手表内含有未图示的发电机构。如果使用者佩带手表的手腕活动

的话，发电机构的旋转锤就旋转，利用此时的动能使发电转子高速旋转，从设在发电定子一侧的发电绕组１０输出交流电压。

用二极管１２对该交流电压进行整流，对二次电池１４进行充电。该二次电池和升压电路１８、辅助电容器１８构成主电源２０。

在本实施形态中，在二次电池１４的电压低到不满足时钟驱动电压时，可利用升压电路１６将二次电池１４的电压变换成可驱动时钟的高电压，对辅助电容器 18 充电．并且，该辅助电容器１８的电压作为电源电压Ｖｓｓ，使时钟电路３０工作。

该时钟电路３０作为半导体器件构成，使用通过端子连接到半导体器件上的石英振荡器４２生成预先设定的振荡频率，这里是３２７６８Ｈｚ频率的振荡输出，通过对该振荡输出进行分频，每秒输出极性不同的驱动脉冲，该驱动脉冲被输入与时钟电路３０相连的步进电机的驱动绕阻２２。这样，每次使驱动脉冲通电时，未图示的步进电机就旋转驱动转子，驱动未图示的时钟的秒针、分针和时钟，模拟地显示时刻。

这里，本实施形态和时钟电路３０包括：用从主电源供给的电源电压Ｖｓｓ驱动的电源电压电路部１２０；生成比电源电压Ｖｓｓ的绝对值低的规定的恒定电压Ｖｒｅｇ的恒定电压发生电路３２；由该恒定电压Ｖｒｅｇ驱动的恒定电压工作电路部１００。

（２）时钟电路

图２示出了上述时钟电路３０的更详细的功能框图。

上述恒定电压工作电路部１００包括在其一部分中含有外部连接的石英振荡器４２构成的石英振荡电路４０、波形整形栅极４４和高频分频电路４６。

上述电源电压电路部１２０包括电位移位器５０、中低频分频电路５２及其他电路 54．另外，在本实施形态的时钟电路中，上述电源电压电路部１２０和恒定电压发生电路３２构成了利用从主电源２０供给的电源电压Ｖｓｓ驱动的电源电压工作电路部１１０。

上述石英振荡电路４０使用石英振荡器４２，向波形整形栅极４４输出基准频率ｆｓ＝３２７６８Ｈｚ的正弦波输出。

上述波形整形栅极 44 在将该正弦波输出整形为矩形波后，向高频分频电路４６输出。

上述高频分频电路４６一直将基准频率３２７６８Ｈｚ分频到２

０４８Ｈｚ，通过电位移位器５０将该分频输出输出到中低频分频电路５２。

上述中低频分频电路５２将被分频到２０４８Ｈｚ的信号再分频到１Ｈｚ，输入到其他电路54。

上述其他电路５４包括与１Ｈｚ的分频信号同步通电驱动绕阻２２的驱动电路，与该１Ｈｚ的分频信号同步驱动时钟驱动用步进电机。

在本实施形态的时钟电路３０中，除利用主电源２０供给的电压Ｖｓｓ驱动电路整体的电源电压工作电路部１１０之外，还设置了由绝对值比其低的恒定电压Ｖｒｅｇ驱动的恒定电压工作电路部１００，其理由如下。

就是说，在这样的时钟电路３０中，为确保长时间稳定动作，需要降低耗电。

通常，电路的耗电Ｐ如下式所示，与信号的频率ｆ和电路的电容Ｃ成正比，与供给电源电压Ｖ的平方成正比增大。

$$p \propto fcv^2 \qquad （式１）$$

这里，如果注意时钟电路３０的话，为减少电路整体的耗电Ｐ，可以将供给电路各部分的电源电压Ｖ设定为低绝对值的电压，例如Ｖｒｅｇ。可是，单纯地这样做，就必然使恒定电压发生电路３２本身容量大，从电路整体的高集成化和小型化的观点看是不好的。

其次，如果注意信号的频率的话，时钟电路３０就能大致区分为信号频率高的石英振荡电路４０、波形整形栅极４４、高频分频电路４６和此外的电路。由上式１可知，该信号的频率与电路的耗电成正比。

因此，本实施形态的恒定电压发生电路３２从主电源２０供给的电源Ｖｓｓ生成比其绝对值低的恒定电压 Vreg，将其供给处理高频信号的电路部１００，即石英振荡电路４０、波形整形栅极４４、高频分频电路４６。这样，通过降低供给处理上述高频信号的电路４０、４４、４６的驱动电压的绝对值，不怎么增加恒定电压发生电路３２的负担，就能有效地降低时钟电路的整体耗电。

在本实施形态中，在高频分频电路４６和中低频分频电路５２间设置电平移位器５０的原因如下。

高频分频电路４６的输出峰值为恒定电压Ｖｒｅｇ的值，比主电源电压在Ｖｓｓ的峰值小。因此，在用电源电压Ｖｓｓ驱动的中低频分频

电路５２中，即使原样输入高频分频电路４６的给定电压Ｖｒｅｇ值的输出，其输入值也不超过中低频分频电路５２的初级的逻辑电平电压，所以，中低频分频电路５２不正常工作。因此，为使中低频分频电路５２正常动作，使用了电位移位器，使高频分频电路４６的输出峰值从给定电压值上升到电源电压值。

（３）石英振荡电路

图３示出了具有本实施形态特征的石英振荡电路４０的具体电路结构。

该石英振荡电路基本上包括倒相器６０、反馈电阻６２、漏电阻６４、以及相位补偿用电容６６、６８，将振荡频率为ｆｓ的振荡输出输出给功能电路８０。该功能电路８０包括波形整形栅极４４、高频分频电路４６、电位移位器５０、中低频分频电路５２及其他电路５４。

因此，图２所示的时钟电路３０除图１０所示的石英振荡器４２外，基本上作为半导体器件Ｃ－ＭＯＳ－ＩＣ３００形成，构成振荡电路主要部分的Ｃ－ＭＯＪ－ＩＣ３００和石英振荡器４２通过布线３１０相连。

就是说，石英振荡器４２通过输入输出端子与Ｃ－ＭＯＳ－ＩＣ３００内部构成的石英振荡电路４０的主要电路部分相连。因此，恐怕浪涌电压会从该输入输出端子输入而破坏内部电路。

作为这样的浪涌电压，例如考虑有产品组装时从工具侵入的浪涌电压和从操作人员侵入的浪涌电压等。

因此，在石英振荡电路４０的内部设置了静电保护电路２００－１、２００－２。

这些静电保护电路２００－１、２００－２分别设在与各输入端子相连的信号通路中。各静电保护电路２００－１、２００－２具有相同的结构，这里，以一方的静电保护电路２００－１为例进行证明。

该静电保护电路２００包括：电阻７０；通过第一半导体整流元件７２有选择地把侵入到振荡电路的信号通路中的负极性的静电压向上述给定电压Ｖｒｅｇ一侧旁路的第一静电保护电路部２１０、通过第二半导体整流元件７４有选择地把侵入到振荡电路的信号通路中的正极性的静电压向接地一侧旁路的第二静电保护电路部２２０。

上述电阻７０与信号通路串联连接，保护各整流元件７２、７４不

受浪涌电压破坏。

上述第一、第二半导体整流元件７２、７４使用ＰＮ结型的二极管构成。并且，构成第一半导体整流元件７２的二极管逆方向连接到恒定电压发生电路３２的恒定电压（Ｖｒｅｇ）输出端一侧，构成第二半导体整流元件７２的二极管顺向与接地侧相连。

这样，通过将从外部侵入的负极性的浪涌电压向恒定电压端子Ｖｒｅｇ一侧旁路，正极性的浪涌电压向接地侧旁路，防止了向半导体电路内部的侵入。

如上所述本实施形的特征在于，第一半导体整流元件７２与恒定电压发生电路的Ｖｒｅｇ一侧的端子相连接，即使主电源２０的电源电压Ｖｓｓ变动时，该恒定电压发生电路的电压也不变动。这样，即使主电源２０的电源电压Ｖｓｓ变动，这些半导体整流元件７２、７４的寄生电容也不变化，石英振荡电路４０的振荡频率ｆｓ总是一定的值。

下面详细地进行说明。

图４示出了上述恒定电压Ｖｒｅｇ和电源电压Ｖｓｓ的关系。从主电源供给的电源电压Ｖｓｓ（在本实施形态中为负值）的绝对值总是具有比从恒定电压发生电路３２输出的恒定电压Ｖｒｅｇ（在本实施形态中为负值）的绝对值大的值。然而，该电源电压Ｖｓｓ多随负载变动和主电源２０的充电状态等而如图４所示那样变动。

与此相反，　从恒定电压发生电路３２输出的恒定电压Ｖｒｅｇ只要该主电源电压Ｖｓｓ不插进Ｖｒｅｇ的值，已经是一定的电压。

本来，第一半导体整流元件７２连接在容量大的主电源２０一侧，这在防高电压浪涌方面是有利的。可是，如上所述，主电源２０的电压Ｖｓｓ变动时，由半导体构成的第一、第二半导体整流元件７２、７４的寄生电容的值将变化。

ＩＣ内部的ＰＮ结制作的半导体整流元件７２、７４，特别是二极管的ＰＮ结部分的寄生静电电容Ｃ通常用下式表示。

$$C = A\sqrt{\frac{N_D}{V_A + V_B}} \qquad （式２）$$

其中：

Ａ：常数

V_A：外加电压

V_B：P-N结电位差

从式 2 可知，电源电压 V_A = Vss 变化时，寄生电容 C 变化。

因此，寄生电容 C 变化时，结果，振荡电路 4 0 的振荡频率 f s 也变动。下面进行说明。

（ 3 － 1 ）振荡频率的变动对策

图 5 A 示出了振荡电路 4 0 的等效电路。

图 5 B 示出了石英振荡器 4 2，图 5 C 示出了其等效电路。

使用图 5 C 所示的等效电路，图 5 A 所示的振荡电路 4 0 就表示为图 5 D 所示的电路。

并且，用图 5 D 中的等效电路表示的 L C 振荡电路 4 0 的振荡频率 f s 用下式表示。

$$fs \fallingdotseq \frac{1}{2\pi\sqrt{L' C_G'}} \cdot f_1(C_D') \qquad (式\ 3)$$

由该式可知，改变振荡电路的内部电容 C G'时，振荡频率 f s 变化。即，由于在上式 3 中含有第一、第二半导体整流元件 7 2、7 4 的寄生电容值 C V D D、V U S S，所以，这些值变化时，振荡频率 f s 变化。

与此相反，在本实施形态中，上述第一半导体整流元件 7 2 与电压不变动的 V r e g 相连。因此，不受电源电压 V s s 变动的影响，石英振荡电路 4 0 可以总是生成一定频率 f s 的振荡输出。

另外，通过这样构成，上述第一及第二半导体整流元件 7 2、7 4 的寄生电容值总是一定的值。因此，就能够积极地将该寄生电容的值用作相位补偿用电容 6 6、6 8．这样，能够减少图 3 所示的相位补偿用电容 6 6、6 8 的电容值；或根据情况，可以省去这些电容 6 6、6 8．

这样，可减少石英振荡电路 4 0 的部件数，可提高其集成度。

另外，根据本实施形态，通过将第一及第二半导体整流元件 7 2、7 4 的寄生电容用作上述相位补偿用电容 6 6、6 8 的一部分或全部，能使半导体整流元件 72、74 本身的寄生电容值增大。

即，在全部另外设置上述相位补偿用电容 66、68 和二极管 72、74 的情况下，从减小电路 40 的总体电容、降低其耗电的观点看，有必要使用寄生电容小的二极管 72、74．在此情况下，随着该寄生电容值的下降，耐静电破坏性也下降。

与此相反，在本实施形态的情况下，通过积极地将半导体元件72、74的寄生电容用作前述相位补偿用的电容，作为半导体元件可使用寄生电容大的元件。结果，提高了元件72、74本身的耐静电破坏性，可提高电路整体的静电保护能力。

（4）其他实施形态

图6示出了本发明的另一例。在该实施形态的静电保护电路中，使用第三半导体整流元件，将其与主电源Vss反向连接。这样，由于能够构成使浪涌电压向电容大的主电流20一侧旁路，所以，能够进一步提高静电保护电路的耐静电破坏性。

还有，在这种情况下，受电阻电压Vss变动的影响，第三半导体整流元件78的寄生电容值变动。因此，与第三半导体整流元件78的寄生电容值相比，将第一半导体整流元件72的寄生电容值设定增大10倍到100倍左右，希望第三半导体整流元件78的寄生电容值的变动量落在与是第一半导体整流元件72和第三半导体整流元件78的合成寄生电容值变动量的百分之几的范围内。这样，能够总是使电路整体的静电电容值稳定，能得到更稳定的振荡输出。

（5）与先有技术的比较

图7示了将半导体整流元件72连接到主电源Vss一侧的先有静电保护电路的一例。在图7所示的先有例中，与电源电压Vss变动的主电源连接的第一半导体整流元件72在电路上表现为寄生电容值CVss变化的元件。

这里，对使用先有静电保护电路的石英振荡电路的一例，如下所述那样进行频率偏差的研究。

在图7的先有电路中，从构成振荡电路40的栅极60的晶体管的栅极端和漏极端看，包括静电保护电路200的IC（半导体器件）的内部电路的合成电容即CG、GD的实测数据是如下式所示的值。这里，由于电阻62的电阻值Rf极大，所以CD0的值从下式所示的CG值中省去了，CG0的值从CD的值中省去了。

$$C_G = C_{GO} + C_{VDD} + C_{VSS} + C_{GP} = 10.8(PF)$$

$$C_D = C_{DO} + C_{VDD} + C_{VSS} + C_{DP} = 6.1(PF) \quad （公式4）$$

在该现有电路中，电源电压Vss从1．1伏变化到2．4伏时，第一半导体整流元件72的寄生电容值CVSS的变动量为ΔCVS

S = 0．07（PF）。

接着，对寄生电容值的变化量在石英振荡电路40的静电电容整体中所占的比例进行研究。

首先，如果对式4所示的CG计算静电保护电路200－2的寄生电容值的变动量的比，则其值如下式所示。

$$\frac{\Delta C_{VSS}}{C_{GO}+C_{VDD}+C_{VSS}+C_{GP}}\left(=\frac{7}{1080}\right)\quad（公式5）$$

还有，如果对式4所示的CD计算静电保护电路200－1的寄生电容值变动量的比，则其值如下式所示。

$$\frac{\Delta C_{VSS}}{C_{DO}+C_{VDD}+C_{VSS}+C_{DP}}\left(=\frac{7}{610}\right)\quad（公式6）$$

这里，CGP、CDP分别表示振荡电路40的布线电容值。

如果从这样的寄生电容值的变动量求振荡电路的频率偏差值的话，则其值为（df／dv）=3（PPM）。将它换算为每月的偏差的话，就是8秒左右。例如，在时钟允许月偏差为15秒左右时，该15秒中的8秒是由于寄生电容值的变化引起的，是无论如何也不允许的。

对此，如图3所示，通过将第一半导体元件72与电压不变动的电源Vreg相连，这样的寄生电容值的变化基本上就能忽视了，能够将石英振荡电路40本身的振荡频率偏差改善为与先有电路相比可以忽略不计的程度。

还有，对使用图6所示的第二实施形态的静电保护电路的石英振荡电路40进行同样的研究。图8是其静电保护电路的等效电路图。此时，第三半导体整流元件78是寄生电容值CVSS变化的元件。

在图8所示的电路中，与第一半导体整流元件72的寄生电容值相比，第三半导体整流元件78的寄生电容值非常小地形成，因此，即使该寄生电容值CVSS变化时，与使用图7所示的静电保护电路的情况相比，电路整体的频率偏差可以大幅度减少。

另外，在上述各实施形态中，作为半导体整流元件是使用二极管为例说明的，但除此之外，还可以根据需要使用各种半导体整流元件形成

保护电路。例如，如图 9 所示，可以使用双极型晶体管作为半导体整流元件形成静电保护电路。

另外，在上述实施形态中，是以将本发明应用于携带用的手表的情况为例说明的，除此之外，本发明还可以应用于例如便携式电话、便携用计算机终端等各种电子装置。

说 明 书 附 图

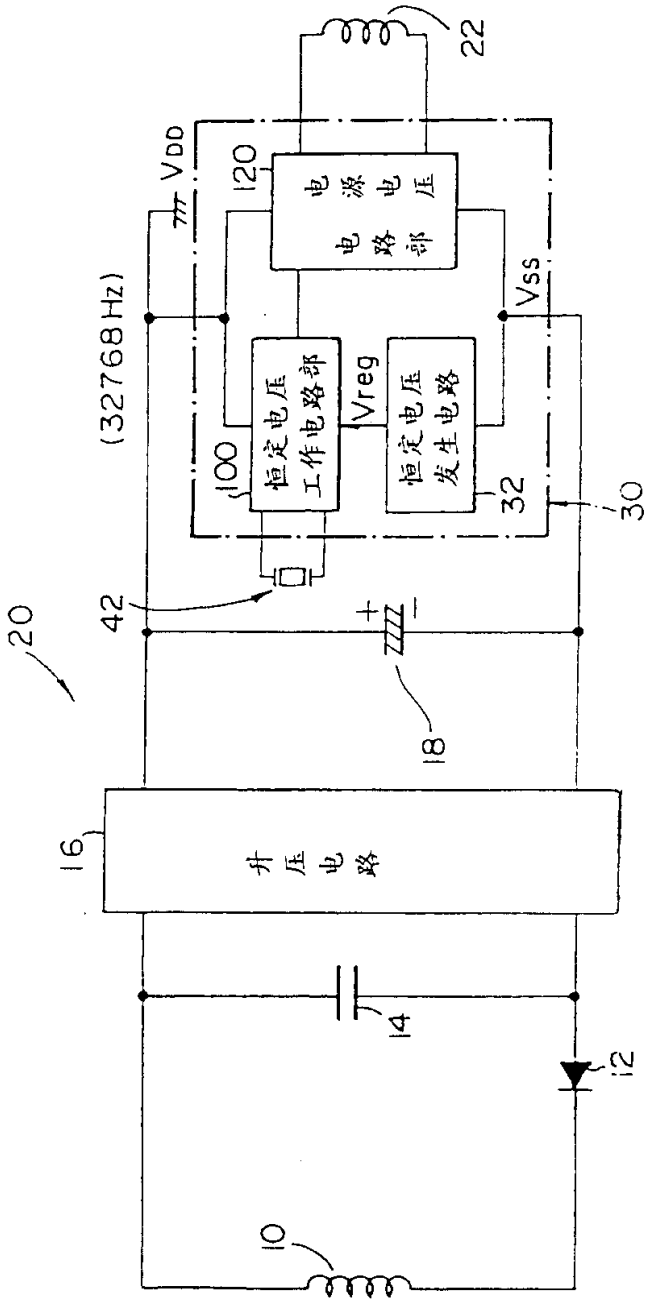

22
VDD
120
电源电压电路部
Vss
(32768Hz)
100
恒定电压工作电路部
Vreg
恒定电压发生电路
32
30
42
20
18
16
升压电路
14
12
10

图 1

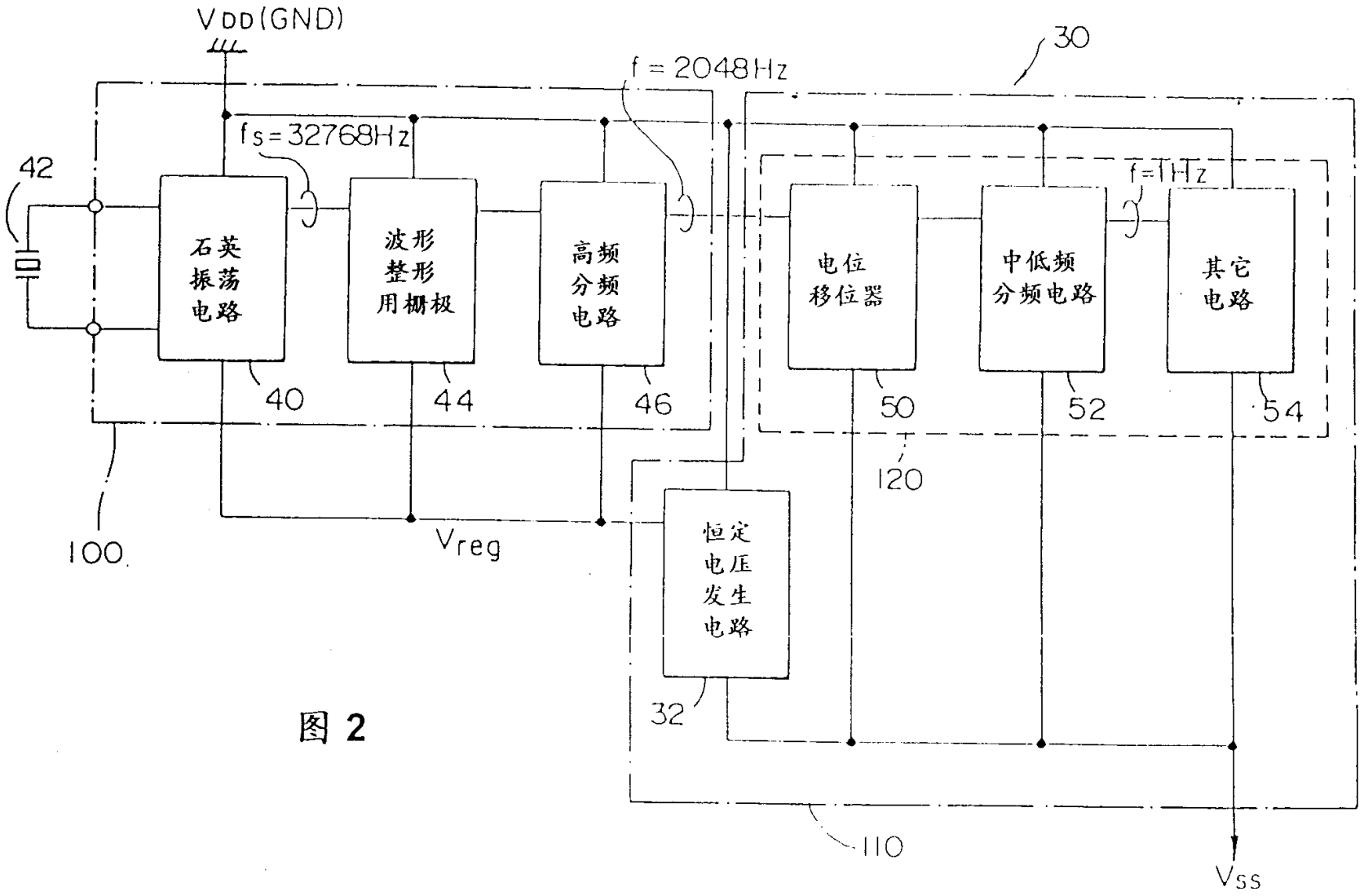

VDD(GND)
30
f = 2048Hz
fs = 32768Hz
42
石英振荡电路
波形整形用栅极
高频分频电路
电位移位器
中低频分频电路
f=1Hz
其它电路
40
44
46
50
52
54
120
100
Vreg
恒定电压发生电路
32
110
Vss

图 2

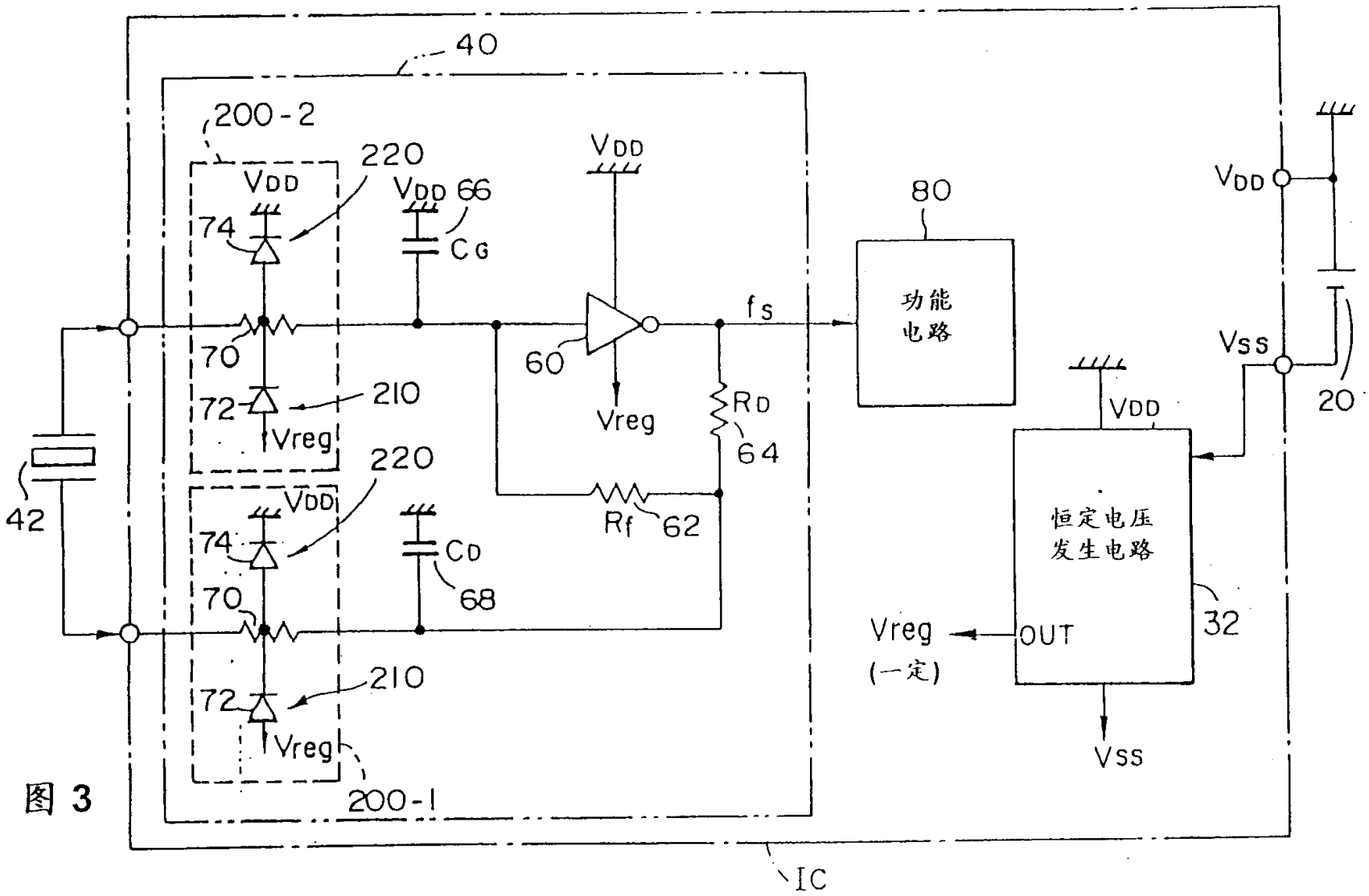

40
200-2
220
VDD
VDD 66
74
CG
70
72
210
Vreg
220
VDD
74
CD
68
70
72
210
Vreg
200-1
42
60
VDD
Vreg
RD
64
Rf
62
fs
80
功能
电路
VDD
Vss
20
VDD
恒定电压
发生电路
32
Vreg
(一定)
OUT
Vss
IC

图 3

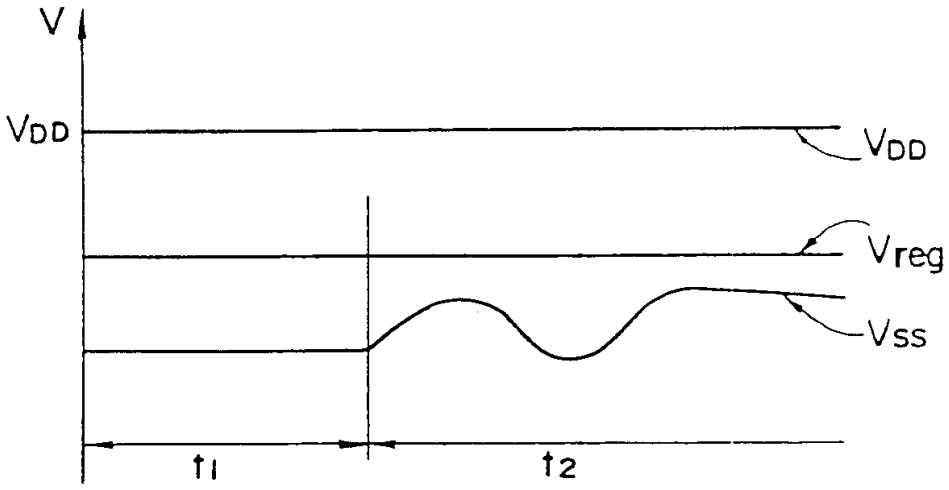


图 4

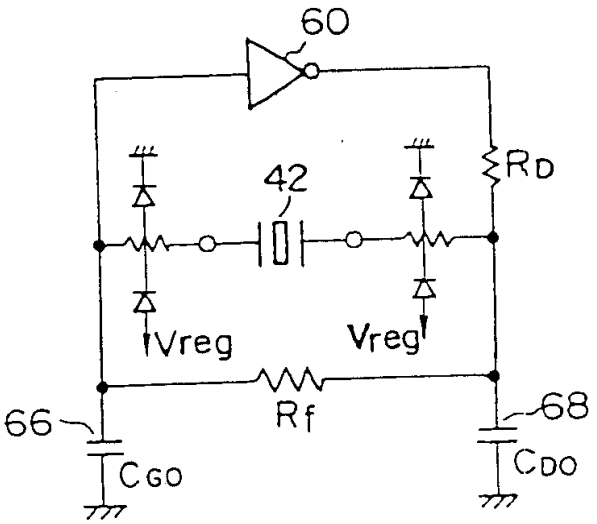


图 5 A

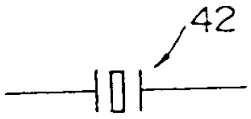


图 5 B

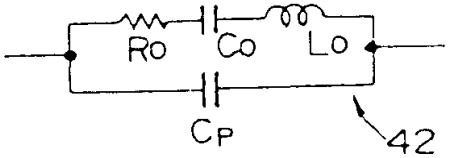
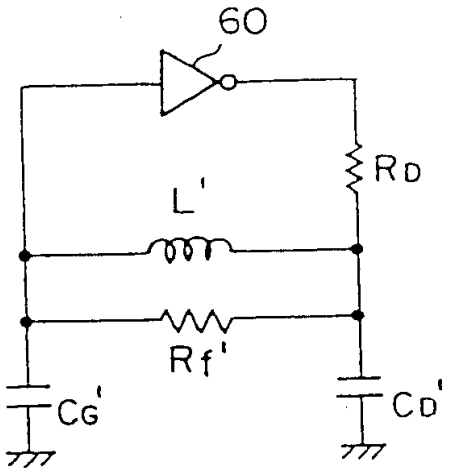


图 5 C



C_G'; C_{GO}, C_O, C_P, C_{VDD}

C_D'; C_{DO}, C_O, C_P, C_{VSS}

图 5 D

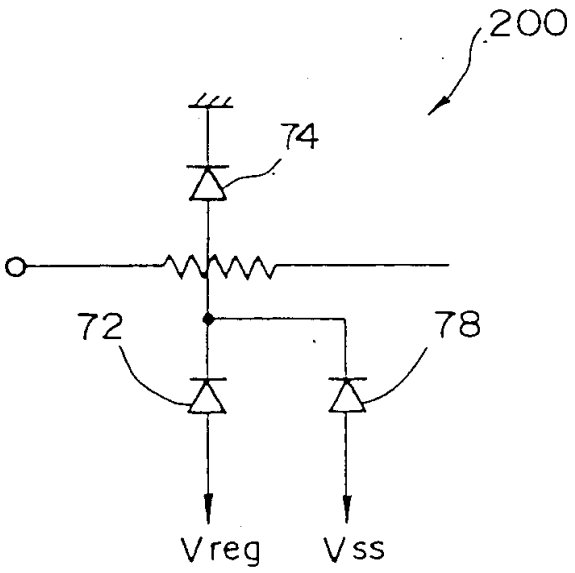


图 6

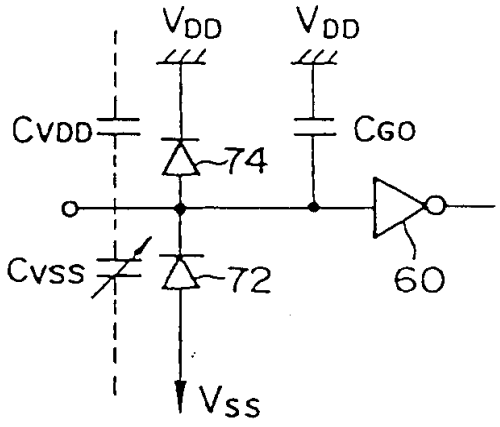


图 7 (现有技术)

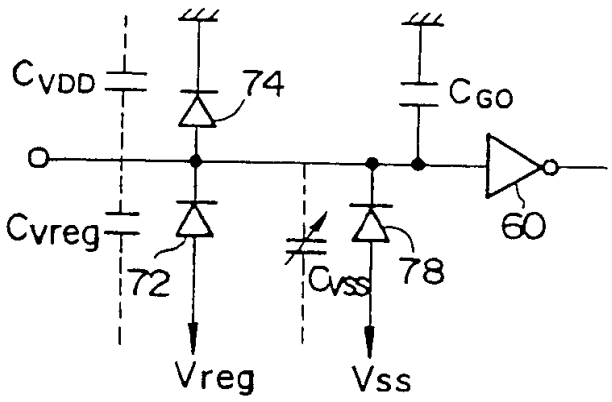


图 8

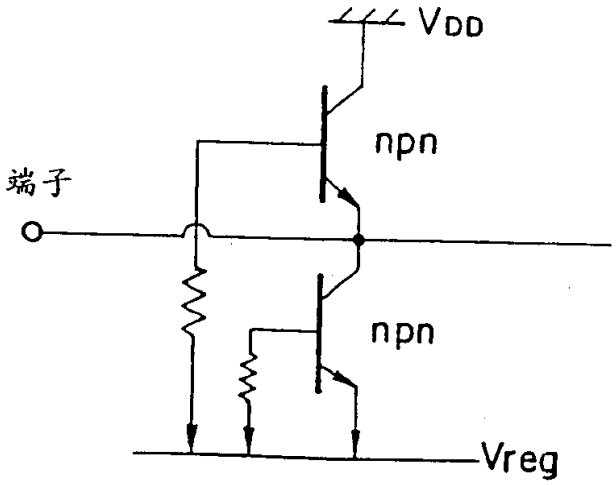


图 9

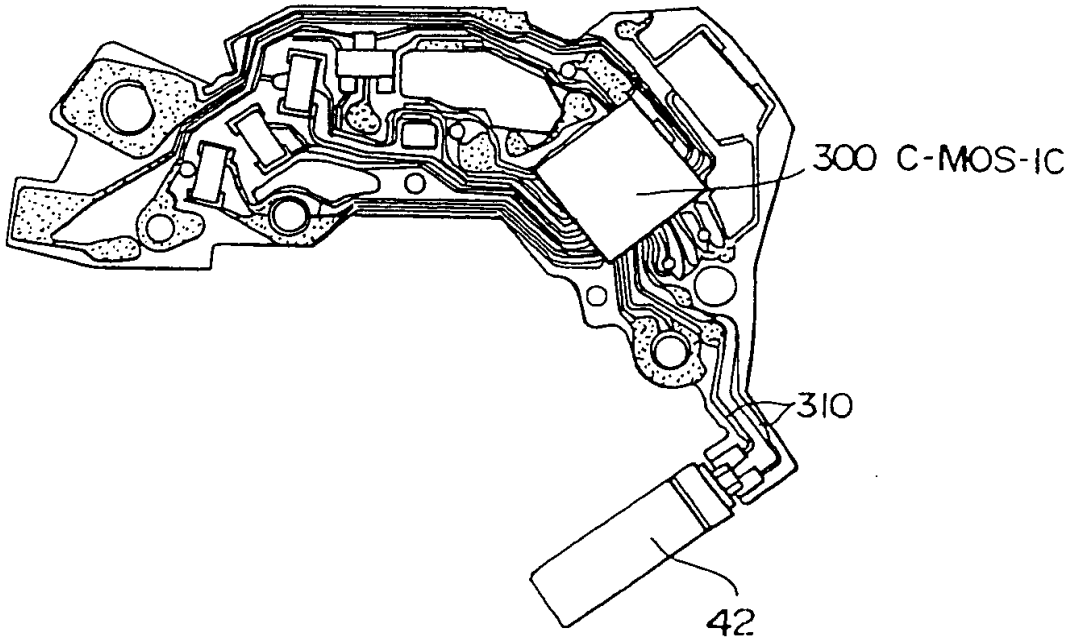


图 10