

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 9 日 (09.11.2017)



(10) 国际公布号
WO 2017/190521 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) **G09G 3/3266** (2016.01)

(21) 国际申请号: PCT/CN2017/000022

(22) 国际申请日: 2017 年 1 月 3 日 (03.01.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610287717.8 2016 年 5 月 4 日 (04.05.2016) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。 北京京东方显示技术有限公司(BEIJING BOE DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路 118 号, Beijing 100176 (CN)。

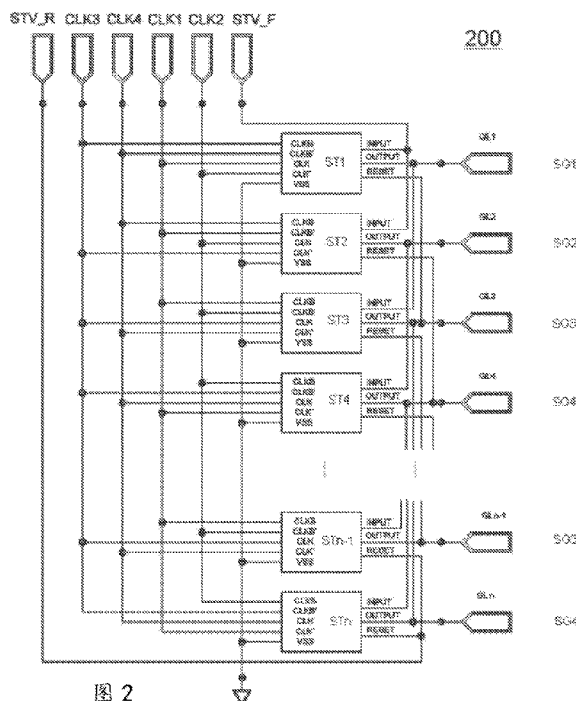
(72) 发明人: 陈华斌(CHEN, Huabin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理(香港)有限公司
(CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

(54) Title: GATE DRIVE CIRCUIT, ARRAY SUBSTRATE, DISPLAY PANEL, AND DRIVE METHOD THEREOF

(54) 发明名称: 栅极驱动电路、阵列基板、显示面板及其驱动方法



(57) Abstract: A gate drive circuit (200), array substrate (110) comprising the gate drive circuit (200), display panel (100) comprising the array substrate (110), and drive method of the display panel (100). The gate drive circuit (200) comprises: n stages (ST1, ST2, ..., ST n -1, ST n) arranged in sequence, n being an integer greater than or equal to 4. The n stages (ST1, ST2, ..., ST n -1, ST n) are divided into a first stage group (SG1), a second stage group (SG2), a third stage group (SG3), and a fourth stage group (SG4), and these are configured to receive corresponding different combinations of a first clock signal (CLK1), a second clock signal (CLK2), a third clock

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

signal (CLK3), and a fourth clock signal (CLK4). The stages of the first stage group (SG1) and the stages of the third stage group (SG3) are cascaded, and the stages of the second stage group (SG2) and the stages of the fourth stage group (SG4) are cascaded.

(57) 摘要: 一种栅极驱动电路 (200)、包括该栅极驱动电路 (200) 的阵列基板 (110)、包括该阵列基板 (110) 的显示面板 (100) 以及该显示面板 (100) 的驱动方法。栅极驱动电路 (200) 包括: 顺序布置的 n 个级 (ST1, ST2, ...ST n -1, ST n), 其中 n 是大于或等于 4 的整数。 n 个级 (ST1, ST2, ...ST n -1, ST n) 被划分为第一级组 (SG1)、第二级组 (SG2)、第三级组 (SG3) 和第四级组 (SG4), 它们被配置成接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2)、第三时钟信号 (CLK3) 和第四时钟信号 (CLK4) 的相应不同组合。第一级组 (SG1) 的级与第三级组 (SG3) 的级彼此级联, 并且第二级组 (SG2) 的级与第四级组 (SG4) 的级彼此级联。

栅极驱动电路、阵列基板、显示面板及其驱动方法

技术领域

本发明涉及显示技术领域，具体来说涉及一种栅极驱动电路、阵列基板、显示面板及其驱动方法。

背景技术

显示装置包括其上形成像素阵列的阵列基板、栅极驱动电路和数据驱动电路。栅极驱动电路顺序打开像素阵列中的各像素行，以将数据驱动电路输出的数据电压输入到对应的像素。在一些应用中，栅极驱动电路形成在阵列基板上，并且被称为“阵列基板栅极驱动器 (gate driver on array, GOA)”。

具有双扫描 (dual scan) 能力的栅极驱动电路已经被广泛使用。在正向扫描模式下，栅极驱动电路从上到下依次打开各像素行。在反向扫描模式下，栅极驱动电路从下到上依次打开各像素行。典型地，需要附加的信号线来实现双扫描。

发明内容

有利的是实现一种栅极驱动电路，其基于两个扫描开始信号和四个时钟信号而实现双扫描。还期望的是提供一种包括所述栅极驱动电路的阵列基板、包括所述阵列基板的显示面板以及该显示面板的驱动方法。

根据本发明的第一方面，提供了一种栅极驱动电路，包括：顺序布置的 n 个级，其中 n 是大于或等于 4 的整数，其中，所述 n 个级被划分为包括所述 n 个级中的第 $4k+1$ 个级的第一级组、包括所述 n 个级中的第 $4k+2$ 个级的第二级组、包括所述 n 个级中的第 $4k+3$ 个级的第三级组和包括所述 n 个级中的第 $4(k+1)$ 个级的第四级组，其中 k 是大于或等于 0 的整数，其中，第一级组、第二级组、第三级组和第四级组被配置成接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的相应不同组合，其中，第一级组的级与第三级组的级彼此级联，并且第二级组的级与第四级组的级彼此级联，并且其中，所述 n 个级中的最先两个级被配置成接收第一扫描开始信号，并且所

述 n 个级中的最后两个级被配置成接收第二扫描开始信号。

在一些实施例中，所述栅极驱动电路还包括：传送所述第一时钟信号的第一时钟线、传送所述第二时钟信号的第二时钟线、传送所述第三时钟信号的第三时钟线、以及传送所述第四时钟信号的第四时钟线，其中，所述 n 个级中的每个包括第一时钟端子、第二时钟端子、第三时钟端子和第四时钟端子，其中，所述第一时钟线连接到所述第一级组的每个级的第三时钟端子、所述第二级组的每个级的第二时钟端子、所述第三级组的每个级的第一时钟端子、以及所述第四级组的每个级的第四时钟端子；其中，所述第二时钟线连接到所述第一级组的每个级的第四时钟端子、所述第二级组的每个级的第三时钟端子、所述第三级组的每个级的第二时钟端子、以及所述第四级组的每个级的第一时钟端子；其中，所述第三时钟线连接到所述第一级组的每个级的第一时钟端子、所述第二级组的每个级的第四时钟端子、所述第三级组的每个级的第三时钟端子、以及所述第四级组的每个级的第二时钟端子；并且其中，所述第四时钟线连接到所述第一级组的每个级的第二时钟端子、所述第二级组的每个级的第一时钟端子、所述第三级组的每个级的第四时钟端子、以及所述第四级组的每个级的第三时钟端子。

在一些实施例中，所述栅极驱动电路还包括：传送所述第一扫描开始信号的第一扫描开始信号线和传送所述第二扫描开始信号的第二扫描开始信号线，其中，所述 n 个级中的每个还包括输入端子、输出端子、复位端子、以及被配置成接收栅极截止电压的栅极截止电压端子，其中，第一级组的每个级的输出端子连接到第三级组的相应下一个级的输入端子，并且第三级组的每个级的输出端子连接到第一级组的相应前一个级的复位端子和第一级组的相应下一个级的输入端子，其中，第二级组的每个级的输出端子连接到第四级组的相应下一个级的输入端子，并且第四级组的每个级的输出端子连接到第二级组的相应前一个级的复位端子和第二级组的相应下一个级的输入端子，并且其中，所述 n 个级中的最先两个级的输入端子连接到所述第一扫描开始信号线，并且所述 n 个级中的最后两个级的复位端子连接到所述第二扫描开始信号线。

在一些实施例中，所述 n 个级中的每个包括：第一节点；缓冲部，

可操作用于基于施加到所述输入端子的信号和施加到所述复位端子的信号而选择性地将施加到所述第二时钟端子的信号或施加到所述第四时钟端子的信号供给到所述第一节点；充电部，可操作用于基于所述缓冲部供给到所述第一节点处的信号进行充电；上拉部，可操作用于基于所述第一节点处的电压而选择性地将施加到所述第三时钟端子的信号供给到所述输出端子；下拉部，可操作用于基于施加到所述输入端子的信号和施加到所述复位端子的信号而选择性地将施加到所述栅极截止电压端子的信号供给到所述输出端子；以及保持部，可操作用于基于施加到所述第一时钟端子的信号而保持施加到所述栅极截止电压端子的信号到所述输出端子的供给。

在一些实施例中，所述缓冲部包括第一晶体管和第二晶体管，其中所述第一晶体管包括连接到所述输入端子的栅电极、连接到所述第一节点的第一电极、以及连接到所述第二时钟端子的第二电极，并且所述第二晶体管包括连接到所述复位端子的栅电极、连接到所述第四时钟端子的第一电极、以及连接到所述第一节点的第二电极。

在一些实施例中，所述充电部包括第一电容器，其中所述第一电容器包括连接到所述第一节点的第一端子和连接到所述输出端子的第二端子。

在一些实施例中，所述上拉部包括第三晶体管，其中所述第三晶体管包括连接到所述第一节点的栅电极、连接到所述输出端子的第一电极、以及连接到所述第三时钟端子的第二电极。

在一些实施例中，所述下拉部包括第四晶体管和第七晶体管，其中所述第四晶体管包括连接到所述复位端子的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极，并且所述第七晶体管包括连接到所述输入端子的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极。

在一些实施例中，所述 n 个级中的每个还包括第二节点和第三节点，并且其中，所述保持部包括第五晶体管、第九晶体管、第十晶体管和第十一晶体管，其中所述第五晶体管包括连接到所述第二节点的栅电极、连接到所述第三节点的第一电极、以及连接到所述第一时钟端子的第二电极，所述第九晶体管包括连接到所述第一时钟端子的栅电极、连接到所述第二节点的第一电极、以及连接到所述第一时钟端

子的第二电极，所述第十晶体管包括连接到所述第三节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第一节点的第二电极，并且所述第十一晶体管包括连接到所述第三节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极。

在一些实施例中，所述缓冲部还包括第六晶体管和第八晶体管，其中所述第六晶体管包括连接到所述第一节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第三节点的第二电极，并且所述第八晶体管包括连接到所述第一节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第二节点的第二电极。

在一些实施例中，所述栅极驱动电路被配置成响应于所述第一扫描开始信号到所述 n 个级中的最先两个级的输入端子的施加而工作在正向扫描模式。

在一些实施例中，所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号，其中， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，并且所述第一时钟信号在相位上领先所述第四时钟信号 90° 。

在一些实施例中，所述第一扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第一扫描开始信号的上升沿与所述第三时钟信号的上升沿同步。

在一些实施例中，所述栅极驱动电路被配置成响应于所述第二扫描开始信号到所述 n 个级中的最后两个级的复位端子的施加而工作在反向扫描模式。

在一些实施例中，所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号，其中， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，并且所述第一时钟信号在相位上落后所述第四时钟信号 90° 。

在一些实施例中，所述第二扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第二扫描开始信号的上升沿与所述第二时钟信号的上升沿同步。

根据本发明的另一方面，提供了一种阵列基板，包括：显示区，包括多个栅极线和与所述多个栅极线彼此相交的多个数据线；以及如上文所述的栅极驱动电路，其中，所述栅极驱动电路形成在所述阵列基板的除所述显示区之外的外围区中，并且被配置成向所述多个栅极线供给栅极信号。

根据本发明的再另一方面，提供了一种显示面板，包括如上文所述的阵列基板。

根据本发明的又另一方面，提供了一种驱动如上文所述的显示面板的方法，包括：通过向所述栅极驱动电路供给第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号和第一扫描开始信号，驱动所述显示面板在正向扫描模式下操作，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和所述第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，所述第一时钟信号在相位上领先所述第四时钟信号 90° ，所述第一扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第一扫描开始信号的上升沿与所述第三时钟信号的上升沿同步；并且通过向所述栅极驱动电路供给第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号和第二扫描开始信号，驱动所述显示面板在反向扫描模式下操作，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和所述第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，所述第一时钟信号在相位上落后所述第四时钟信号 90° ，所述第二扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第二扫描开始信号的上升沿与所述第二时钟信号的上升沿同步。

根据在下文中所描述的实施例，本发明的这些和其它方面将是清楚明白的，并且将参考在下文中所描述的实施例而被阐明。

附图说明

在下面结合附图对于示例性实施例的描述中，本发明的更多细节、

特征和优点被公开，在附图中：

图 1 是示意性示出根据本发明一个实施例的显示面板的平面图；

图 2 是示意性示出根据本发明一个实施例的栅极驱动电路的框图；

图 3 是示意性示出如图 2 所示的栅极驱动电路的一个级的电路图；

5 图 4A 和 4B 是分别示意性示出如图 2 所示的栅极驱动电路在正向扫描模式和反向扫描模式下的驱动方法的时序图；

图 5A、5B、5C 和 5D 是分别示意性示出如图 2 所示的栅极驱动电路的第一级、第二级、第三级和第四级在正向扫描模式下的操作的时序图；并且

10 图 6A 和 6B 是分别示意性示出如图 2 所示的栅极驱动电路的第八级和第七级在反向扫描模式下的操作的时序图。

具体实施方式

现在，将参照其中表示本发明的示范性实施例的附图更完整地描述本发明。然而，本发明可以按很多不同的方式体现，不应解读为局限于这里所述的实施例。相反，提供这些实施例使得本公开是详尽和完整的，并且向本领域的技术人员完全传达本发明的范围。全文中，相似的参考数字指代相似的元素。

20 图 1 是示意性示出根据本发明一个实施例的显示面板 100 的平面图。

参照图 1，显示面板 100 包括阵列基板 110、用于输出数据电压的（多个）数据驱动电路 120 以及用于输出栅极信号的栅极驱动电路 200。如图 1 所示，阵列基板 110 包括其上显示图像的显示区 DA 和除显示区 DA 之外的外围区 PA。

25 在显示区 DA 中，设置栅极线 GL1-GLn 和与栅极线 GL1-GLn 绝缘的数据线 DL1-DLm。数据线 DL1-DLm 与栅极线 GL1-GLn 彼此交叉以限定多个像素。多个像素呈阵列布置在显示区 DA 中，并且具有基本相同的结构和功能。因此，现在将更详细地描述一个像素 P1（如虚线框所指示的）。在示例性实施例中，像素 P1 包括薄膜晶体管 Tr。薄膜晶体管 Tr 包括连接到栅极线 GL1 的栅电极和连接到数据线 DL1 的第一电极。在显示面板 100 为液晶显示面板的情况下，薄膜晶体管 Tr 的第二电极连接到像素电极。在显示面板 100 为有机发光二极管

(OLED) 显示面板的情况下, 薄膜晶体管 Tr 的第二电极连接到例如用于为 OLED 提供驱动电流的驱动晶体管的栅电极。

栅极驱动电路 200 设置在外围区 PA 中并且连接到栅极线 GL1-GLn, 以向栅极线 GL1-GLn 顺序地输出栅极信号。在示例性实施例中, 在像素的薄膜晶体管 Tr 的制造工艺过程中, 栅极驱动电路 200 可以与薄膜晶体管 Tr 同时形成, 从而得到 GOA 电路。在另一示例性实施例中, 栅极驱动电路 200 可以形成为单独的集成电路 (IC) 芯片, 并且被直接安装在显示面板 100 上, 或者被安装在单独的印刷电路板 (未示出) 上。另外, 多个数据驱动电路 120 设置在外围区 PA 中并且连接到数据线 DL1-DLm, 以向数据线 DL1-DLm 输出数据电压。

图 2 是示意性示出根据本发明一个实施例的栅极驱动电路 200 的框图。

参照图 2, 栅极驱动电路 100 包括顺序布置的 n 个级 ST1, ST2, ... STn-1, STn, 其中 n 是大于或等于 4 的整数。这 n 个级 ST1, ST2, ... STn-1, STn 形成一个移位寄存器。

所述 n 个级 ST1, ST2, ... STn-1, STn 中的每个具有第一时钟端子 CLKB、第二时钟端子 CLKB'、第三时钟端子 CLK、第四时钟端子 CLK'、栅极截止电压端子 VSS、输入端子 INPUT、输出端子 OUTPUT 和复位端子 RESET。

如图 2 所示, 所述 n 个级 ST1, ST2, ... STn-1, STn 的输出端子 OUTPUT 被连接到对应的栅极线 GL1, GL2, ... GLn-1, GLn, 并且输出对应的栅极信号。这些栅极信号具有作为栅极导通电压的高电平和作为栅极截止电压的低电平。栅极截止电压可以经由栅极截止电压端子 VSS 供应。

所述 n 个级 ST1, ST2, ... STn-1, STn 被划分为第一级组 SG1、第二级组 SG2、第三级组 SG3 和第四级组 SG4。第一级组 SG1 包括所述 n 个级中的第 $4k+1$ 个级, 第二级组 SG2 包括所述 n 个级中的第 $4k+2$ 个级, 第三级组 SG3 包括所述 n 个级中的第 $4k+3$ 个级, 并且第四级组 SG4 包括所述 n 个级中的第 $4(k+1)$ 个级, 其中 k 是大于或等于 0 的整数。

在图 2 中, 最右侧的参考标记“SG1”、“SG2”、“SG3”和“SG4”指示各个级 ST1, ST2, ... STn-1, STn 所属的级组。例如, 第一级 ST1

属于第一级组 SG1，第二级 ST2 属于第二级组 SG2，第三级 ST3 属于第三级组 SG3，第四级 ST4 属于第四级组 SG4，第五级 ST5（未示出）属于第一级组 SG1，等等。

将理解的是，虽然图 2 中示出的级的数目为 4 的整数倍（因为最后一个级 ST_n 属于级组 SG4），但是在其他实施例中其他数目是可能的。

第一级组 SG1、第二级组 SG2、第三级组 SG3 和第四级组 SG4 被配置成经由它们相应的第一时钟端子 CLKB、第二时钟端子 CLKB'、第三时钟端子 CLK 和第四时钟端子 CLK'接收第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 的不同组合。

具体地，第一级组 SG1 的每个级被配置成接收这四个时钟信号的第一组合，第二级组 SG2 的每个级被配置成接收这四个时钟信号的第二组合，第三级组 SG3 的每个级被配置成接收这四个时钟信号的第三组合，并且第四级组 SG4 的每个级被配置成接收这四个时钟信号的第四组合。

更具体地，参照图 2，传送第一时钟信号 CLK1 的第一时钟线连接到第一级组 SG1 的每个级的第三时钟端子 CLK、第二级组 SG2 的每个级的第二时钟端子 CLKB'、第三级组 SG3 的每个级的第一时钟端子 CLKB、以及第四级组 SG4 的每个级的第四时钟端子 CLK'。传送第二时钟信号 CLK2 的第二时钟线连接到第一级组 SG1 的每个级的第四时钟端子 CLK'、第二级组 SG2 的每个级的第三时钟端子 CLK、第三级组 SG3 的每个级的第二时钟端子 CLKB'、以及第四级组 SG4 的每个级的第一时钟端子 CLKB。传送第三时钟信号 CLK3 的第三时钟线连接到第一级组 SG1 的每个级的第一时钟端子 CLKB、第二级组 SG2 的每个级的第四时钟端子 CLK'、第三级组 SG3 的每个级的第三时钟端子 CLK、以及第四级组 SG4 的每个级的第二时钟端子 CLKB'。传送第四时钟信号 CLK4 的第四时钟线连接到第一级组 SG1 的每个级的第二时钟端子 CLKB'、第二级组 SG2 的每个级的第一时钟端子 CLKB、第三级组 SG3 的每个级的第四时钟端子 CLK'、以及第四级组 SG4 的每个级的第三时钟端子 CLK。

第一级组 SG1 的级与第三级组 SG3 的级彼此级联，并且第二级组

SG2 的级与第四级组 SG4 的级彼此级联。

具体地，参照图 2，第一级组 SG1 的每个级的输出端子 OUTPUT 连接到第三级组 SG3 的相应下一个级的输入端子 INPUT，并且第三级组 SG3 的每个级的输出端子 OUTPUT 连接到第一级组 SG1 的相应前一个级的复位端子 RESET 和第一级组 SG1 的相应下一个级的输入端子 INPUT。第二级组 SG2 的每个级的输出端子 OUTPUT 连接到第四级组 SG4 的相应下一个级的输入端子 INPUT，并且第四级组 SG4 的每个级的输出端子 OUTPUT 连接到第二级组 SG2 的相应前一个级的复位端子 RESET 和第二级组 SG2 的相应下一个级的输入端子 INPUT。

另外，所述 n 个级 ST1, ST2, ... STn-1, STn 中的最先两个级 ST1 和 ST2 被配置成接收第一扫描开始信号 STV_F，并且所述 n 个级 ST1, ST2, ... STn-1, STn 中的最后两个级 STn-1 和 STn 被配置成接收第二扫描开始信号 STV_R。

具体地，所述 n 个级 ST1, ST2, ... STn-1, STn 中的最先两个级 ST1 和 ST2 的输入端子 INPUT 连接到传送第一扫描开始信号 STV_F 的第一扫描开始信号线，并且所述 n 个级 ST1, ST2, ... STn-1, STn 中的最后两个级 STn-1 和 STn 的复位端子 RESET 连接到传送第二扫描开始信号 STV_R 的第二扫描开始信号线。

如稍后将描述的，栅极驱动电路 200 响应于第一扫描开始信号 STV_F 而在正向扫描模式下操作，并且响应于第二扫描开始信号 STV_R 而在反向扫描模式下操作。在正向扫描模式下，第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 具有第一时序型式 (pattern)。在反向扫描模式下，第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 具有第二时序型式。第二时序型式不同于第一时序型式。

因此，可以通过利用两个扫描开始信号之一并通过改变时钟信号的时序来实现正向扫描与反向扫描的切换，而不需要附加的信号线。这有利于电路的简化，并且因而电路占用面积 (footprint) 的减小。

图 3 是示意性示出如图 2 所示的栅极驱动电路 200 的一个级 STx 的电路图。栅极驱动电路 200 中的每个级具有相同的结构，因此，如图 3 所示的级 STx 代表 n 个级 ST1, ST2, ... STn-1, STn 中的每一个。

参照图 3，级 STx 包括第一节点 PU、缓冲部 310、充电部 320、

上拉部 330、下拉部 340 和保持部 350。

缓冲部 310 可操作用于基于施加到输入端子 INPUT 的信号和施加到复位端子 RESET 的信号而选择性地将施加到第二时钟端子 CLKB' 的信号或施加到第四时钟端子 CLK' 的信号供给到第一节点 PU。

5 术语缓冲, 在本文中使用时, 涉及对第一节点 PU 充电的操作, 如稍后将描述的。

具体地, 缓冲部 310 包括第一晶体管 M1 和第二晶体管 M2。第一晶体管 M 包括连接到输入端子 INPUT 的栅电极、连接到第一节点 PU 的第一电极、以及连接到第二时钟端子 CLKB' 的第二电极。第二晶体
10 管 M2 包括连接到复位端子 RESET 的栅电极、连接到第四时钟端子 CLK' 的第一电极、以及连接到第一节点 PU 的第二电极。

另外, 在示例性实施例中, 缓冲部 310 还包括第六晶体管 M6 和第八晶体管 M8。第六晶体管 M6 包括连接到第一节点 PU 的栅电极、连接到栅极截止电压端子 VSS 的第一电极、以及连接到第三节点 PD 的第二电极。第八晶体管 M8 包括连接到第一节点 PU 的栅电极、连接到
15 栅极截止电压端子 VSS 的第一电极、以及连接到第二节点 PD_CN 的第二电极。

充电部 320 可操作用于基于缓冲部 310 供给到第一节点 PU 处的信号进行充电。

20 具体地, 充电部 320 包括第一电容器 C1。第一电容器 C1 包括连接到第一节点 PU 的第一端子和连接到输出端子 OUTPUT 的第二端子。

上拉部 330 可操作用于基于第一节点 PU 处的电压而选择性地将施加到第三时钟端子 CLK 的信号供给到输出端子 OUTPUT。

具体地, 上拉部 330 包括第三晶体管 M3。第三晶体管 M3 包括连
25 接到第一节点 PU 的栅电极、连接到输出端子 OUTPUT 的第一电极、以及连接到第三时钟端子 CLK 的第二电极。

下拉部 340 可操作用于基于施加到输入端子 INPUT 的信号和施加到复位端子 RESET 的信号而选择性地将施加到栅极截止电压端子 VSS 的信号供给到输出端子 OUTPUT。

30 具体地, 下拉部 340 包括第四晶体管 M4 和第七晶体管 M7。第四晶体管 M4 包括连接到复位端子 RESET 的栅电极、连接到栅极截止电压端子 VSS 的第一电极、以及连接到输出端子 OUTPUT 的第二电极。

第七晶体管 M7 包括连接到输入端子 INPUT 的栅电极、连接到栅极截止电压端子 VSS 的第一电极、以及连接到输出端子 OUTPUT 的第二电极。

保持部 350 可操作用于基于施加到第一时钟端子 CLKB 的信号而保持施加到栅极截止电压端子 VSS 的信号到输出端子 OUTPUT 的供给。

具体地，保持部 350 包括第五晶体管 M5、第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11。仍然参照图 3，级 ST_x 还包括第二节点 PD_CN 和第三节点 PD。

第五晶体管 M5 包括连接到第二节点 PD_CN 的栅电极、连接到第三节点 PD 的第一电极、以及连接到第一时钟端子 CLKB 的第二电极。第九晶体管 M9 包括连接到第一时钟端子 CLKB 的栅电极、连接到第二节点 PD_CN 的第一电极、以及连接到第一时钟端子 CLKB 的第二电极。第十晶体管 M10 包括连接到第三节点 PD 的栅电极、连接到栅极截止电压端子 VSS 的第一电极、以及连接到第一节点 PU 的第二电极。第十一晶体管 M11 包括连接到第三节点 PD 的栅电极、连接到栅极截止电压端子 VSS 的第一电极、以及连接到输出端子 OUTPUT 的第二电极。

将理解的是，虽然在图 3 中各个晶体管被示出为 n 型晶体管，但在其他实施例中，可以使用 p 型晶体管。在 p 型晶体管的情况下，用于打开晶体管的电压是低电平电压，并且用于关闭晶体管的电压是高电平电压。

还将理解的是，在其中栅极驱动电路 200 被实现为 GOA 的实施例中，各个晶体管被形成为薄膜晶体管。在薄膜晶体管的情况下，源电极和漏电极可互换地使用。

图 4A 和 4B 是分别示意性示出如图 2 所示的栅极驱动电路 200 在正向扫描模式和反向扫描模式下的驱动方法的时序图。为了便于描述，假定栅极驱动电路 200 包括 8 个级 (n=8)，尽管其他数目的级是可能的。相应地，存在 8 个栅极线 GL1, GL2, ..., GL8，如图 4A 和 4B 所示。

如上文所述，栅极驱动电路 200 被配置成响应于第一扫描开始信号 STV_F 到 8 个级中的最先两个级 (ST1 和 ST2) 的输入端子 INPUT

的施加而工作在正向扫描模式。在这种情况下，栅极信号依次输出到栅极线 GL1, GL2, ..., GL8, 如图 4A 所示。

参照图 4A, 第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 中的每个是以 2H 的周期周期性重复的脉冲信号, 其中 H 是水平扫描周期, 在该水平扫描周期期间栅极信号处于作为栅极导通电压的高电平。

第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 具有第一时序型式。具体地, 第一时钟信号 CLK1 和第三时钟信号 CLK3 具有 180° 的相位差, 第二时钟信号 CLK2 和第四时钟信号 CLK4 具有 180° 的相位差, 并且第一时钟信号 CLK1 在相位上领先第四时钟信号 CLK4 90° 。另外, 第一扫描开始信号 STV_F 是具有 1.5H 的脉冲宽度的脉冲信号, 并且第一扫描开始信号 STV_F 的上升沿与第三时钟信号 CLK3 的上升沿同步。

如上文所述, 栅极驱动电路 200 被配置成响应于第二扫描开始信号 STV_R 到 8 个级中的最后两个级 (ST8 和 ST7) 的复位端子的施加而工作在反向扫描模式。在这种情况下, 栅极信号依次输出到栅极线 GL8, GL7, ..., GL1, 如图 4B 所示。

在反向扫描模式下, 第一时钟信号 CLK1、第二时钟信号 CLK2、第三时钟信号 CLK3 和第四时钟信号 CLK4 具有第二时序型式。第二时序型式不同于第一时序型式。

参照图 4B, 第一时钟信号 CLK1 和第三时钟信号 CLK3 具有 180° 的相位差, 第二时钟信号 CLK2 和第四时钟信号 CLK4 具有 180° 的相位差, 并且第一时钟信号 CLK1 在相位上落后第四时钟信号 CLK4 90° 。另外, 第二扫描开始信号 STV_R 是具有 1.5H 的脉冲宽度的脉冲信号, 并且第二扫描开始信号 STV_R 的上升沿与第二时钟信号 CLK2 的上升沿同步。

下面将参照图 2、图 3、图 5A、5B、5C 和 5D 以及图 6A 和 6B 描述根据本发明实施例的栅极驱动电路 200 的操作。

图 5A、5B、5C 和 5D 是分别示意性示出如图 2 所示的栅极驱动电路 200 的第一级 ST1、第二级 ST2、第三级 ST3 和第四级 ST4 在正向扫描模式下的操作的时序图。每一级的操作包括 5 个阶段 P1、P2、P3、P4 和 P5。

下面描述第一级 ST1 的操作。

在阶段 P1, 第一扫描开始信号 STV_F 的高电平被施加到输入端子 INPUT, 以使得第一晶体管 M1 被打开, 以经由第二时钟端子 CLKB' 将第四时钟信号 CLK4 供给到第一节点 PU。在阶段 P1 的后半段, 第
5 四时钟信号 CLK4 的高电平向第一电容器 C1 充电, 以使得第六晶体管 M6 和第八晶体管 M8 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD, 并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL1 输出高电平。

在阶段 P2, 第一时钟信号 CLK1 的高电平被施加到第三时钟端子
10 CLK, 并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态, 以使得第一时钟信号 CLK1 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT, 并且输出到栅极线 GL1。

在阶段 P3, 第三级 ST3 输出的高电平 (GL3) 被施加到第一级 ST1 的复位端子 RESET, 以使得第四晶体管 M4 被打开以经由栅极截止电
15 压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT, 从而将输出到栅极线 GL1 的栅极信号拉低到低电平。同时, 第二晶体管 M2 被打开以经由第四时钟端子 CLK' 将第二时钟信号 CLK2 供给到第一节点 PU。在阶段 P3 的后半段, 第二时钟信号 CLK2 的低电平供给到第一节点 PU, 以使得第一电容器 C1 放电。

20 在阶段 P4, 各晶体管处于关闭状态, 以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL1 的栅极信号处于低电平。

在阶段 P5, 第三时钟信号 CLK3 的高电平被施加到第一时钟端子 CLKB, 以使得第九晶体管 M9 和第五晶体管 M5 被打开, 以将第三时
25 钟信号 CLK3 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于第三节点 PD 处于高电平, 所以第十晶体管 M10 被打开以使第一电容器 C1 放电, 并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL1 的栅极信号处于低电平。

下面描述第二级 ST2 的操作。

在阶段 P1, 第一扫描开始信号 STV_F 的高电平被施加到输入端子
30 INPUT, 以使得第一晶体管 M1 被打开, 以经由第二时钟端子 CLKB' 将第一时钟信号 CLK1 供给到第一节点 PU。在阶段 P1 的后半段, 第一时钟信号 CLK1 的高电平向第一电容器 C1 充电, 以使得第六晶体管

M6 和第八晶体管 M8 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD，并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL2 输出高电平。

在阶段 P2，第二时钟信号 CLK2 的高电平被施加到第三时钟端子 CLK，并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态，以使得第二时钟信号 CLK2 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT，并且输出到栅极线 GL2。

在阶段 P3，第四级 ST4 输出的高电平 (GL4) 被施加到第二级 ST2 的复位端子 RESET，以使得第四晶体管 M4 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT，从而将输出到栅极线 GL2 的栅极信号拉低到低电平。同时，第二晶体管 M2 被打开以经由第四时钟端子 CLK' 将第三时钟信号 CLK3 供给到第一节点 PU。在阶段 P3 的后半段，第三时钟信号 CLK3 的低电平供给到第一节点 PU，以使得第一电容器 C1 放电。

在阶段 P4，各晶体管处于关闭状态，以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL2 的栅极信号处于低电平。

在阶段 P5，第四时钟信号 CLK4 的高电平被施加到第一时钟端子 CLKB，以使得第九晶体管 M9 和第五晶体管 M5 被打开，以将第四时钟信号 CLK4 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于第三节点 PD 处于高电平，所以第十晶体管 M10 被打开以使第一电容器 C1 放电，并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL2 的栅极信号处于低电平。

下面描述第三级 ST3 的操作。

在阶段 P1，第一级 ST1 输出的高电平被施加到输入端子 INPUT，以使得第一晶体管 M1 被打开，以经由第二时钟端子 CLKB' 将第二时钟信号 CLK2 供给到第一节点 PU。在阶段 P1 的后半段，第二时钟信号 CLK2 的高电平向第一电容器 C1 充电，以使得第六晶体管 M6 和第八晶体管 M8 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD，并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL3 输出高电平。

在阶段 P2，第三时钟信号 CLK3 的高电平被施加到第三时钟端子 CLK，并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态，

以使得第三时钟信号 CLK3 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT，并且输出到栅极线 GL3。

在阶段 P3，第五级 ST5 输出的高电平 (GL5) 被施加到第三级 ST3 的复位端子 RESET，以使得第四晶体管 M4 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT，从而将输出到栅极线 GL3 的栅极信号拉低到低电平。同时，第二晶体管 M2 被打开以经由第四时钟端子 CLK' 将第四时钟信号 CLK4 供给到第一节点 PU。在阶段 P3 的后半段，第四时钟信号 CLK4 的低电平供给到第一节点 PU，以使得第一电容器 C1 放电。

在阶段 P4，各晶体管处于关闭状态，以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL3 的栅极信号处于低电平。

在阶段 P5，第一时钟信号 CLK1 的高电平被施加到第一时钟端子 CLKB，以使得第九晶体管 M9 和第五晶体管 M5 被打开，以将第一时钟信号 CLK1 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于第三节点 PD 处于高电平，所以第十晶体管 M10 被打开以使第一电容器 C1 放电，并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL3 的栅极信号处于低电平。

下面描述第四级 ST4 的操作。

在阶段 P1，第二级 ST2 输出的高电平被施加到输入端子 INPUT，以使得第一晶体管 M1 被打开，以经由第二时钟端子 CLKB' 将第三时钟信号 CLK3 供给到第一节点 PU。在阶段 P1 的后半段，第三时钟信号 CLK3 的高电平向第一电容器 C1 充电，以使得第六晶体管 M6 和第八晶体管 M8 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD，并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL4 输出高电平。

在阶段 P2，第四时钟信号 CLK4 的高电平被施加到第三时钟端子 CLK，并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态，以使得第四时钟信号 CLK4 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT，并且输出到栅极线 GL4。

在阶段 P3，第六级 ST6 输出的高电平 (GL6) 被施加到第四级 ST4 的复位端子 RESET，以使得第四晶体管 M4 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT，从而将输出到

栅极线 GL4 的栅极信号拉低到低电平。同时，第二晶体管 M2 被打开以经由第四时钟端子 CLK' 将第一时钟信号 CLK1 供给到第一节点 PU。在阶段 P3 的后半段，第一时钟信号 CLK1 的低电平供给到第一节点 PU，以使得第一电容器 C1 放电。

- 5 在阶段 P4，各晶体管处于关闭状态，以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL4 的栅极信号处于低电平。

在阶段 P5，第二时钟信号 CLK2 的高电平被施加到第一时钟端子 CLKB，以使得第九晶体管 M9 和第五晶体管 M5 被打开，以将第二时钟信号 CLK2 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于
10 第三节点 PD 处于高电平，所以第十晶体管 M10 被打开以使第一电容器 C1 放电，并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL4 的栅极信号处于低电平。

为了简单起见，后续级的操作的描述被省略。将理解的是，虽然在上文的实施例中第一扫描开始信号 STV_F 被描述为具有 1.5H 的脉冲
15 宽度，但是在其他实施例中，第一扫描开始信号 STV_F 可以具有 1H 的脉冲宽度。

图 6A 和 6B 是分别示意性示出如图 2 所示的栅极驱动电路 200 (n=8) 的第八级和第七级在反向扫描模式下的操作的时序图。每一级的操作包括 5 个阶段 P1、P2、P3、P4 和 P5。

- 20 下面描述第八级 ST8 的操作。

在阶段 P1，STV_R 的高电平被施加到复位端子 RESET，以使得第二晶体管 M2 被打开，以经由第四时钟端子 CLK' 将第一时钟信号 CLK1 供给到第一节点 PU。在阶段 P1 的后半段，第一时钟信号 CLK1 的高电平向第一电容器 C1 充电，以使得第六晶体管 M6 和第八晶体管 M8
25 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD，并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL8 输出高电平。

在阶段 P2，第四时钟信号 CLK4 的高电平被施加到第三时钟端子 CLK，并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态，
30 以使得第四时钟信号 CLK4 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT，并且输出到栅极线 GL8。

在阶段 P3，第六级 ST6 输出的高电平 (GL6) 被施加到第八级 ST8

的输入端子 INPUT，以使得第七晶体管 M7 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT，从而将输出到栅极线 GL8 的栅极信号拉低到低电平。同时，第一晶体管 M1 被打开以经由第二时钟端子 CLKB' 将第三时钟信号 CLK3 供给到第一节点 PU。在阶段 P3 的后半段，第三时钟信号 CLK3 的低电平供给到第一节点 PU，以使得第一电容器 C1 放电。

在阶段 P4，各晶体管处于关闭状态，以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL8 的栅极信号处于低电平。

在阶段 P5，第二时钟信号 CLK2 的高电平被施加到第一时钟端子 CLKB，以使得第九晶体管 M9 和第五晶体管 M5 被打开，以将第二时钟信号 CLK2 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于第三节点 PD 处于高电平，所以第十晶体管 M10 被打开以使第一电容器 C1 放电，并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL8 的栅极信号处于低电平。

下面描述第七级 ST7 的操作。

在阶段 P1，STV_R 的高电平被施加到复位端子 RESET，以使得第二晶体管 M2 被打开，以经由第四时钟端子 CLK' 将第四时钟信号 CLK4 供给到第一节点 PU。在阶段 P1 的后半段，第四时钟信号 CLK4 的高电平向第一电容器 C1 充电，以使得第六晶体管 M6 和第八晶体管 M8 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到第二节点 PD_CN 和第三节点 PD，并且第三晶体管 M3 被打开以准备经由输出端子 OUTPUT 向栅极线 GL7 输出高电平。

在阶段 P2，第三时钟信号 CLK3 的高电平被施加到第三时钟端子 CLK，并且跨第一电容器 C1 的电压维持第三晶体管 M3 处于打开状态，以使得第三时钟信号 CLK3 的高电平经由第三晶体管 M3 供给到输出端子 OUTPUT，并且输出到栅极线 GL7。

在阶段 P3，第五级 ST5 输出的高电平 (GL5) 被施加到第七级 ST7 的输入端子 INPUT，以使得第七晶体管 M7 被打开以经由栅极截止电压端子 VSS 将栅极截止电压供给到输出端子 OUTPUT，从而将输出到栅极线 GL7 的栅极信号拉低到低电平。同时，第一晶体管 M1 被打开以经由第二时钟端子 CLKB' 将第二时钟信号 CLK2 供给到第一节点 PU。在阶段 P3 的后半段，第二时钟信号 CLK2 的低电平供给到第一节点

点 PU，以使得第一电容器 C1 放电。

在阶段 P4，各晶体管处于关闭状态，以使得输出端子 OUTPUT 被悬浮在低电平。输出到栅极线 GL7 的栅极信号处于低电平。

在阶段 P5，第一时钟信号 CLK1 的高电平被施加到第一时钟端子 CLKB，以使得第九晶体管 M9 和第五晶体管 M5 被打开，以将第一时钟信号 CLK1 的高电平供给到第二节点 PD_CN 和第三节点 PD。由于第三节点 PD 处于高电平，所以第十晶体管 M10 被打开以使第一电容器 C1 放电，并且第十一晶体管 M11 被打开以保持经由输出端子 OUTPUT 输出到栅极线 GL7 的栅极信号处于低电平。

为了简单起见，后续级的操作的描述被省略。将理解的是，虽然在上文的实施例中第二扫描开始信号 STV_R 被描述为具有 1.5H 的脉冲宽度，但是在其他实施例中，第二扫描开始信号 STV_R 可以具有 1H 的脉冲宽度。

根据本发明的实施例，可以通过利用第一扫描开始信号 STV_F 和第二扫描开始信号 STV_R 并通过改变时钟信号的时序来使得栅极驱动电路能够实现正向扫描和反向扫描，而不需要附加的信号线。

鉴于前面的描述并结合阅读附图，对前述本发明的示例性实施例的各种修改和改动对于相关领域的技术人员可以变得显而易见。任何和所有修改仍将落入本发明的非限制性和示例性实施例的范围内。此外，属于本发明的这些实施例所属领域的技术人员，在得益于前面的描述和相关附图所给出的教导后，将会想到在此描述的本发明的其他实施例。

因此，应当理解，本发明的实施例并不限于所公开的特定实施例，并且修改和其他的实施例也意图被包含在所附权利要求书的范围内。尽管此处使用了特定术语，但是它们仅在通用和描述性意义上使用，而非为了限制的目的。

权 利 要 求

1. 一种栅极驱动电路，包括：

顺序布置的 n 个级，其中 n 是大于或等于 4 的整数，

5 其中，所述 n 个级被划分为包括所述 n 个级中的第 $4k+1$ 个级的第一级组、包括所述 n 个级中的第 $4k+2$ 个级的第二级组、包括所述 n 个级中的第 $4k+3$ 个级的第三级组和包括所述 n 个级中的第 $4(k+1)$ 个级的第四级组，其中 k 是大于或等于 0 的整数，

10 其中，第一级组、第二级组、第三级组和第四级组被配置成接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的相应不同组合，

其中，第一级组的级与第三级组的级彼此级联，并且第二级组的级与第四级组的级彼此级联，并且

15 其中，所述 n 个级中的最先两个级被配置成接收第一扫描开始信号，并且所述 n 个级中的最后两个级被配置成接收第二扫描开始信号。

2. 根据权利要求 1 所述的栅极驱动电路，还包括：

传送所述第一时钟信号的第一时钟线、传送所述第二时钟信号的第二时钟线、传送所述第三时钟信号的第三时钟线、以及传送所述第四时钟信号的第四时钟线，

20 其中，所述 n 个级中的每个包括第一时钟端子、第二时钟端子、第三时钟端子和第四时钟端子，

其中，所述第一时钟线连接到所述第一级组的每个级的第三时钟端子、所述第二级组的每个级的第二时钟端子、所述第三级组的每个级的第一时钟端子、以及所述第四级组的每个级的第四时钟端子；

25 其中，所述第二时钟线连接到所述第一级组的每个级的第四时钟端子、所述第二级组的每个级的第三时钟端子、所述第三级组的每个级的第二时钟端子、以及所述第四级组的每个级的第一时钟端子；

30 其中，所述第三时钟线连接到所述第一级组的每个级的第一时钟端子、所述第二级组的每个级的第四时钟端子、所述第三级组的每个级的第三时钟端子、以及所述第四级组的每个级的第二时钟端子；并且

其中，所述第四时钟线连接到所述第一级组的每个级的第二时钟

端子、所述第二级组的每个级的第一时钟端子、所述第三级组的每个级的第四时钟端子、以及所述第四级组的每个级的第三时钟端子。

3. 根据权利要求 2 所述的栅极驱动电路，还包括：

5 传送所述第一扫描开始信号的第一扫描开始信号线和传送所述第二扫描开始信号的第二扫描开始信号线，

其中，所述 n 个级中的每个还包括输入端子、输出端子、复位端子、以及被配置成接收栅极截止电压的栅极截止电压端子，

10 其中，第一级组的每个级的输出端子连接到第三级组的相应下一个级的输入端子，并且第三级组的每个级的输出端子连接到第一级组的相应前一个级的复位端子和第一级组的相应下一个级的输入端子，

其中，第二级组的每个级的输出端子连接到第四级组的相应下一个级的输入端子，并且第四级组的每个级的输出端子连接到第二级组的相应前一个级的复位端子和第二级组的相应下一个级的输入端子，并且

15 其中，所述 n 个级中的最先两个级的输入端子连接到所述第一扫描开始信号线，并且所述 n 个级中的最后两个级的复位端子连接到所述第二扫描开始信号线。

4. 根据权利要求 3 所述的栅极驱动电路，其中，所述 n 个级中的每个包括：

20 第一节点；

缓冲部，可操作用于基于施加到所述输入端子的信号和施加到所述复位端子的信号而选择性地将施加到所述第二时钟端子的信号或施加到所述第四时钟端子的信号供给到所述第一节点；

25 充电部，可操作用于基于所述缓冲部供给到所述第一节点处的信号进行充电；

上拉部，可操作用于基于所述第一节点处的电压而选择性地将施加到所述第三时钟端子的信号供给到所述输出端子；

30 下拉部，可操作用于基于施加到所述输入端子的信号和施加到所述复位端子的信号而选择性地将施加到所述栅极截止电压端子的信号供给到所述输出端子；以及

保持部，可操作用于基于施加到所述第一时钟端子的信号而保持施加到所述栅极截止电压端子的信号到所述输出端子的供给。

5. 根据权利要求 4 所述的栅极驱动电路, 其中, 所述缓冲部包括第一晶体管和第二晶体管, 其中所述第一晶体管包括连接到所述输入端子的栅电极、连接到所述第一节点的第一电极、以及连接到所述第二时钟端子的第二电极, 并且所述第二晶体管包括连接到所述复位端子的栅电极、连接到所述第四时钟端子的第一电极、以及连接到所述第一节点的第二电极。

6. 根据权利要求 5 所述的栅极驱动电路, 其中, 所述充电部包括第一电容器, 其中所述第一电容器包括连接到所述第一节点的第一端子和连接到所述输出端子的第二端子。

7. 根据权利要求 6 所述的栅极驱动电路, 其中, 所述上拉部包括第三晶体管, 其中所述第三晶体管包括连接到所述第一节点的栅电极、连接到所述输出端子的第一电极、以及连接到所述第三时钟端子的第二电极。

8. 根据权利要求 7 所述的栅极驱动电路, 其中, 所述下拉部包括第四晶体管和第七晶体管, 其中所述第四晶体管包括连接到所述复位端子的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极, 并且所述第七晶体管包括连接到所述输入端子的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极。

9. 根据权利要求 8 所述的栅极驱动电路, 其中, 所述 n 个级中的每个还包括第二节点和第三节点, 并且其中, 所述保持部包括第五晶体管、第九晶体管、第十晶体管和第十一晶体管, 其中所述第五晶体管包括连接到所述第二节点的栅电极、连接到所述第三节点的第一电极、以及连接到所述第一时钟端子的第二电极, 所述第九晶体管包括连接到所述第一时钟端子的栅电极、连接到所述第二节点的第一电极、以及连接到所述第一时钟端子的第二电极, 所述第十晶体管包括连接到所述第三节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第一节点的第二电极, 并且所述第十一晶体管包括连接到所述第三节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述输出端子的第二电极。

10. 根据权利要求 9 所述的栅极驱动电路, 其中, 所述缓冲部还包括第六晶体管和第八晶体管, 其中所述第六晶体管包括连接到所述第

一节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第三节点的第二电极，并且所述第八晶体管包括连接到所述第一节点的栅电极、连接到所述栅极截止电压端子的第一电极、以及连接到所述第二节点的第二电极。

5 11. 根据权利要求 3 所述的栅极驱动电路，其中，所述栅极驱动电路被配置成响应于所述第一扫描开始信号到所述 n 个级中的最先两个级的输入端子的施加而工作在正向扫描模式。

12. 根据权利要求 11 所述的栅极驱动电路，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号，其中， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，并且所述第一时钟信号在相位上领先所述第四时钟信号 90° 。

13. 根据权利要求 12 所述的栅极驱动电路，其中，所述第一扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第一扫描开始信号的上升沿与所述第三时钟信号的上升沿同步。

14. 根据权利要求 3 所述的栅极驱动电路，其中，所述栅极驱动电路被配置成响应于所述第二扫描开始信号到所述 n 个级中的最后两个级的复位端子的施加而工作在反向扫描模式。

15. 根据权利要求 14 所述的栅极驱动电路，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号，其中， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，并且所述第一时钟信号在相位上落后所述第四时钟信号 90° 。

16. 根据权利要求 15 所述的栅极驱动电路，其中，所述第二扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第二扫描开始信号的上升沿与所述第二时钟信号的上升沿同步。

17. 一种阵列基板，包括：

30 显示区，包括多个栅极线和与所述多个栅极线彼此相交的多个数据线；以及

根据权利要求 1-16 中任一项所述的栅极驱动电路，其中，所述栅

极驱动电路形成在所述阵列基板的除所述显示区之外的外围区中，并且被配置成向所述多个栅极线供给栅极信号。

18. 一种显示面板，包括根据权利要求 17 所述的阵列基板。

19. 一种驱动根据权利要求 18 所述的显示面板的方法，包括：

5 通过向所述栅极驱动电路供给第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号和第一扫描开始信号，驱动所述显示面板在正向扫描模式下操作，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和所述第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，所述第一时钟信号在相位上领先所述第四时钟信号 90° ，所述第一扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第一扫描开始信号的上升沿与所述第三时钟信号的上升沿同步；并且

15 通过向所述栅极驱动电路供给第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号和第二扫描开始信号，驱动所述显示面板在反向扫描模式下操作，其中，所述第一时钟信号、第二时钟信号、第三时钟信号和所述第四时钟信号中的每个是以 $2H$ 的周期周期性重复的脉冲信号， H 是水平扫描周期，所述第一时钟信号和第三时钟信号具有 180° 的相位差，所述第二时钟信号和第四时钟信号具有 180° 的相位差，所述第一时钟信号在相位上落后所述第四时钟信号 90° ，所述第二扫描开始信号是具有 $1.5H$ 或 $1H$ 的脉冲宽度的脉冲信号，并且所述第二扫描开始信号的上升沿与所述第二时钟信号的上升沿同步。

25

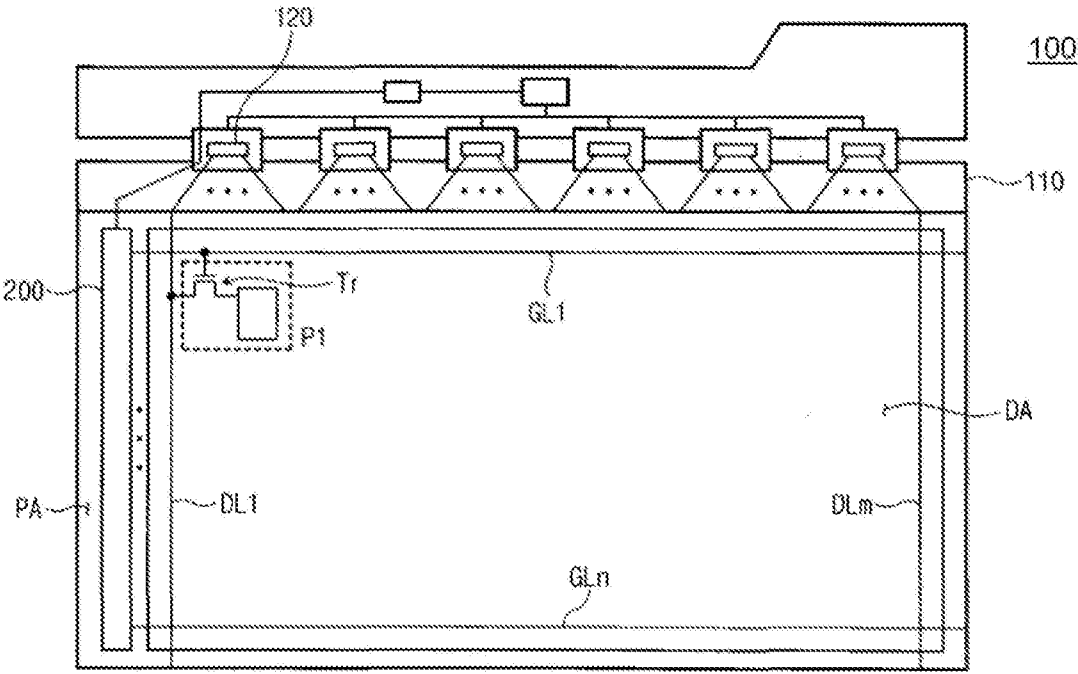


图 1

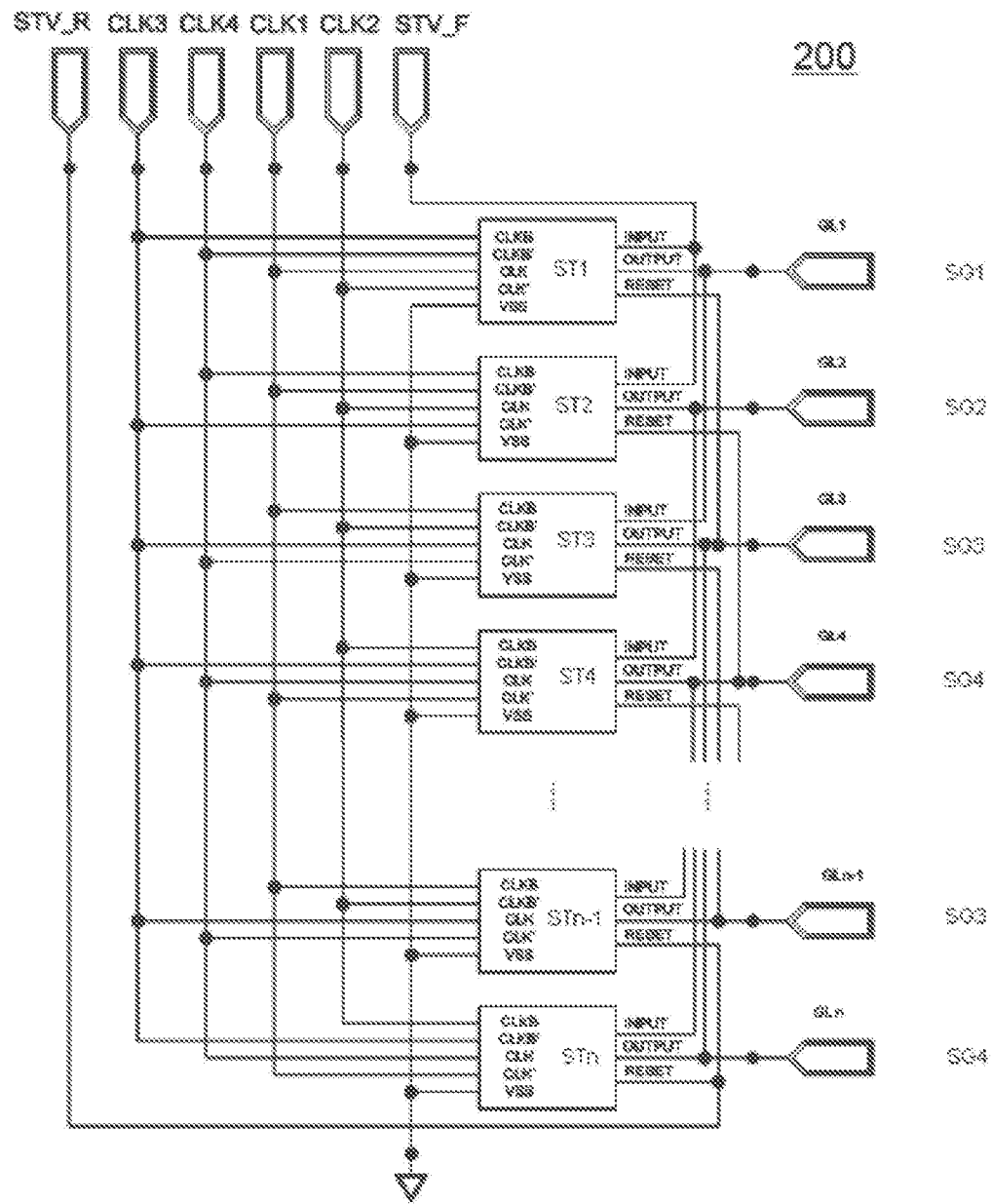


图 2

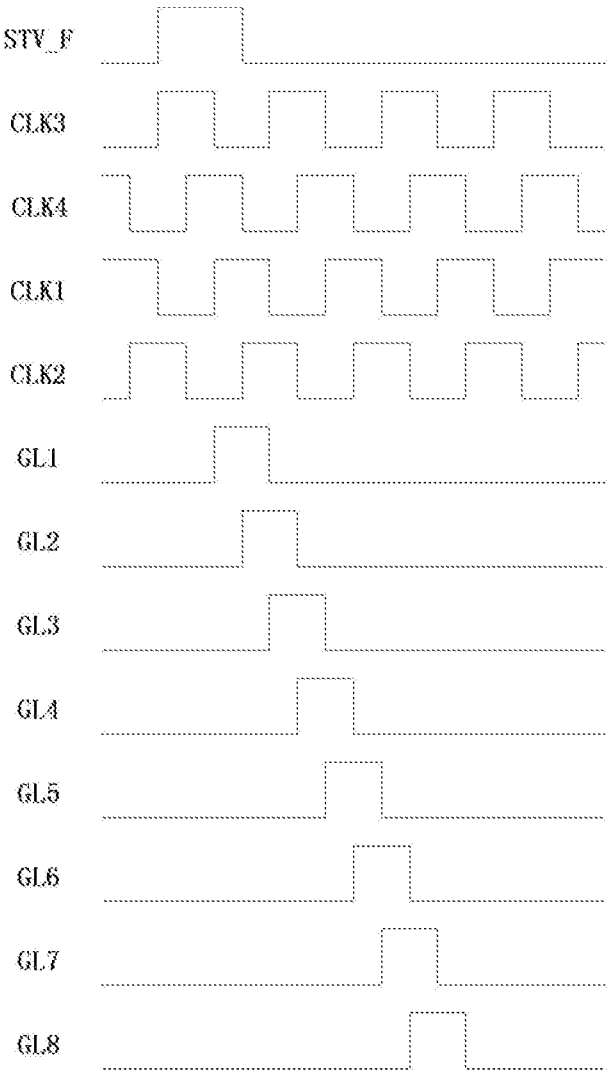


图 4A

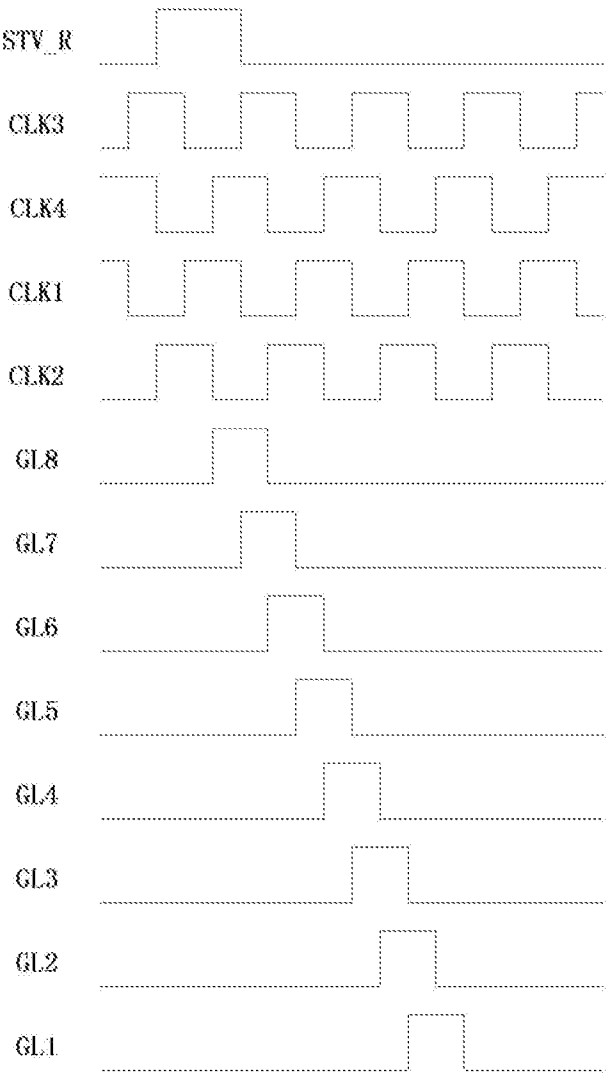


图 4B

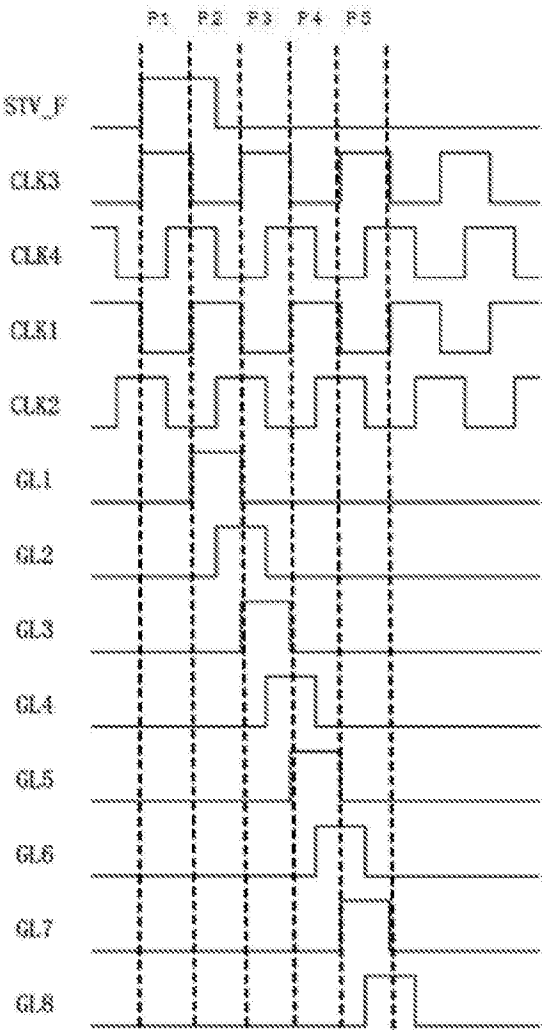


图 5A

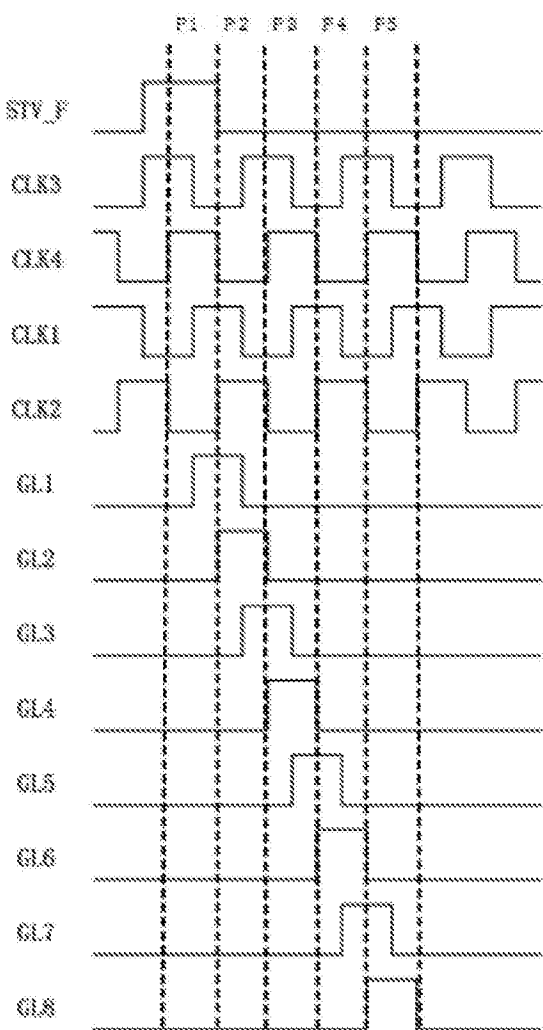


图 5B

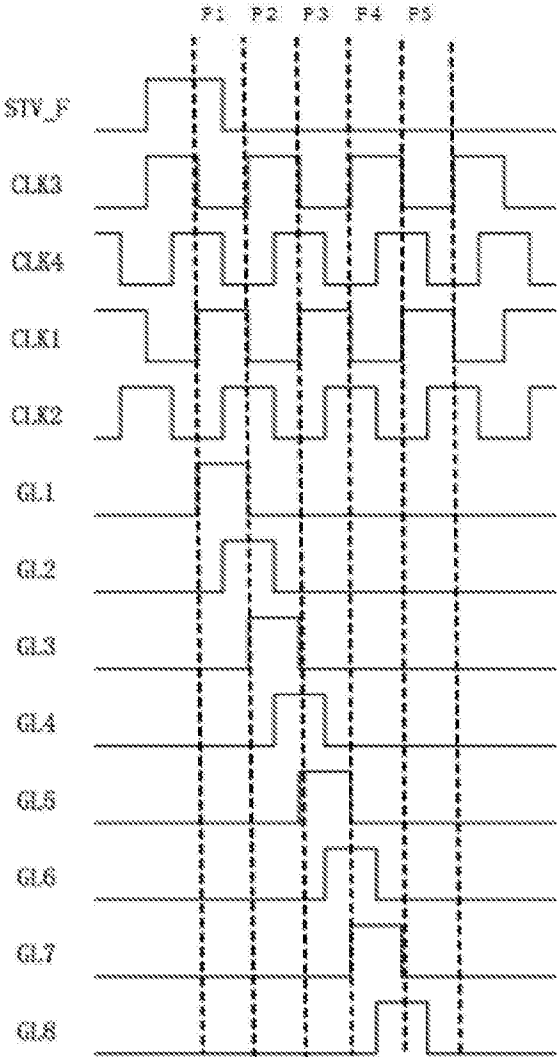


图 5C

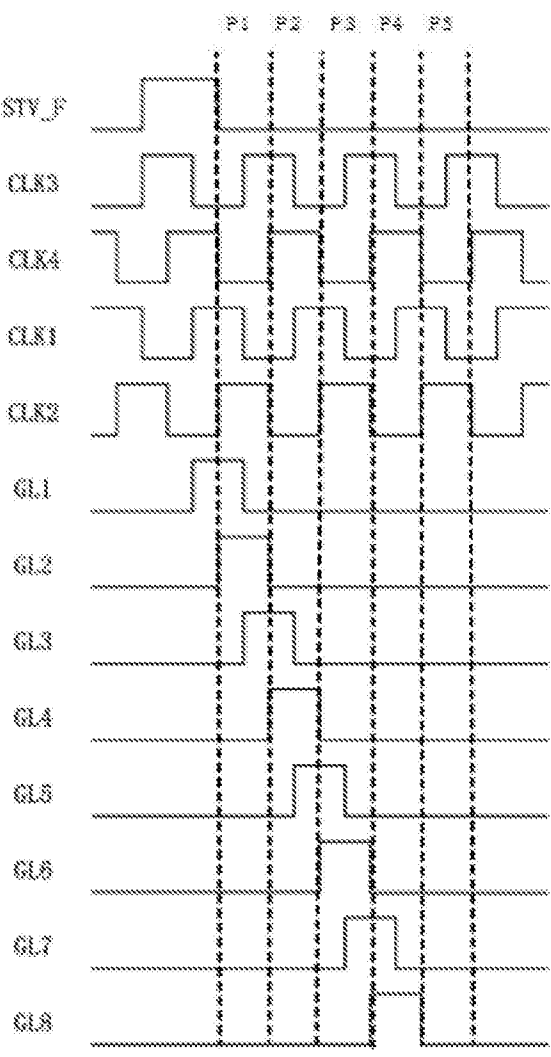


图 5D

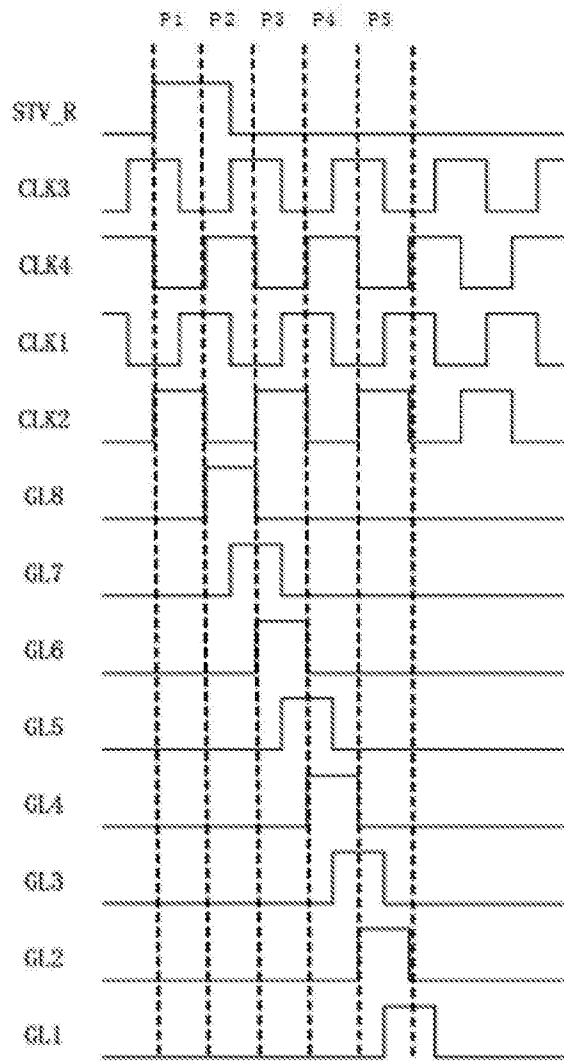


图 6A

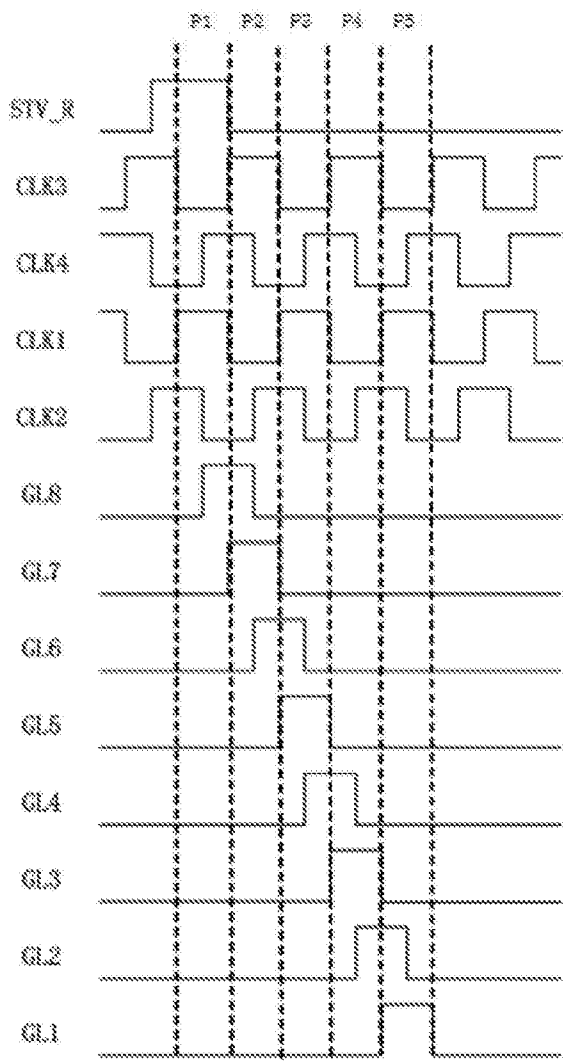


图 6B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/000022

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01) i; G09G 3/3266(2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: horizontal, shift, register, display, substrate, gate, grid, row, scan+, driv+, positive, reverse, forward, bidirectional, odd, even, clock, signal, four, fourth, cascade+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105741808 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 July 2016 (06.07.2016), description, paragraphs [0001]-[0112], and figures 1-6	1-19
Y	CN 102637401 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 15 August 2012 (15.08.2012), description, paragraphs [0040]-[0045] and [0053]-[0062], and figures 1-2 and 4	1, 17-18
Y	CN 102708818 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 October 2012 (03.10.2012), description, paragraph[0090], and figure4	1, 17-18
A	CN 103927960 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD. et al.), 16 July 2014 (16.07.2014), the whole document	1-19
A	US 2011273434 A1 (PARK, S.I.), 10 November 2011 (10.11.2011), the whole document	1-19
A	KR 20080001890 A (LG PHILIPS LCD CO., LTD.), 04 January 2008 (04.01.2008), the whole document	1-19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02March 2017 (02.03.2017)	Date of mailing of the international search report 31March 2017 (31.03.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GAO, Qianqian Telephone No.:(86-10) 61648475

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/000022

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105741808 A	06 July 2016	None	
CN 102637401 A	15 August 2012	CN 102637401 B	24 June 2015
CN 102708818 A	03 October 2012	EP 2846332 A1	11 March 2015
		WO 2013159543 A1	31 October 2013
		US 9064592 B2	23 June 2015
		JP 2015519679 A	09 July 2015
		KR 101564818 B1	30 October 2015
		US 2014072093 A1	13 March 2014
		KR 20140001949 A	07 January 2014
		CN 102708818 B	09 July 2014
CN 103927960 A	16 July 2014	US 2015187323 A1	02 July 2015
		CN 103927960 B	20 April 2016
		DE 102014113187 A1	02 July 2015
		DE 102014113187 B4	21 July 2016
		US 9449576 B2	20 September 2016
		US 2016351111 A1	01 December 2016
		US 2016351110 A1	01 December 2016
US 2011273434 A1	10 November 2011	KR 101155899 B1	20 June 2012
		KR 20110123584 A	15 November 2011
		US 8497855 B2	30 July 2013
KR 20080001890 A	04 January 2008	KR 101243803 B1	18 March 2013

A. 主题的分类 G09G 3/36(2006.01)i; G09G 3/3266(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT; CNKI; WPI; EPDOC: 显示, 基板, 栅极, 闸极, 行, 扫描, 水平, 驱动, 移位, 寄存, 正向, 反向, 双向, 四, 第四, 时钟, 信号, 奇数, 偶数, 级联, display, substrate, gate, grid, row, scan+, driv+, positive, reverse, forward, bidirectional, odd, even, clock, signal, four, fourth, cascade+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105741808 A (京东方科技集团股份有限公司 等) 2016年 7月 6日 (2016 - 07 - 06) 说明书[0001]-[0112]段, 附图1-6</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 102637401 A (群康科技深圳有限公司 等) 2012年 8月 15日 (2012 - 08 - 15) 说明书[0040]-[0045], [0053]-[0062]段, 附图1-2, 4</td> <td>1, 17-18</td> </tr> <tr> <td>Y</td> <td>CN 102708818 A (京东方科技集团股份有限公司) 2012年 10月 3日 (2012 - 10 - 03) 说明书[0090]段, 附图4</td> <td>1, 17-18</td> </tr> <tr> <td>A</td> <td>CN 103927960 A (上海中航光电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2011273434 A1 (PARK, SEONG-IL) 2011年 11月 10日 (2011 - 11 - 10) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>KR 20080001890 A (LG PHILIPS LCD CO. , LTD.) 2008年 1月 4日 (2008 - 01 - 04) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105741808 A (京东方科技集团股份有限公司 等) 2016年 7月 6日 (2016 - 07 - 06) 说明书[0001]-[0112]段, 附图1-6	1-19	Y	CN 102637401 A (群康科技深圳有限公司 等) 2012年 8月 15日 (2012 - 08 - 15) 说明书[0040]-[0045], [0053]-[0062]段, 附图1-2, 4	1, 17-18	Y	CN 102708818 A (京东方科技集团股份有限公司) 2012年 10月 3日 (2012 - 10 - 03) 说明书[0090]段, 附图4	1, 17-18	A	CN 103927960 A (上海中航光电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-19	A	US 2011273434 A1 (PARK, SEONG-IL) 2011年 11月 10日 (2011 - 11 - 10) 全文	1-19	A	KR 20080001890 A (LG PHILIPS LCD CO. , LTD.) 2008年 1月 4日 (2008 - 01 - 04) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 105741808 A (京东方科技集团股份有限公司 等) 2016年 7月 6日 (2016 - 07 - 06) 说明书[0001]-[0112]段, 附图1-6	1-19																					
Y	CN 102637401 A (群康科技深圳有限公司 等) 2012年 8月 15日 (2012 - 08 - 15) 说明书[0040]-[0045], [0053]-[0062]段, 附图1-2, 4	1, 17-18																					
Y	CN 102708818 A (京东方科技集团股份有限公司) 2012年 10月 3日 (2012 - 10 - 03) 说明书[0090]段, 附图4	1, 17-18																					
A	CN 103927960 A (上海中航光电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-19																					
A	US 2011273434 A1 (PARK, SEONG-IL) 2011年 11月 10日 (2011 - 11 - 10) 全文	1-19																					
A	KR 20080001890 A (LG PHILIPS LCD CO. , LTD.) 2008年 1月 4日 (2008 - 01 - 04) 全文	1-19																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 3月 2日		国际检索报告邮寄日期 2017年 3月 31日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 高倩倩 电话号码 (86-10)61648475																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/000022

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	105741808	A	2016年 7月 6日	无	
CN	102637401	A	2012年 8月 15日	CN	102637401 B 2015年 6月 24日
CN	102708818	A	2012年 10月 3日	EP	2846332 A1 2015年 3月 11日
				WO	2013159543 A1 2013年 10月 31日
				US	9064592 B2 2015年 6月 23日
				JP	2015519679 A 2015年 7月 9日
				KR	101564818 B1 2015年 10月 30日
				US	2014072093 A1 2014年 3月 13日
				KR	20140001949 A 2014年 1月 7日
				CN	102708818 B 2014年 7月 9日
CN	103927960	A	2014年 7月 16日	US	2015187323 A1 2015年 7月 2日
				CN	103927960 B 2016年 4月 20日
				DE	102014113187 A1 2015年 7月 2日
				DE	102014113187 B4 2016年 7月 21日
				US	9449576 B2 2016年 9月 20日
				US	2016351111 A1 2016年 12月 1日
				US	2016351110 A1 2016年 12月 1日
US	2011273434	A1	2011年 11月 10日	KR	101155899 B1 2012年 6月 20日
				KR	20110123584 A 2011年 11月 15日
				US	8497855 B2 2013年 7月 30日
KR	20080001890	A	2008年 1月 4日	KR	101243803 B1 2013年 3月 18日

表 PCT/ISA/210 (同族专利附件) (2009年7月)