



(12) 发明专利申请

(10) 申请公布号 CN 103548144 A

(43) 申请公布日 2014. 01. 29

(21) 申请号 201280023455. 4

(51) Int. Cl.

(22) 申请日 2012. 05. 29

H01L 29/78 (2006. 01)

(30) 优先权数据

H01L 21/28 (2006. 01)

2011-132784 2011. 06. 15 JP

H01L 21/336 (2006. 01)

(85) PCT国际申请进入国家阶段日

H01L 29/12 (2006. 01)

2013. 11. 15

H01L 29/423 (2006. 01)

H01L 29/49 (2006. 01)

(86) PCT国际申请的申请数据

PCT/JP2012/063722 2012. 05. 29

(87) PCT国际申请的公布数据

W02012/172965 JA 2012. 12. 20

(71) 申请人 住友电气工业株式会社

地址 日本大阪府大阪市

(72) 发明人 穗永美纱子 增田健良

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 李兰 孙志湧

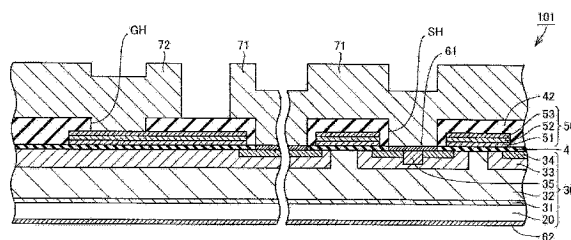
权利要求书2页 说明书7页 附图6页
按照条约第19条修改的权利要求书2页

(54) 发明名称

碳化硅半导体器件及其制造方法

(57) 摘要

栅电极(50)包括:与栅极绝缘膜(41)接触的多晶硅膜(51);设置在多晶硅膜(51)上的阻挡膜(52);以及设置在阻挡膜(52)上且由高熔点金属构成的金属膜(53)。层间绝缘膜(42)被设置为覆盖栅极绝缘膜(41)以及设置在栅极绝缘膜(41)上的栅电极(50)。此外,层间绝缘膜(42)具有衬底接触孔(SH),通过衬底接触孔(SH)在与栅极绝缘膜(41)接触的区域中部分地暴露碳化硅衬底(30)。互连(71)经由衬底接触孔(SH)电连接碳化硅衬底(30),并且借助层间绝缘膜(42)与栅电极(50)电绝缘。



1. 一种碳化硅半导体器件(101-103),包括:

碳化硅衬底(30, 30V);

栅极绝缘膜(41),所述栅极绝缘膜(41)被设置在所述碳化硅衬底上;以及

栅电极(50),所述栅电极(50)被设置在所述栅极绝缘膜上,所述栅电极包括与所述栅极绝缘膜接触的多晶硅膜(51)、设置在所述多晶硅膜上的阻挡膜(52)以及设置在所述阻挡膜上且由难熔金属制成的金属膜(53);

层间绝缘膜(42),所述层间绝缘膜(42)被布置为覆盖所述栅极绝缘膜以及设置在所述栅极绝缘膜上的所述栅电极,并且具有衬底接触孔(SH),所述衬底接触孔(SH)在与所述栅极绝缘膜接触的区域中部分地暴露所述碳化硅衬底;以及

互连(71),所述互连(71)通过所述衬底接触孔电连接到所述碳化硅衬底,并且通过所述层间绝缘膜与所述栅电极电绝缘。

2. 根据权利要求1所述的碳化硅半导体器件,其中,所述层间绝缘膜具有部分地暴露所述栅电极的栅极接触孔(GH),并且

所述碳化硅半导体器件进一步包括:

栅极焊盘(72),所述栅极焊盘(72)通过所述栅极接触孔电连接到所述栅电极。

3. 根据权利要求2所述的碳化硅半导体器件,其中,所述互连和所述栅极焊盘由相同材料制成。

4. 根据权利要求1至3中的任何一项所述的碳化硅半导体器件,其中,所述难熔金属具有超过 1000°C 的熔点。

5. 根据权利要求1至4中的任何一项所述的碳化硅半导体器件,其中,所述碳化硅衬底(30V)设置有沟槽(TU, TV),并且所述栅电极的至少一部分被布置在所述沟槽中。

6. 一种制造碳化硅半导体器件(101-103)的方法,包括以下步骤:

在碳化硅衬底(30, 30V)上形成栅极绝缘膜(41);

在所述栅极绝缘膜上形成栅电极(50),形成栅电极的所述步骤包括形成与所述栅极绝缘膜接触的多晶硅膜(51)、在所述多晶硅膜上形成阻挡膜(52)以及在所述阻挡膜上形成由难熔金属制成的金属膜(53)的步骤;

形成层间绝缘膜(42),所述层间绝缘膜(42)被布置为覆盖所述栅极绝缘膜以及设置在所述栅极绝缘膜上的所述栅电极,并且具有在与所述栅极绝缘膜接触的区域中部分地暴露所述碳化硅衬底的衬底接触孔(SH);以及

形成互连(71),所述互连(71)通过所述衬底接触孔电连接到所述碳化硅衬底,并且通过所述层间绝缘膜与所述栅电极电绝缘。

7. 根据权利要求6所述的制造碳化硅半导体器件的方法,进一步包括对所述碳化硅衬底施加热处理以使在所述互连和所述碳化硅衬底之间的电连接更具欧姆性的步骤。

8. 根据权利要求7所述的制造碳化硅半导体器件的方法,其中,对所述碳化硅衬底施加热处理的所述步骤包括将所述碳化硅衬底加热至高于 1000°C 的温度的步骤。

9. 根据权利要求6至8中的任何一项所述的制造碳化硅半导体器件的方法,其中,形成互连的所述步骤包括:形成与所述栅电极和所述碳化硅衬底中的每一个接触的导体膜(70)的步骤,以及图案化所述导体膜的步骤,所述图案化步骤形成所述互连以及设置在所述栅电极的一部分上的栅极焊盘(72)。

10. 根据权利要求 6 至 9 中的任何一项所述的制造碳化硅半导体器件(102, 103)的方法,进一步包括在所述碳化硅衬底(30V)中形成沟槽(TU, TV)的步骤,其中,所述栅电极的至少一部分被布置在所述沟槽中。

碳化硅半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种碳化硅半导体器件及其制造方法,并且更特别地涉及一种具有栅电极的碳化硅半导体器件及其制造方法。

背景技术

[0002] 日本专利公布 No. 2010-171417 (PTL1) 公开了一种包括碳化硅衬底、栅极焊盘以及栅电极的 MOSFET (金属氧化物半导体场效应晶体管)。栅电极由多晶硅制成。

[0003] 引证文献列表

[0004] 专利文献

[0005] PTL1 :日本专利公布 No. 2010-171417

发明内容

[0006] 技术问题

[0007] 根据上述公布中公开的现有技术,难以在从碳化硅衬底上的栅极焊盘延伸出的栅电极中获得足够低的电阻。因此,特别是在碳化硅半导体器件包括多个单元,每个单元都具有半导体元件结构以及栅极焊盘的情况下,在栅极焊盘和位于靠近该栅极焊盘的单元中包括的栅极结构之间的电阻值以及在该栅极焊盘和位于远离该栅极焊盘的单元中包括的栅极结构之间的电阻值具有很大改变。

[0008] 提出本发明以解决这种问题,并且其目的是提供一种能抑制栅电极的电阻的碳化硅半导体器件以及提供一种制造该碳化硅半导体器件的方法。

[0009] 问题的解决手段

[0010] 根据本发明的碳化硅半导体器件包括碳化硅衬底、栅极绝缘膜、栅电极、层间绝缘膜以及互连。栅极绝缘膜被设置在碳化硅衬底上。栅电极被设置在栅极绝缘膜上。栅电极包括与栅极绝缘膜接触的多晶硅膜、设置在多晶硅膜上的阻挡膜以及由难熔金属制成且被设置在阻挡膜上的金属膜。层间绝缘膜被布置为使得覆盖栅极绝缘膜以及设置在栅极绝缘膜上的栅电极。层间绝缘膜具有衬底接触孔,该衬底接触孔在接触栅极绝缘膜的区域处部分地暴露碳化硅衬底。互连通过衬底接触孔电连接碳化硅衬底,并且通过层间绝缘膜与栅电极电绝缘。

[0011] 根据本发明的碳化硅半导体器件,栅电极包括具有比多晶硅膜低的电阻率的难熔金属膜。因此,与栅电极仅由多晶硅膜形成的情况相比,可以进一步抑制栅电极的电阻。

[0012] 优选地,层间绝缘膜具有部分地暴露栅电极的栅极接触孔。碳化硅半导体器件具有通过栅极接触孔电连接到栅电极的栅极焊盘。因此,可以通过具有低电阻的栅电极形成从栅极焊盘延伸的电流路径。更优选地,互连和栅极焊盘由相同材料制成。因此,与互连的材料和栅极焊盘的材料不同的情况相比,可以更容易地制造碳化硅半导体器件。

[0013] 优选地,难熔金属具有高于 1000°C 的熔点。因此,可以在形成由难熔金属制成的金属膜之后执行高于 1000°C 的热处理。

[0014] 碳化硅衬底可以设置有沟槽,并且栅电极的至少一部分可以被布置在沟槽中。因此,可以进一步抑制栅电极的电阻。

[0015] 一种制造本发明的碳化硅半导体器件的方法包括以下步骤。

[0016] 在碳化硅衬底上形成栅极绝缘膜。在栅极绝缘膜上形成栅电极。形成栅电极的步骤包括形成与栅极绝缘膜接触的多晶硅膜、在多晶硅膜上形成阻挡膜以及在阻挡膜上形成由难熔金属制成的金属膜的步骤。形成层间绝缘膜,将其布置为覆盖栅极绝缘膜以及设置在栅极绝缘膜上的栅电极,并且具有在接触栅极绝缘膜的区域处部分地暴露碳化硅衬底的衬底接触孔。形成互连,使其通过衬底接触孔电连接碳化硅衬底,并且通过层间绝缘膜与栅电极电绝缘。

[0017] 根据制造本发明的碳化硅半导体器件的方法,栅电极包括具有比多晶硅膜低的电阻率的难熔金属膜。因此,与栅电极仅由多晶硅膜形成的情况相比,可以进一步抑制栅电极的电阻。

[0018] 优选地,在制造碳化硅半导体器件的方法中,对碳化硅衬底施加热处理以使互连和碳化硅衬底之间的电连接更具欧姆性。因此,可以使互连和碳化硅衬底之间的电连接更具欧姆性。更优选地,对碳化硅衬底施加热处理的步骤包括将碳化硅衬底加热至高于1000℃的温度的步骤。因此,可以使互连和碳化硅衬底之间的电连接更具欧姆性。

[0019] 优选地,形成互连的步骤包括形成与栅电极和碳化硅衬底中的每一个接触的导体膜的步骤以及图案化导体膜的步骤。图案化步骤形成互连以及设置在部分栅电极上的栅极焊盘。因此,与分开形成互连和栅极焊盘的情况相比,可以更容易地制造碳化硅半导体器件。

[0020] 可以在碳化硅衬底上形成沟槽,并且栅电极的至少一部分可以被布置在沟槽中。因此,可以进一步抑制栅电极的电阻。

[0021] 发明的有益效果

[0022] 如从上述内容清楚的,根据本发明的碳化硅半导体器件,可以抑制电阻。

附图说明

[0023] 图1是示意性示出第一实施例中的碳化硅半导体器件的结构平面图。

[0024] 图2是沿图1的线II-II截取的示意截面图。

[0025] 图3是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中的第一步骤的截面图。

[0026] 图4是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中的第二步骤的截面图。

[0027] 图5是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中的第三步骤的截面图。

[0028] 图6是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中的第四步骤的截面图。

[0029] 图7是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中的第五步骤的截面图。

[0030] 图8是示意性示出对应于图2的示图的、制造图1的碳化硅半导体器件的方法中

的第六步骤的截面图。

[0031] 图 9 是示意性示出对应于图 2 的示图的、制造图 1 的碳化硅半导体器件的方法中的第七步骤的截面图。

[0032] 图 10 是示意性示出对应于图 2 的示图的、制造图 1 的碳化硅半导体器件的方法中的第八步骤的截面图。

[0033] 图 11 是示意性示出对应于图 2 的示图的、制造图 1 的碳化硅半导体器件的方法中的第九步骤的截面图。

[0034] 图 12 是示意性示出对应于图 2 的示图的、第二实施例中的碳化硅半导体器件的截面图。

[0035] 图 13 是示意性示出对应于图 12 的示图的、制造图 12 的碳化硅半导体器件的方法中的第一步骤的截面图。

[0036] 图 14 是示意性示出对应于图 12 的示图的、制造图 12 的碳化硅半导体器件的方法中的第二步骤的截面图。

[0037] 图 15 是示意性示出图 12 中所示的结构变型例的截面图。

具体实施方式

[0038] 以下将参考附图说明本发明的实施例。在以下附图中，相同或相应的元件分配有相同的附图标记，并且将不再重复其说明。而且，对于说明书中的晶体学描述来说，包括等效的单独取向的组取向由 $\langle \rangle$ 指示，并且单独的面由 $()$ 指示，并且包括等效的单独面的组面由 $\{ \}$ 指示。而且，为了指示负指数，在数字前配以负号，而不是在数字上添加“-”（横杠）。

[0039] （第一实施例）

[0040] 如图 1 和 2 中所示，本实施例的碳化硅半导体器件是 MOSFET101，并且更具体地是 DiMOSFET（双注入 MOSFET）。MOSFET101 包括碳化硅衬底 30、栅极绝缘膜 41、栅电极 50、层间绝缘膜 42、源极互连 71（互连）、欧姆电极 61 以及漏电极 62。

[0041] 碳化硅衬底 30 具有：具有 n 型导电性（第一导电类型）的单晶晶片 20、由具有 n 型导电性的碳化硅制成的缓冲层 31、由具有 n 型导电性的碳化硅制成的漂移层 32、具有 p 型导电性（第二导电类型）的一对 p 型体区 33、具有 n 型导电性的 n^+ 区 34 以及具有 p 型导电性的 p^+ 区 35。

[0042] 单晶晶片 20 是 n 型的。缓冲层 31 外延形成在单晶晶片 20 的主面上，并且利用导电杂质掺杂以成为 n 型。漂移层 32 外延形成在缓冲层 31 上，并且利用导电杂质掺杂以成为 n 型。每单位体积的漂移层 32 的杂质浓度低于每单位体积的缓冲层 31 的杂质浓度。例如，导电杂质是氮(N)。一对 p 型体区 33 在碳化硅衬底 30 的主面上（图 2 中的顶面）彼此隔离。利用导电杂质将 p 型体区 33 掺杂以成为 p 型。例如，导电杂质是铝(Al) 或硼(B)。各个 n^+ 区 34 都设置在碳化硅衬底 30 的主面上，并且通过 p 型体区 33 与漂移层 32 隔离。 n^+ 区 34 的杂质浓度高于漂移层 32 的杂质浓度。 p^+ 区 35 从碳化硅衬底 30 的主面延伸并到达 p 型体区 33，并且在碳化硅衬底 30 的主面上与 n^+ 区 34 相邻。 p^+ 区 35 的杂质浓度高于 p 型体区 33 的杂质浓度。

[0043] 栅极绝缘膜 41 直接设置在碳化硅衬底 30 的主面上，并且从一个 n^+ 区 34 的顶面延伸至另一 n^+ 区 34 的顶面。栅极绝缘膜例如优选是由二氧化硅(SiO_2) 制成的氧化物膜。

[0044] 栅电极 50 直接设置在栅极绝缘膜 41 上,并且从一个 n^+ 区 34 上方的位置延伸至另一 n^+ 区 34 上方的位置。栅电极 50 包括接触栅极绝缘膜 41 的多晶硅膜 51、设置在多晶硅膜 51 上的阻挡膜 52 以及设置在阻挡膜 52 上的金属膜 53。

[0045] 多晶硅膜 51 由添加了导电杂质的多晶硅制成。多晶硅膜 51 的厚度例如约为 400nm。

[0046] 阻挡膜 52 由与金属膜 53 相比不易硅化的材料制成,诸如钛(Ti)、氮化钛(TiN)、钨化钛(TiW)、氮化钨(WN)或钨化钽(TaW)。阻挡膜 52 的厚度例如约为 50nm。

[0047] 金属膜 53 由难熔金属制成。难熔金属优选具有高于 1000℃的熔点。阻挡膜 53 的电阻率低于多晶硅膜 51 的电阻率。具体地,难熔金属基于 Au、Cu、Si、Ni、Mo、Ta 和 W 中的任何一种,或由包括这些元素中的至少两种的合金制成。金属膜 53 的厚度例如约为 50-400nm。

[0048] 层间绝缘膜 42 设置在碳化硅衬底 30 上的设置栅极绝缘膜 41 和栅电极 50 的区域中。而且,层间绝缘膜 42 设置了源接触孔 SH(衬底接触孔),其暴露各个 n^+ 区 34 和 p^+ 区 35 中的一部分,以及栅极接触孔 GH,其局部地暴露栅电极 50。层间绝缘膜 42 例如由二氧化硅(SiO_2)制成。

[0049] 源极互连 71 通过源接触孔 SH 电连接碳化硅衬底 30。而且,源极互连 71 通过层间绝缘膜 42 与栅电极 50 电绝缘。源极互连 71 例如由铝(Al)制成。在本实施例中,源极互连 71 用作焊盘。换言之,源极互连 71 构造为在其上允许引线键合。

[0050] 欧姆电极 61 设置在源极互连 71 和碳化硅衬底 30 之间。欧姆电极 61 由可以与 n^+ 区 34 欧姆接触的材料制成,并具体地由硅化物,例如 Ni_xSi_y (硅化镍)制成。

[0051] 栅极焊盘 72 设置在栅电极 50 的一部分上。栅极焊盘 72 通过栅极接触孔 GH 电连接栅电极 50。栅极焊盘 72 例如由铝(Al)制成。

[0052] 漏电极 62 与被包括碳化硅衬底 30 中的单晶晶片 20 接触并位于其上。漏电极 62 由能与碳化硅衬底 30 欧姆接触的材料制成,并具体地由硅化物,例如 Ni_xSi_y (硅化镍)制成。

[0053] 以下将说明制造 MOSFET101 的方法。

[0054] 如图 3 中所示,制备碳化硅衬底 30。具体地,执行以下步骤。

[0055] 首先,制备碳化硅的单晶晶片 20。随后,在单晶晶片 20 的主面上依次外延生长均由碳化硅制成的缓冲层 31 和漂移层 32。例如,可以将 CVD (化学气相沉积) 方法用于外延生长。

[0056] 随后,执行离子注入。具体地,执行用于形成 p 型体区 33 的离子注入。具体地,例如,将 Al (铝) 离子注入漂移层 32,因此形成 p 型体区 33。随后,执行用于形成 n^+ 区 34 的离子注入。具体地,例如,将 P (磷) 离子注入 p 型体区 33,因此在 p 型体区 33 中形成 n^+ 区 34。而且,执行用于形成 p^+ 区 35 的离子注入。具体地,例如,将 Al 离子注入 p 型体区 33,因此在 p 型体区 33 中形成 p^+ 区 35。例如可以通过在漂移层 32 的主面上形成掩膜层执行离子注入。掩膜层由二氧化硅(SiO_2)制成并在应执行离子注入的所需区域中具有开口。

[0057] 随后,执行活化热处理。例如,执行热处理包括在诸如氩的惰性气体气氛中加热至 1700℃并保持 30 分钟。因此,活化了注入的杂质。

[0058] 通过上述处理制备碳化硅衬底 30。

[0059] 如图 4 中所示,在碳化硅衬底 30 上形成栅极绝缘膜 41。具体地,通过执行包括在氧气氛下加热至 1300℃并保持 60 分钟的热处理形成作为栅极绝缘膜 41 的氧化物膜。随

后,利用一氧化氮(NO)气体作为环境气体来执行热处理。用于热处理的条件包括在等于或大于 1100℃且等于或小于 1300℃的温度下加热约 1 小时。这种热处理允许将氮原子引入栅极绝缘膜 41 和漂移层 32 之间的界面区。因此,抑制了栅极绝缘膜 41 和漂移层 32 之间的界面区处形成界面态,因此可以提高最终获得的 MOSFET101 的沟道迁移率。代替使用 NO 气体,可以使用能将氮原子引入栅极绝缘膜 41 和漂移层 32 之间的界面区中的其他气体。而且,在用于引入氮原子的热处理之后,可以使用氩(Ar)气氛在高于上述热处理的温度下执行热处理,以便进一步抑制界面态的形成。

[0060] 随后,在栅极绝缘膜 41 上形成栅电极 50。具体地,首先形成接触栅极绝缘膜 41 的多晶硅膜 51。例如使用 CVD 方法形成多晶硅膜 51。随后,阻挡膜 52 形成在多晶硅膜 51 上。随后,金属膜 53 形成在阻挡膜 52 上。例如使用沉积方法形成阻挡膜 52 和金属膜 53。

[0061] 如图 5 中所示,图案化栅电极 50。例如使用光刻和蚀刻执行图案化。

[0062] 如图 6 中所示,在具有形成在其上的栅极绝缘膜 41 和栅电极 50 的碳化硅衬底 30 上形成层间绝缘膜 42。例如通过 CVD 方法形成层间绝缘膜 42。

[0063] 如图 7 中所示,在层间绝缘膜 42 和栅极绝缘膜 41 上形成部分暴露碳化硅衬底 30 的源接触孔 SH。例如可以使用光刻和蚀刻执行本步骤。

[0064] 如图 8 中所示,在碳化硅衬底 30 上,在源接触孔 SH 内形成膜 61p。膜 61p 由使得膜 61p 能够通过加热而与碳化硅衬底 30 欧姆接触的材料制成,并且具体地由例如可以被硅化的镍(Ni)的材料制成。而且,在本实施例中,在碳化硅衬底 30 中包括的单晶晶片 20 的背侧上形成膜 62p,膜 62p 由基本上与膜 61p 的材料相同的材料制成。例如可以使用沉积方法执行本步骤。

[0065] 如图 9 中所示,对碳化硅衬底 30 施加热处理。热处理的温度设定为足以促进碳化硅衬底 30 和膜 61p (图 8) 之间的欧姆接触的水平,优选高于 1000℃。形成在碳化硅衬底上的膜 61p 通过这种热处理加热,因此由膜 61p 形成欧姆电极 61。而且,通过加热形成在碳化硅衬底 30 中包括的单晶晶片 20 的背侧上的膜 62p (图 8) 形成漏电极 62。

[0066] 如图 10 中所示,在层间绝缘膜 42 上形成栅极接触孔 GH。因此暴露栅电极 50 的一部分。例如使用光刻和蚀刻执行本步骤。

[0067] 如图 11 中所示,形成由金属制成的膜 70。这种金属例如是铝。本说明书中所用术语“金属”不仅包括单质而且还包括合金。而且,膜 70 不限于单层膜,并且可以是多层膜。这种多层膜可以通过形成阻挡膜并且在阻挡膜上形成铝膜而形成。膜 70 的材料与用于源极互连 71 和栅极焊盘 72 的材料相同。

[0068] 随后,如图 2 中所示,图案化膜 70,因此分别形成源极互连 71 和栅极焊盘 72。因此可以获得 MOSFET101。

[0069] 根据本实施例,栅电极 50 包括具有比多晶硅膜 51 低的电阻率的金属膜 53。因此,与仅通过多晶硅膜 51 形成栅电极 50 的情况相比,可以进一步抑制电阻。因此,可以通过具有低电阻的栅电极 50 形成从栅极焊盘 72 延伸出的电流路径。

[0070] 在不使用金属膜 53 而仅通过多晶硅形成栅电极的情况下,获得具有与本实施例一样小的电阻的栅电极的尝试将导致过厚的栅电极,这是因为多晶硅的电阻率高于金属膜的电阻率。如果具有图案的栅电极的厚度过大,则对应于这种图案的大突起和凹陷会形成在碳化硅衬底 30 上。另一方面,根据本实施例,可以通过使用具有低电阻率的金属膜 53 使

栅电极的厚度更小。因此,可以抑制形成在碳化硅衬底 30 的突起和凹陷。

[0071] 而且,对碳化硅衬底 30 施加热处理,因此在源极互连 71 和碳化硅衬底 30 之间形成欧姆电极 61。因此,可以使源极互连 71 和碳化硅衬底 30 之间的电连接更具欧姆性。优选地,热处理的温度高于 1000℃。因此,可以使源极互连 71 和碳化硅衬底 30 之间的连接更具欧姆性。

[0072] 优选地,作为金属膜 53 的材料的难熔金属具有高于 1000℃的熔点。因此,在形成金属膜 53 之后,可以执行高于 1000℃的热处理。

[0073] 而且,在本实施例中,源极互连 71 和栅极焊盘 72 由相同材料制成。因此,与源极互连 71 的材料和栅极焊盘 72 的材料不同的情况相比,可以更容易地制造 MOSFET101。具体地,可以通过图案化膜 70 而同时形成源极互连 71 和栅极焊盘 72。

[0074] 优选的是,面对缓冲层 31 的一侧上的单晶晶片 20 的主面相对于 {0001} 面具有等于或大于 50° 且等于或小于 65° 的偏离角。因此,可以提高沟道迁移率。而且,优选的是,在偏离角的偏离取向和 <01-10> 方向之间的角度等于或小于 5°。因此,可以促进单晶晶片 20 上的外延生长。

[0075] 而且,优选的是,主面在 <01-10> 方向上相对于 {03-38} 面的偏离角等于或大于 -3° 且等于或小于 5°,并且更优选地,主面基本上为 {03-38} 面。因此,可以进一步提高沟道迁移率。

[0076] 在主面的偏离取向和 <-2110> 方向之间的角度可以等于或小于 5°。因此,可以促进单晶晶片 20 上的外延生长。

[0077] 而且,优选的是,主面是构成单晶晶片 20 的碳化硅的碳面一侧上的面。碳面一侧上的表面是当由面取向 (hklm) 表达时 m 具有负值的表面。更优选的是,该面是 (0-33-8) 面。因此,可以进一步提高沟道迁移率。

[0078] (第二实施例)

[0079] 如图 12 中所示,本实施例的碳化硅半导体器件是 MOSFET102,

[0080] 并且更具体地是 VMOSFET (V 沟槽 MOSFET)。MOSFET102 具有碳化硅衬底 30V。碳化硅衬底 30V 具有沟槽 TV,并且还包括 p 型体区 33V、n 型 n⁺ 区 34V 以及弛豫区 36。沟槽 TV 具有穿过 n⁺ 区 34V 和 p 型体区 33V 到达漂移层 32 的 V 形。沟槽 TV 的侧壁的优选面取向与单晶晶片 20 (图 2) 的主面的优选面取向相同。弛豫区 36 面对穿过栅极绝缘膜 41 的沟槽 TV 的底部。弛豫区 36 具有比漂移层 32 的杂质浓度高的杂质浓度并用于弛豫沟槽 TV 底部的电场。

[0081] 以下将说明制造 MOSFET102 的方法。

[0082] 如图 13 中所示,类似于第一实施例,在单晶晶片 20 的主面上依次外延生长缓冲层 31 和漂移层 32。随后,形成 p 型体区 33V 和 n⁺ 区 34V。p 型体区 33V 可以通过离子注入或通过外延生长形成。n⁺ 区 34V 可以通过离子注入形成。

[0083] 如图 14 中所示,形成沟槽 TV。例如可以使用光刻和蚀刻形成沟槽。随后,执行离子注入以在沟槽 TV 的底部形成弛豫区 36。随后,执行用于活化杂质的热处理。随后,执行与第一实施例的图 4 至图 11 的基本上相同的步骤,从而获得 MOSFET102 (图 12)。

[0084] 除上述之外的构造基本上与上述第一实施例的构造相同。因此,相同或相应的元件被分配有相同的附图标记,并且将不再重复其说明。

[0085] 根据本实施例,栅电极 50 具有布置在沟槽 TV 中的一部分。这种部分的存在允许在不过多增加碳化硅衬底 30 上的突起和凹陷的情况下增加栅电极 50 的截面积(图 12 中的面积),因此可以进一步抑制栅电极 50 的电阻。

[0086] (第三实施例)

[0087] 如图 15 中所示,本实施例的碳化硅半导体器件是 MOSFET103,并且其具有沟槽 TU 以替代 MOSFET102 的沟槽 TV (图 12)。与沟槽 TV 不同,沟槽 TU 具有基本上平坦底部。

[0088] 除上述之外的构造基本上与第二实施例相同,因此相同或相应的元件被分配有相同的附图标记,并且将不再重复其说明。

[0089] 在 MOSFET101-103 的每一个中,n 型和 p 型可以交换。而且,碳化硅半导体器件可以是除 MOSFET 之外的 MISFET (金属绝缘体半导体场效应晶体管)。换言之,栅极绝缘膜 41 不限于氧化物。而且,碳化硅半导体器件不限于 MISFET,并且其可以是具有栅电极的其他类型的器件。例如,该器件可以是 IGBT (绝缘栅双极晶体管)。而且,互连和栅极焊盘不必由相同材料制成。

[0090] 应当理解本文公开的实施例和实例在每个方面都是说明性以及非限制性的。本发明的范围由权利要求项限定,而不是由上述实施例的描述定义,并且其旨在包括等效于权利要求项的范围和含义内的任何变型。

[0091] 附图标记列表

[0092] 20 :单晶晶片 ;30, 30V :碳化硅衬底 ;31 :缓冲层 ;32 :漂移层 ;33, 33V :p 型体区 ;34, 34V :n⁺ 区 ;35 :p⁺ 区 ;36 :弛豫区 ;41 :栅极绝缘膜 ;42 :层间绝缘膜 ;50 :栅电极 ;51 :多晶硅膜 ;52 :阻挡膜 ;53 :金属膜 ;61 :欧姆电极 ;62 :漏电极 ;71 :源极互连 ;72 :栅极焊盘 ;101-103 :MOSFET (半导体器件) ;GH :栅极接触孔 ;SH :源接触孔(衬底接触孔) ;TU, TV :沟槽

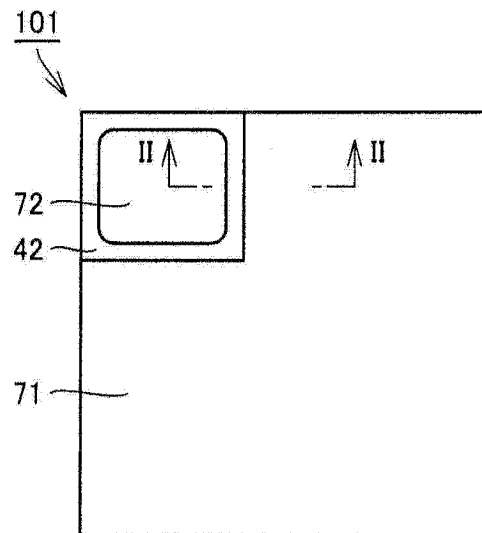


图 1

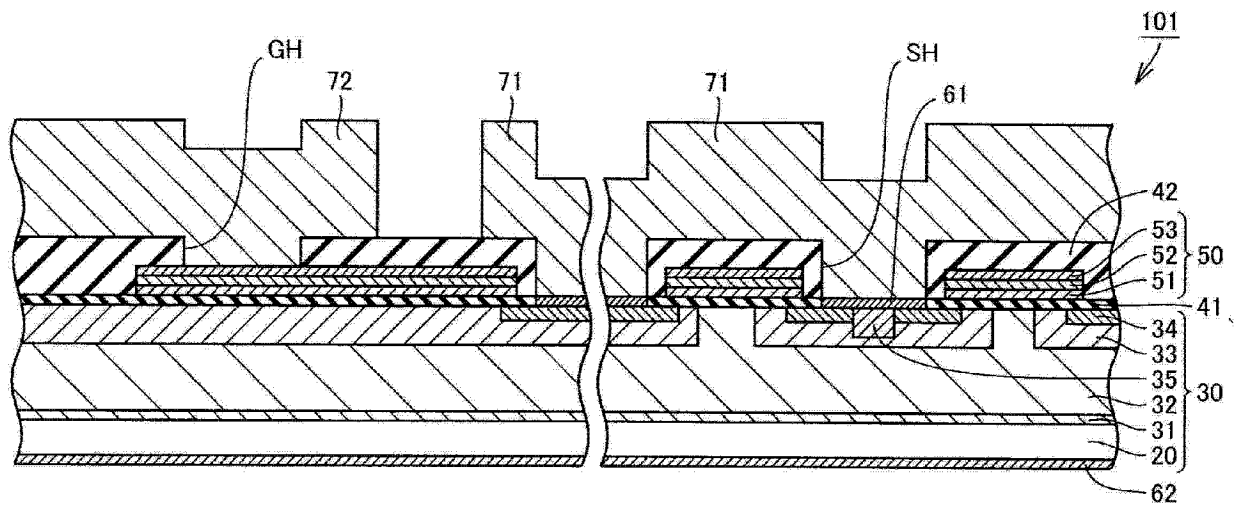


图 2

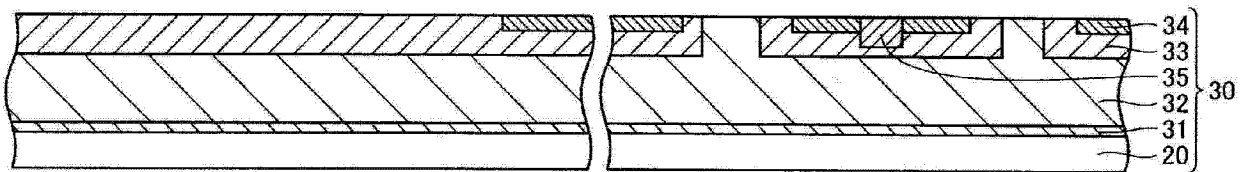


图 3

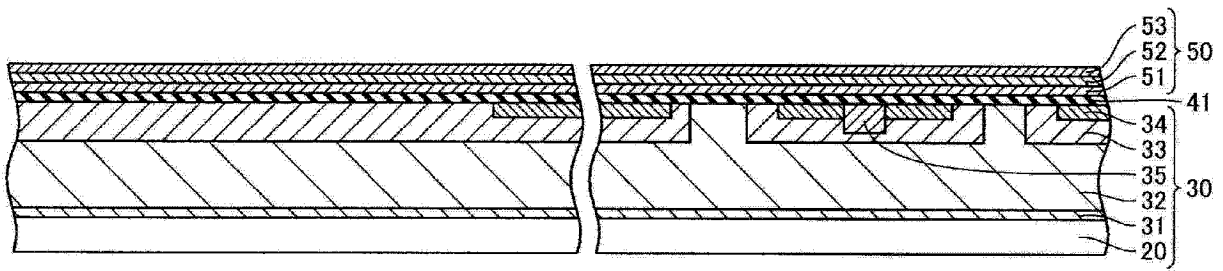


图 4

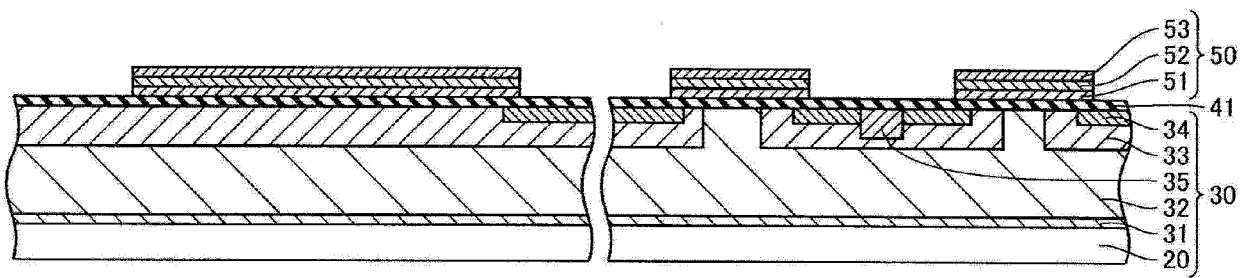


图 5

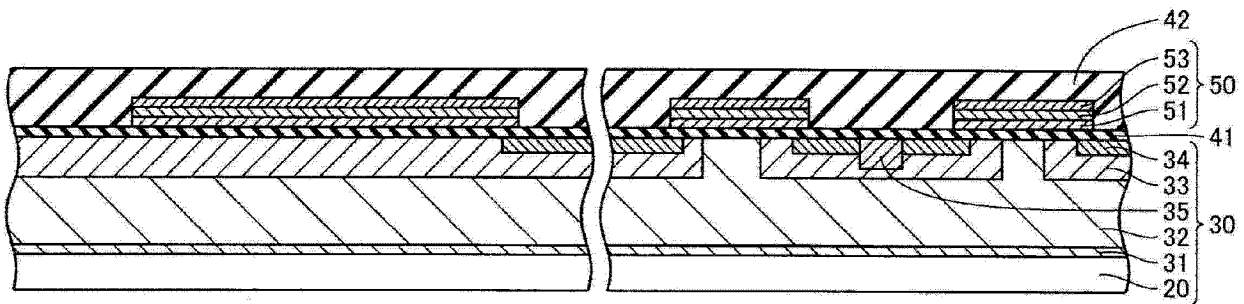


图 6

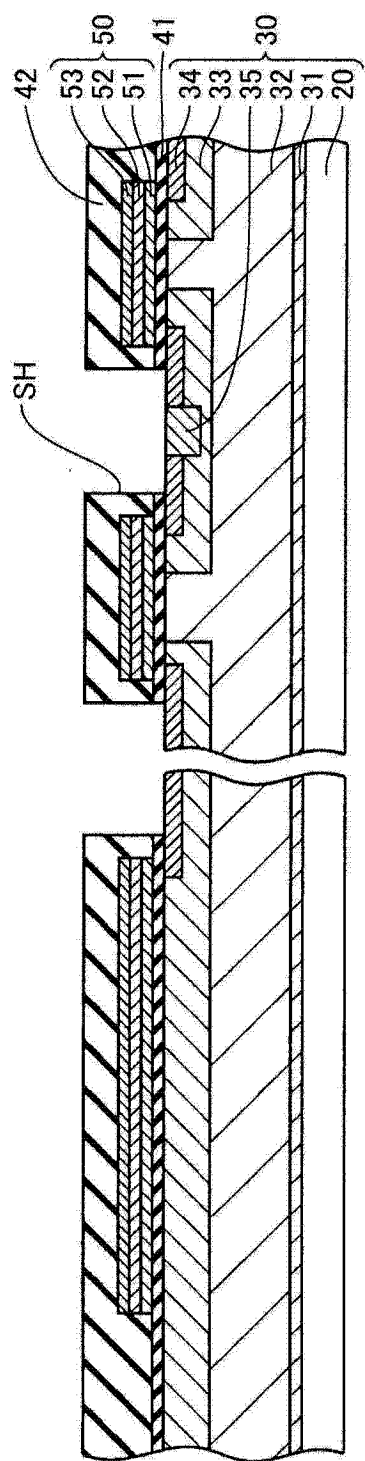


图 7

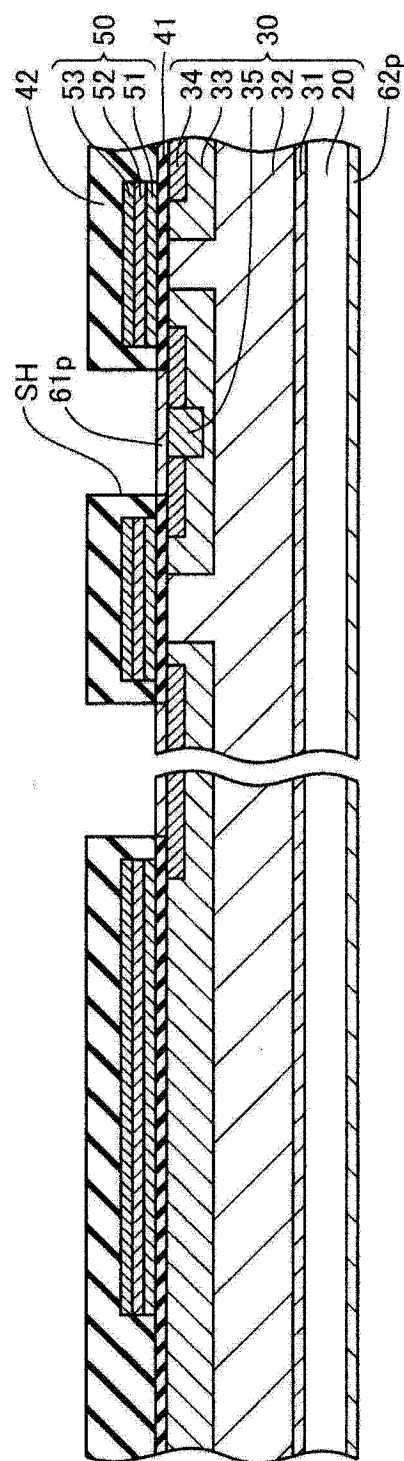


图 8

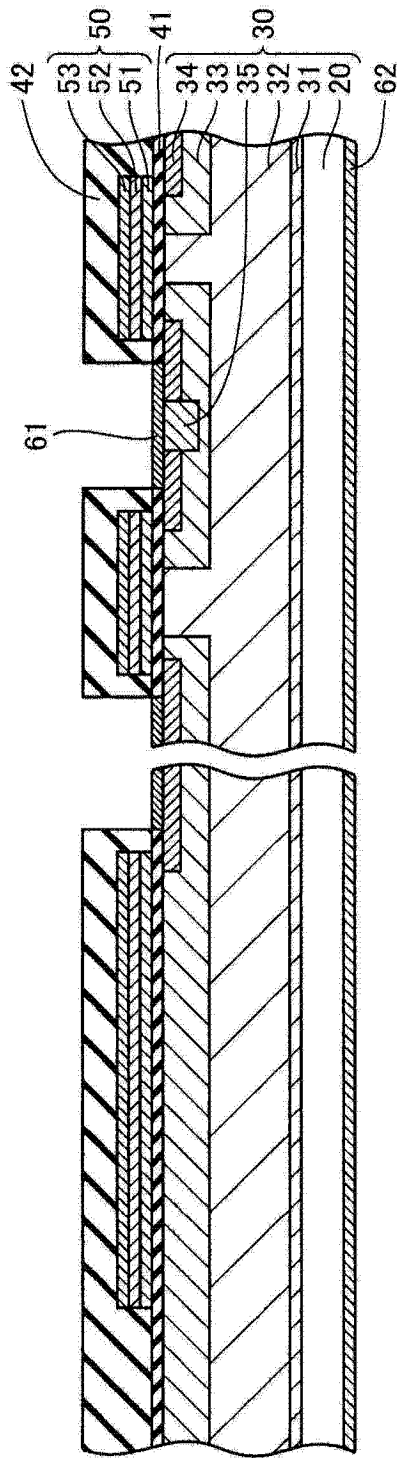


图 9

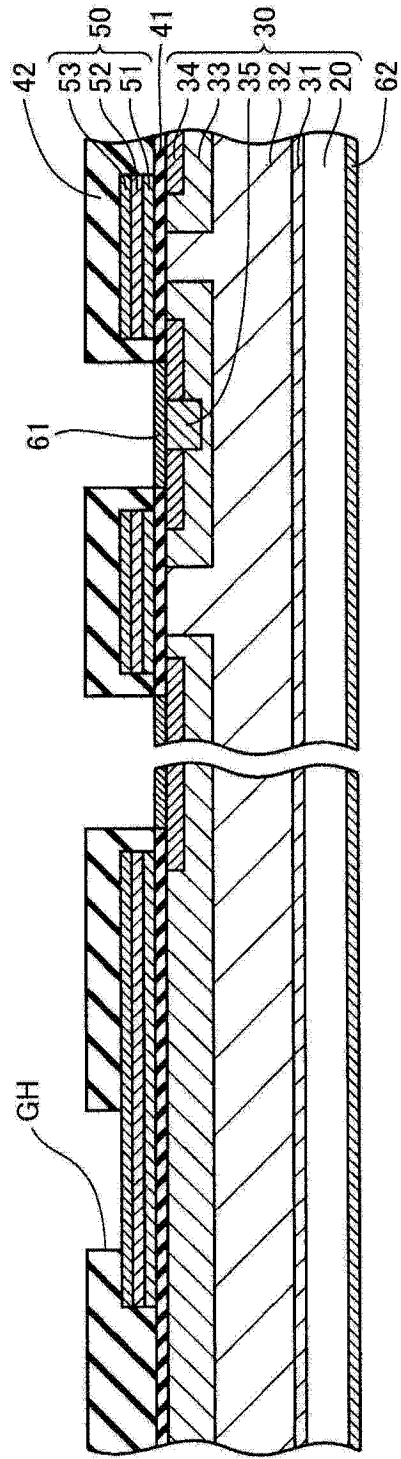


图 10

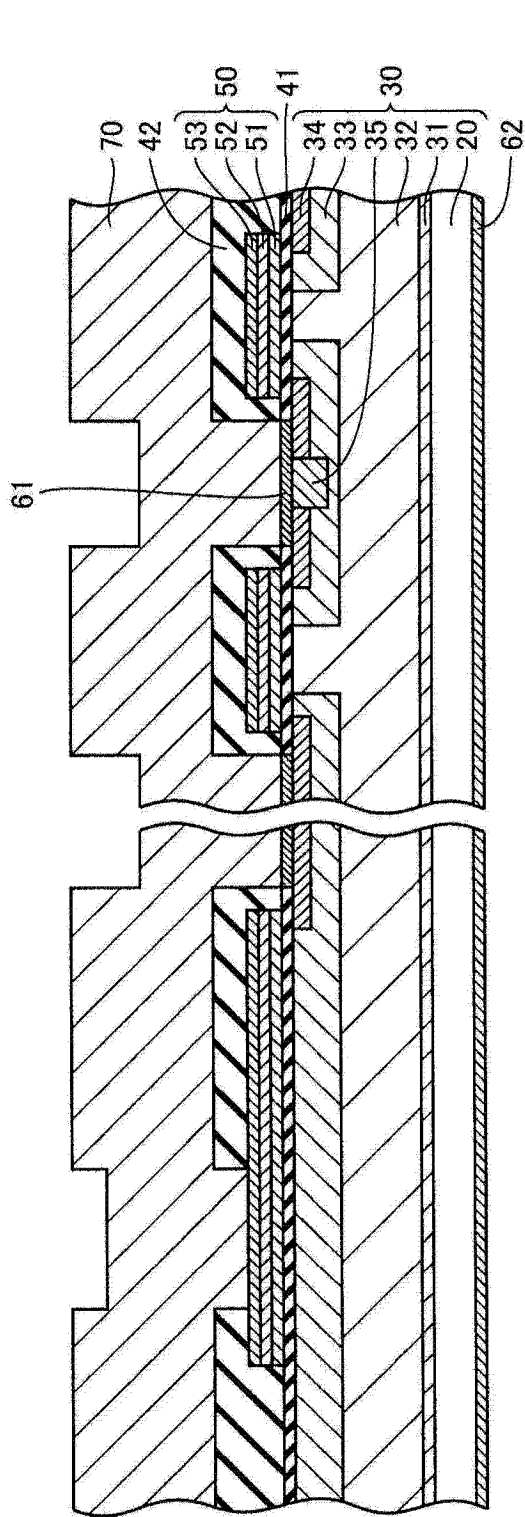


图 11

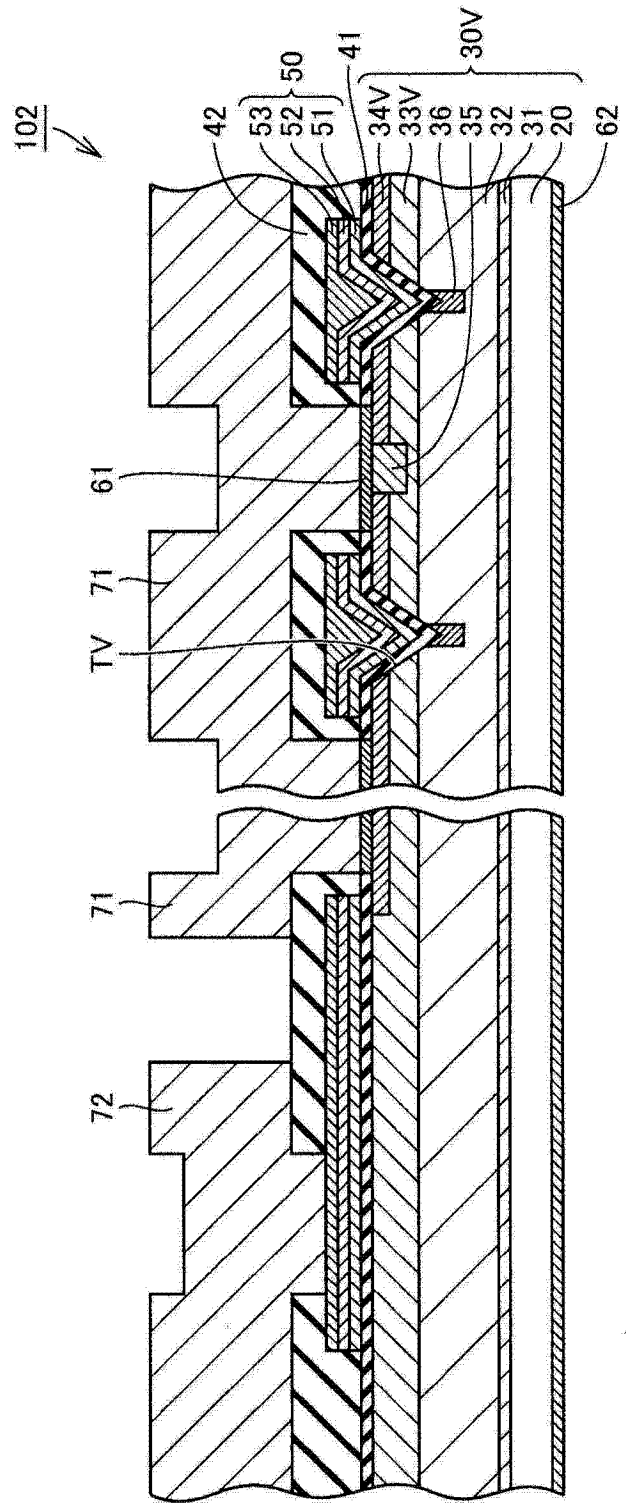


图 12

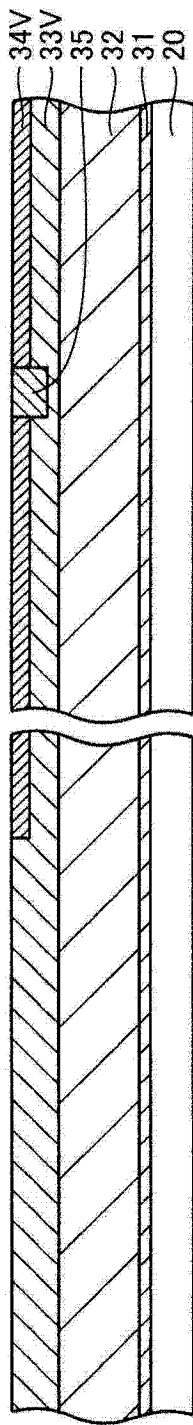


图 13

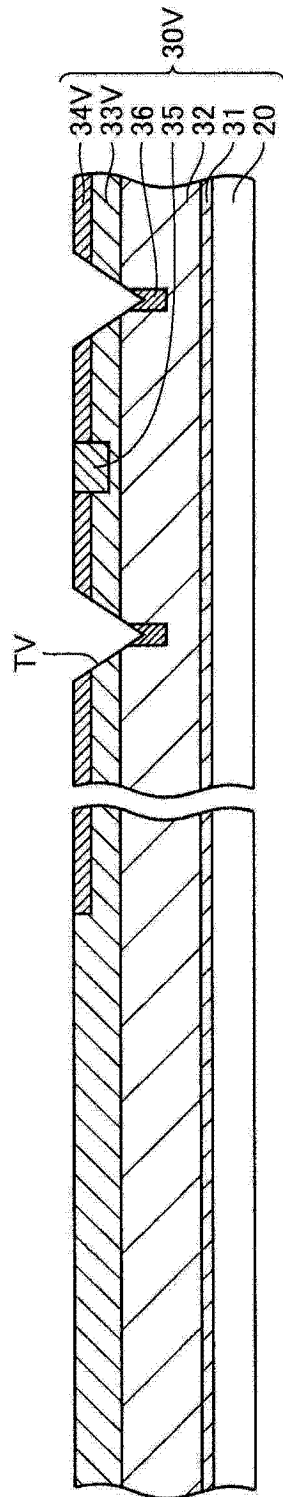


图 14

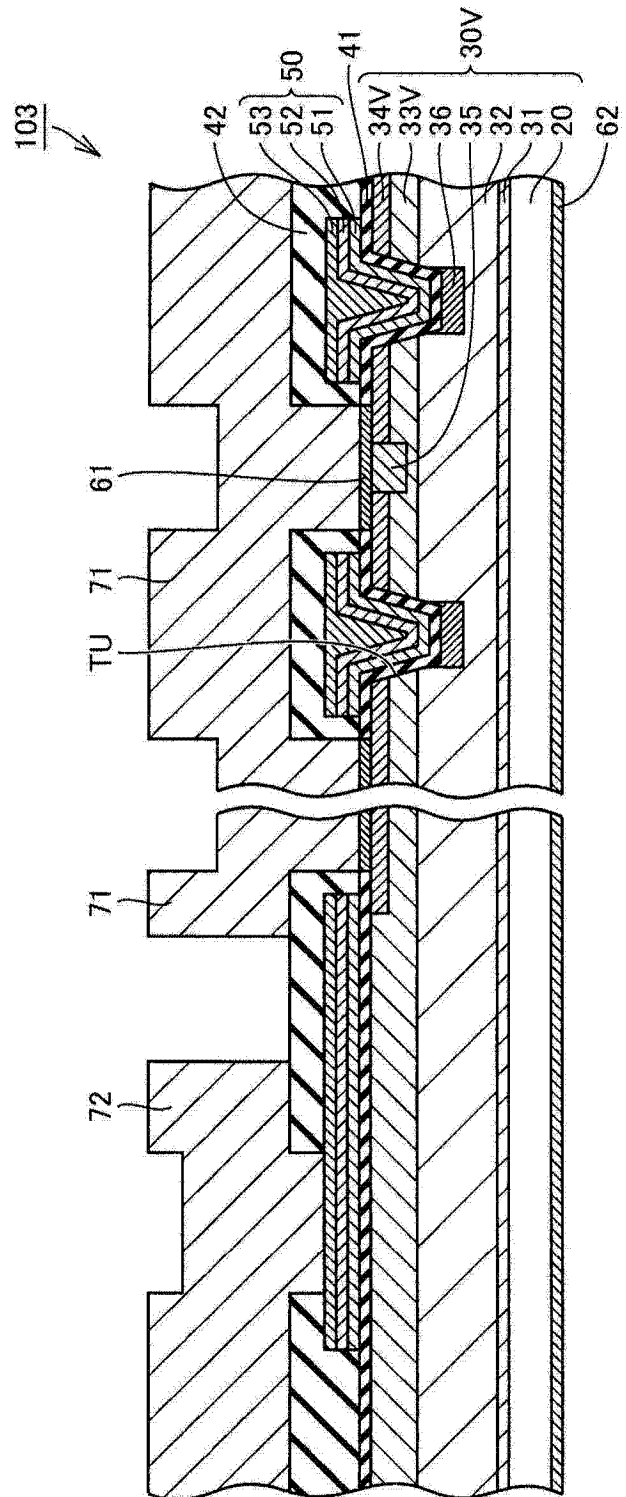


图 15

1. 一种碳化硅半导体器件(102,103),包括:

碳化硅衬底(30V);

栅极绝缘膜(41),所述栅极绝缘膜(41)被设置在所述碳化硅衬底上;以及

栅电极(50),所述栅电极(50)被设置在所述栅极绝缘膜上,所述栅电极包括与所述栅极绝缘膜接触的多晶硅膜(51)、设置在所述多晶硅膜上的阻挡膜(52)以及设置在所述阻挡膜上且由难熔金属制成的金属膜(53);

层间绝缘膜(42),所述层间绝缘膜(42)被布置为覆盖所述栅极绝缘膜以及设置在所述栅极绝缘膜上的所述栅电极,并且具有衬底接触孔(SH),所述衬底接触孔(SH)在与所述栅极绝缘膜接触的区域中部分地暴露所述碳化硅衬底;以及

互连(71),所述互连(71)通过所述衬底接触孔电连接到所述碳化硅衬底,并且通过所述层间绝缘膜与所述栅电极电绝缘,其中

所述碳化硅衬底(30V)设置有沟槽(TU,TV),并且所述栅电极的至少一部分被布置在所述沟槽中,并且所述沟槽具有V形或者所述V形与平坦底部的组合的形状。

2. 根据权利要求1所述的碳化硅半导体器件,其中,所述层间绝缘膜具有部分地暴露所述栅电极的栅极接触孔(GH),并且

所述碳化硅半导体器件进一步包括:

栅极焊盘(72),所述栅极焊盘(72)通过所述栅极接触孔电连接到所述栅电极。

3. 根据权利要求2所述的碳化硅半导体器件,其中,所述互连和所述栅极焊盘由相同材料制成。

4. 根据权利要求1至3中的任何一项所述的碳化硅半导体器件,其中,所述难熔金属具有超过1000°C的熔点。

5. 一种制造碳化硅半导体器件(102,103)的方法,包括以下步骤:

在碳化硅衬底(30V)中形成沟槽(TU,TV),所述沟槽具有V形或者所述V形与平坦底部的组合的形状;

在所述碳化硅衬底上形成栅极绝缘膜(41);

在所述栅极绝缘膜上形成栅电极(50),所述栅电极的至少一部分被布置在所述沟槽中,并且

形成栅电极的所述步骤包括形成与所述栅极绝缘膜接触的多晶硅膜(51)、在所述多晶硅膜上形成阻挡膜(52)以及在所述阻挡膜上形成由难熔金属制成的金属膜(53)的步骤;

形成层间绝缘膜(42),所述层间绝缘膜(42)被布置为覆盖所述栅极绝缘膜以及设置在所述栅极绝缘膜上的所述栅电极,并且具有在与所述栅极绝缘膜接触的区域中部分地暴露所述碳化硅衬底的衬底接触孔(SH);以及

形成互连(71),所述互连(71)通过所述衬底接触孔电连接到所述碳化硅衬底,并且通过所述层间绝缘膜与所述栅电极电绝缘。

6. 根据权利要求5所述的制造碳化硅半导体器件的方法,进一步包括对所述碳化硅衬底施加热处理以使在所述互连和所述碳化硅衬底之间的电连接更具欧姆性的步骤。

7. 根据权利要求6所述的制造碳化硅半导体器件的方法,其中,对所述碳化硅衬底施加热处理的所述步骤包括将所述碳化硅衬底加热至高于1000°C的温度的步骤。

8. 根据权利要求5至7中的任何一项所述的制造碳化硅半导体器件的方法,其中,形

成互连的所述步骤包括：形成与所述栅电极和所述碳化硅衬底中的每一个接触的导体膜(70)的步骤，以及图案化所述导体膜的步骤，所述图案化步骤形成所述互连以及设置在所述栅电极的一部分上的栅极焊盘(72)。