

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7108166号

(P7108166)

(45)発行日 令和4年7月28日(2022.7.28)

(24)登録日 令和4年7月20日(2022.7.20)

(51)国際特許分類

G 0 5 F 1/56 (2006.01)

F I

G 0 5 F 1/56 3 1 0 F

請求項の数 11 (全11頁)

(21)出願番号	特願2019-537100(P2019-537100)	(73)特許権者	507107291
(86)(22)出願日	平成30年1月8日(2018.1.8)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2020-505679(P2020-505679		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和2年2月20日(2020.2.20)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2018/012803		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2018/129459	(74)代理人	230129078
(87)国際公開日	平成30年7月12日(2018.7.12)		弁護士 佐藤 仁
審査請求日	令和3年1月7日(2021.1.7)	(72)発明者	ヴァディム ヴアレリエヴィッチ イワノフ
(31)優先権主張番号	15/400,976		アメリカ合衆国 8 5 7 4 7 アリゾナ州
(32)優先日	平成29年1月7日(2017.1.7)		トゥーソン, フリーマン ロード 5 1
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	9 5 エス
			サハナ スリラジ
			アメリカ合衆国 7 5 2 0 2 テキサス州
			ダラス, エイビーティー 5 0 8, メイ
			最終頁に続く

(54)【発明の名称】 低ドロップアウトレギュレータを補償する方法及び回路要素

## (57)【特許請求の範囲】

## 【請求項1】

低ドロップアウトレギュレータ(LDO)であって、  
前記LDOの出力に結合される第1の入力と、基準電圧に結合される第2の入力と、出力とを含む誤差増幅器であって、前記LDOの出力電圧と前記基準電圧との間の差に比例する電圧を出力するように動作し得、前記誤差増幅器の出力に応答して設定されるテール電流を有する、前記誤差増幅器と、  
前記誤差増幅器に結合される入力と、前記LDOの出力に結合される出力とを含む第2の増幅器と、  
前記誤差増幅器の出力と前記第2の増幅器の入力との間に結合される差動増幅器である利得ブースト増幅器であって、前記LDOの出力上の負荷ステップにตอบสนองして前記LDOのDC利得を変化させるように動作し得る、前記利得ブースト増幅器と、  
前記差動増幅器の入力の間に結合されるフィルタと、  
を含む、LDO。

## 【請求項2】

低ドロップアウトレギュレータ(LDO)であって、  
前記LDOの出力に結合される第1の入力と、基準電圧に結合される第2の入力と、出力とを含む誤差増幅器であって、前記LDOの出力電圧と前記基準電圧との間の差に比例する電圧を出力するように動作し得、前記誤差増幅器の出力にตอบสนองして設定されるテール電流を有する、前記誤差増幅器と、

前記誤差増幅器に結合される入力と、前記ＬＤＯの出力に結合される出力とを含む第２の増幅器と、

前記誤差増幅器の出力と前記第２の増幅器の入力との間に結合される利得ブースト増幅器であって、前記ＬＤＯの出力上の負荷ステップにตอบสนองして前記ＬＤＯのＤＣ利得を変化させるように動作し得る、前記利得ブースト増幅器と、

前記誤差増幅器の出力に結合される共通ゲート増幅器であって、トランジスタに結合される出力を含み、前記誤差増幅器のテール電流を制御するように動作し得る、前記共通ゲート増幅器と、

を含む、ＬＤＯ。

【請求項３】

10

請求項１又は２に記載のＬＤＯであって、

前記利得ブースト増幅器が、前記ＬＤＯの出力上の負荷ステップにตอบสนองして前記誤差増幅器のＤＣ利得を減少させるように更に動作し得る、ＬＤＯ。

【請求項４】

請求項１又は２に記載のＬＤＯであって、

前記出力電圧と前記基準電圧との間の差を示す前記誤差増幅器にตอบสนองして前記テール電流が増加され、前記出力電圧と前記基準電圧とが実質的に同じであることを示す前記誤差増幅器にตอบสนองして前記テール電流が減少される、ＬＤＯ。

【請求項５】

請求項１又は２に記載のＬＤＯであって、

20

前記誤差増幅器が、差動増幅器の入力に結合される差動出力を更に含み、前記テール電流が前記差動増幅器の出力にตอบสนองして設定される、ＬＤＯ。

【請求項６】

請求項１又は２に記載のＬＤＯであって、

前記利得ブースト増幅器が、前記第２の増幅器を介する電流フローをレギュレートするように更に動作し得る、ＬＤＯ。

【請求項７】

低ドロップアウトレギュレータ（ＬＤＯ）であって、

前記ＬＤＯの出力に結合される第１の入力と、基準電圧に結合される第２の入力とを含む誤差増幅器であって、前記ＬＤＯの出力電圧と前記基準電圧との差に比例する電圧を出力するように動作可能である、前記誤差増幅器と、

30

前記誤差増幅器に結合される入力と、前記ＬＤＯの出力に結合される出力とを含む第２の増幅器と、

前記誤差増幅器の出力と前記第２の増幅器の入力との間に結合される利得ブースト増幅器であって、前記ＬＤＯの出力上の負荷ステップにตอบสนองして前記ＬＤＯのＤＣ利得を変化させるように動作可能である、前記利得ブースト増幅器と、

前記ＬＤＯへの電圧入力と前記ＬＤＯの出力との間に結合されるパストランジスタであって、前記利得ブースト増幅器の第１の入力と前記第２の増幅器の第１の出力とに結合されるゲートと、ドレインと、ソースとを有する、前記パストランジスタと、

を含む、ＬＤＯ。

40

【請求項８】

請求項７に記載のＬＤＯであって、

前記第２の増幅器が、前記利得ブースト増幅器の第２の入力に結合される第２の出力を更に含む、ＬＤＯ。

【請求項９】

低ドロップアウトレギュレータ（ＬＤＯ）であって、

入力電圧に結合するための入力と、

出力電圧を提供するための出力と、

前記入力と前記出力との間に結合されるパストランジスタと、

前記出力電圧を基準電圧と比較し、前記出力電圧と前記基準電圧との間の差に比例する誤

50

差信号を生成するように動作し得る誤差増幅器と、  
前記誤差信号に応答して前記誤差増幅器の利得を制御するための回路要素と、  
前記パストランジスタのゲートへの出力を含む第2の増幅器と、  
前記第2の増幅器の利得を制御するための電流レギュレータと、  
前記誤差増幅器と前記第2の増幅器との間に結合される利得ブースト増幅器であって、前記電流レギュレータを制御する、前記利得ブースト増幅器と、  
前記利得ブースト増幅器の差動入力の上に結合されるフィルタと、  
を含む、LDO。

【請求項10】

請求項9に記載のLDOであって、  
前記電流レギュレータが、前記利得ブースト増幅器の出力に結合されるゲートを有するトランジスタである、LDO。

10

【請求項11】

低ドロップアウトレギュレータ(LDO)であって、  
LDO入力と、  
LDO出力と、  
第1のEA入力と第2のEA入力と第1のEA出力と第2のEA出力とを含む誤差増幅器(EA)であって、  
第1の電流端子と、前記第1のEA出力に結合される第2の電流端子と、前記第1のEA入力に結合される第1の制御端子とを有する第1のトランジスタと、  
前記第1の電流端子に結合される第3の電流端子と、前記第2のEA出力に結合される第4の電流端子と、前記LDO出力に結合される第2の制御端子とを有する第2のトランジスタと、  
を含む、前記誤差増幅器と、  
第5の電流端子と、第6の電流端子と、前記第5の電流端子に結合される第3の制御端子とを有する第3のトランジスタと、  
第1の供給電位を有する第1の供給レールに結合される第7の電流端子と、前記第1の供給電位と異なる第2の供給電位を有する第2の供給レールに結合される第8の電流端子と、  
パス制御端子とを有するパストランジスタと、  
前記第2の電流端子に結合される第1のGBA入力と、前記第4の電流端子に結合される第2のGBA入力と、GBA出力とを含む利得ブースト増幅器(GBA)であって、前記第3の制御端子における電位を前記パス制御端子における電位に追従させるように動作可能である、前記利得ブースト増幅器と、  
を含む、LDO。

20

30

【発明の詳細な説明】

【技術分野】

【0001】

電力管理は、特に、回路及び電力供給がシステムオンチップ(SoC)回路などの単一のチップ上に位置する場合に、幾つかの電力供給を有する回路にとって問題である。これらの回路の幾つかは、一つ又は複数のDC-DCコンバータによって電力供給され、その後、多数の低ドロップアウトレギュレータ(LDO)が続き、各LDOは電力ドメインに関連する。時には、単一のSoC回路が複数の電力ドメインを有する。これらの電力ドメインは、デジタル信号処理コア、メモリ回路の幾つかのバンク、アナログユニット、ブルートゥース無線、及びオーディオユニットを含み得る。

40

【背景技術】

【0002】

LDOの負荷ステップは、LDOによって電力供給される負荷が変化するときを生じる。負荷なしからフル負荷までの負荷ステップ状況の間、LDOによる電圧出力の精度を維持することは、電力ドメインの適切なオペレーションのために重要である。負荷ステップの間の精度を維持する方法の一つは、各LDOに結合される外部負荷コンデンサを含むこと

50

によるものである。各回路上のＬＤＯがあまりに多くなり、回路が小さくなると、外部コンデンサのサイズ及びコストのため、各ＬＤＯの外部負荷コンデンサを利用することは実用的ではなくなる。

【発明の概要】

【０００３】

記載される例において、低ドロップアウトレギュレータが、第１の入力及び第２の入力を有するエラー増幅器を含む。第１の入力はＬＤＯの出力への結合のためのものであり、第２の入力は、基準電圧に結合するためのものである。エラー増幅器は、出力電圧と基準電圧との間の差に比例する電圧を有する出力を有する。第２の増幅器が、エラー増幅器とＬＤＯの出力との間に結合される。利得ブースト増幅器が、エラー増幅器と第２の増幅器との間に結合される。利得ブースト増幅器は、ＬＤＯのＤＣ利得を、出力上の負荷ステップに  
10

【図面の簡単な説明】

【０００４】

【図１】低ドロップアウトレギュレータ（ＬＤＯ）の概略図である。

【０００５】

【図２】ＡＢ級入力段を備え、補償を備えないＬＤＯの概略図である。

【０００６】

【図３】補償を有する例示のＬＤＯのブロック図である。

【０００７】

【図４】入れ子にされた利得ブースト増幅器を有する例示のＬＤＯの概略図である。

【０００８】

【図５】利得ブースト増幅器が入れ子にされた例示のＬＤＯの詳細な概略図である。

【０００９】

【図６】ＬＤＯを補償する方法を説明するフローチャートであり、ＬＤＯは、第２の増幅器に結合されるエラー増幅器を有する。

【発明を実施するための形態】

【００１０】

図面において、同様の参照数字は同様の又は等価の要素を示す。幾つかの行為又は事象は、異なる順で及び／又は他の行為又は事象と同時に起こり得るので、行為又は事象の例示される順は限定的ではない。また、幾つかの例示される行為又は事象が、例示の実施例に従った手法を実装するために任意選択であり得る。

【００１１】

回路が集積化されていくにつれて、回路は、互いに独立して又は少なくとも部分的に互いに独立して動作することが多い、多くの異なるデバイス、構成要素、及びサブ回路を有する。本明細書において用いられるように、回路という用語は、アナログ回路又は制御回路など、回路機能を実施する能動及び／又は受動要素の集まりを含み得る。回路という用語はまた、全ての回路要素が共通基板上に製造される集積回路を含み得る。これらの異なるシステムは通常、それら自体の電源又は電力ドメインを必要とし、多くのシステムは複数の電力ドメインを必要とする。これらの異なるシステムの例には、プロセッサ、メモリデバイス、無線トランスミッタ及びレシーバ、並びにオーディオユニットが含まれる。集積回路などの回路は、これらのシステムの幾つかを有し得、１つ又は２つの入力電圧のみのための入力を有し得る。これらの入力電圧は、複数の低ドロップアウトレギュレータ（ＬＤＯ）に電力を提供するＤＣ－ＤＣコンバータに結合され、各ＬＤＯは、システムの各々に電力を提供する。幾つかの場合において、単一の回路が、５０個程度のＬＤＯを有し得る。

【００１２】

ＬＤＯは、高入力電圧を一層低い出力電圧に変換及びレギュレートする。ドロップアウト電圧は、レギュレートされた出力電圧を維持するために必要なヘッドルームの量である。したがって、ドロップアウト電圧は、出力電圧のレギュレーションを維持するために必要  
50

な入力電圧と出力電圧との間の最小電圧差分である。LDO内のパス要素を横切る電圧降下を引いた入力電圧は、出力電圧に等しい。例えば、1.0Vのドロップアウトを有する3.3Vのレギュレータは、入力電圧が少なくとも4.3Vであることを必要とする。LDOに關与する別の例示の応用例は、3.6Vのリチウムイオンバッテリーから3.3Vを生成するためのものであり、これは、300mVより小さい更に一層低いドロップアウト電圧を必要とする。

#### 【0013】

図1はLDO100の概略図である。LDO100は、LDO100のオペレーションの間、入力102において入力電圧 $V_{IN}$ を受け取る入力102を有する。出力104が、LDO100のオペレーションの間存在する出力電圧 $V_{OUT}$ を提供する。パストランジスタ $Q_{PASS}$ が、入力102と出力104との間に結合される。パストランジスタ $Q_{PASS}$ のパス電圧が、入力電圧 $V_{IN}$ と出力電圧 $V_{OUT}$ との間の差である。LDO100のオペレーションを維持するための最小パス電圧は、ドロップアウト電圧である。

#### 【0014】

抵抗器 $R_{11}$ と $R_{12}$ で構成される分圧器108が、出力104と、図1の例において接地ノードである共通ノードとの間に結合される。ノード $N_{11}$ が、抵抗器 $R_{11}$ と $R_{12}$ との間に位置し、LDO100のオペレーションの間存在するフィードバック電圧 $V_{FB}$ を有する。負荷コンデンサ $C_L$ が、出力104と接地ノードとの間に結合される。負荷コンデンサ $C_L$ の等価直列抵抗( $ESR$ )は抵抗器 $R_{ESR}$ として示されている。また、負荷抵抗 $R_L$ が、出力104と接地ノードとの間に結合されている。

#### 【0015】

パストランジスタ $Q_{PASS}$ のゲートは、パスコンデンサ $C_{11}$ と差動増幅器110の出力とに結合される。差動増幅器110は、基準電圧 $V_{REF}$ に結合される第1の入力と、ノード $N_{11}$ に結合される第2の入力とを有し、これは、LDO100のオペレーションの間存在するフィードバック電圧 $V_{FB}$ を有する。差動増幅器110の出力は、基準電圧 $V_{REF}$ とフィードバック電圧 $V_{FB}$ との間の差に比例し、パストランジスタ $Q_{PASS}$ のゲートを駆動するように働く。フィードバック電圧 $V_{FB}$ が基準電圧 $V_{REF}$ より小さい場合、差動増幅器110は、出力電圧 $V_{OUT}$ を増大させるためパストランジスタ $Q_{PASS}$ のゲートを一層強く駆動させる。同様に、フィードバック電圧 $V_{FB}$ が基準電圧 $V_{REF}$ より大きい場合、差動増幅器110は、パストランジスタ $Q_{PASS}$ のゲートに対する駆動を低減し、これにより、出力電圧 $V_{OUT}$ が低減する。

#### 【0016】

LDO100などの従来のLDOは、安定性/補償のため、なんらかの最小負荷静電容量 $C_L$ 及び/又は最小 $ESR$ を必要とする。例えば、LDO100が負荷ステップを受けると、すなわち、LDO100の出力104に結合される負荷が変化すると、有意な整定時間を有する過渡現象が生成され得る。従来のLDOの傾向は、最大負荷電流の10パーセントより小さく制限される静止電流など、より小さい静止電流のためである。最大負荷電流は、パストランジスタ $Q_{PASS}$ を通過し得る最大電流である。これらの低静止電流は、他の要因と共に、負荷ステップの間の過渡応答時間をミリ秒範囲にするが、これは多くの応用例において許容可能ではない。負荷コンデンサ $C_L$ のより大きな負荷静電容量が、LDO100の補償を改善することによって、過渡整定時間を低減する。しかしながら、シリコンダイエリアの制約に起因して、オンチップ負荷コンデンサは静電容量が低く、その結果、より長い過渡整定時間となり、これは多くの応用例において許容可能ではない。この過渡問題を解決するには、かさばるオフチップ負荷コンデンサの利用が必要であり、これは、LDO100が位置する回路のボードエリア及び構成要素数を増大させる。負荷静電容量を用いて又は用いずに動作し得、負荷ステップに应答して非常に速い反応時間を有する幾つかのLDOが開発されている。しかしながら、これらの高速応答LDOは安定性のために低利得であり、その出力電圧において低精度の欠点を有する。これらのLDOの利得を増加させることは、出力電圧の精度を増大させるが、安定性を減少させる欠点を有し、これは負荷ステップの間の安定性の問題につながる。

10

20

30

40

50

## 【 0 0 1 7 】

本願において記載される L D O は、高利得での負荷ステップ状況下の補償によって安定性を提供し、これは高精度をもたらす。高利得及び高安定性が、負荷又は補償コンデンサを付加することなく達成される。L D O は、入力電圧及び出力電圧の間の差に応じて異なる利得を提供する。L D O 内に入れ子にされる利得ブースト増幅器が、負荷ステップ後の L D O の直流精度を増大させるように働く。幾つかの異なる回路概略図が、L D O の例として本願において説明されている。回路の変形が本願において説明される L D O の機能を実施することができるので、これらの概略図は限定的ではない。

## 【 0 0 1 8 】

図 2 は、A B 級入力ステージ 2 0 4 を有し、補償を有さない、L D O 2 0 0 の概略図である。L D O 2 0 0 は、本願において記載される補償回路に結合され得る回路要素の一例である。L D O 2 0 0 は、L D O 2 0 0 のオペレーションの間、入力電圧  $V_{IN}$  に結合される入力 2 0 6 を有する。L D O 2 0 0 は、L D O 2 0 0 のオペレーションの間、出力 2 0 8 において出力電圧  $V_{OUT}$  を生成し、レギュレートする。基準入力 2 1 0 が、L D O 2 0 0 のオペレーションの間存在する基準電圧  $V_{REF}$  に結合される。エラー電圧  $V_E$  (図 2 には示されていない) が、基準電圧  $V_{REF}$  と出力電圧  $V_{OUT}$  との間の差である。トランジスタ  $Q_{21}$  及び  $Q_{22}$  が、エラー増幅器 2 1 4 の入力形成し、トランジスタ  $Q_{22}$  のゲートは基準電圧  $V_{REF}$  に結合され、トランジスタ  $Q_{21}$  のゲートは出力 2 0 8 に結合される。幾つかの例において、出力電圧  $V_{OUT}$  は分圧器 (図示せず) を介してエラー増幅器 2 1 4 に結合されるので、エラー増幅器 2 1 4 によって受け取られる電圧は、出力電圧  $V_{OUT}$  に比例するが、出力電圧  $V_{OUT}$  に等しくない。エラー増幅器 2 1 4 は、基準電圧  $V_{REF}$  と出力電圧  $V_{OUT}$  によって見られるように、高入力インピーダンスを有する。エラー増幅器 2 1 4 の出力は、トランジスタ  $Q_{21}$  及び  $Q_{22}$  のドレイン上の差動電圧である。トランジスタ  $Q_{21}$  及び  $Q_{22}$  のドレイン上の電圧は、個別に  $V_{G1}$  及び  $V_{G2}$  と呼ばれる。パストランジスタ  $Q_{PASS}$  のゲートは、第 2 の増幅器の一部を形成するトランジスタ  $Q_{23}$  及び  $Q_{24}$  を介してエラー増幅器 2 1 4 の出力によって駆動される。

## 【 0 0 1 9 】

エラー増幅器 2 1 4 の出力は、共通ゲート増幅器を形成するトランジスタ  $Q_{25}$  及び  $Q_{26}$  のソースに結合される。従って、電圧  $V_{G1}$  及び  $V_{G2}$  は、L D O 2 0 0 オペレーションの間トランジスタ  $Q_{25}$  及び  $Q_{26}$  のソースに存在する。トランジスタ  $Q_{25}$  及び  $Q_{26}$  のドレインは、電流源  $I_{21}$  に結合されるノード  $N_{21}$  に結合されている。ノード  $N_{21}$  は、トランジスタ  $Q_{27}$  のゲートにも結合され、トランジスタ  $Q_{27}$  のドレインが、エラー増幅器 2 1 4 におけるトランジスタ  $Q_{21}$  及び  $Q_{22}$  のソースに結合される。ノード  $N_{21}$  及びトランジスタ  $Q_{27}$  のゲート上の電圧は、フィードバック電圧  $V_{FB}$  である。トランジスタ  $Q_{27}$  のソースは、図 2 に示すような接地など、ノードに結合される。トランジスタ  $Q_{27}$  を流れる電流は、エラー増幅器 2 1 4 のテール電流  $I_{TAIL}$  である。本明細書において用いられるようにテール電流  $I_{TAIL}$  という用語は、エラー増幅器 2 1 4 におけるトランジスタ  $Q_{21}$  及び  $Q_{22}$  の差動対のソース端子の組み合わせられた電流を指す。トランジスタ  $Q_{23}$ 、 $Q_{24}$ 、 $Q_{28}$ 、及び  $Q_{211}$  は、L D O 2 0 0 の対称的電流ミラー負荷である。トランジスタ  $Q_{213}$  及び  $Q_{214}$  は、トランジスタ  $Q_{211}$  及び  $Q_{24}$  の電流ミラーとして働く。

## 【 0 0 2 0 】

パストランジスタ  $Q_{PASS}$  のゲートは、本願において説明される第 2 の増幅器の一部として機能するトランジスタ  $Q_{24}$  を介してエラー増幅器 2 1 4 の出力によって駆動される。パストランジスタ  $Q_{PASS}$  のゲートにおける電圧が、パストランジスタ  $Q_{PASS}$  のソースドレイン抵抗を変化させる。出力 2 0 8 上の負荷ステップから生じるなどの遷移状況が、基準電圧  $V_{REF}$  と出力電圧  $V_{OUT}$  との間の差であるエラー電圧  $V_E$  を監視することによって検出される。エラー電圧  $V_E$  が無視し得るとき、電圧  $V_{G1}$  及び  $V_{G2}$  は実質的に同じであり、これは、トランジスタ  $Q_{25}$  及び  $Q_{26}$  を介する電流を実質的に同じ

10

20

30

40

50

にする。したがって、トランジスタQ 2 5及びQ 2 6の各々を介する電流は、電流源I 2 1によって生成される電流の半分である。これにより、エラー増幅器2 1 4におけるトランジスタQ 2 1及びQ 2 2を流れる電流が実質的に等しく設定される。エラー増幅器2 1 4は、これらの状況では休止状態で動作する。電圧V G 1及びV G 2は、入力段電流を設定することによって、エラー増幅器2 1 4における電流を設定する。

#### 【0021】

エラー電圧V<sub>E</sub>が上昇するとき、V G 1とV G 2の電圧は異なる。エラー電圧V<sub>E</sub>が所定の値より大きいとき、V G 1及びV G 2のうち小さい方の電圧が、対応するトランジスタQ 2 5及びQ 2 6において高い方の電流をトリガし、これがフィードバック電圧V<sub>F B</sub>を増大させる。その結果、エラー増幅器2 1 4は静止状態のままである。フィードバック電圧V<sub>F B</sub>のこの増大は、トランジスタQ 2 7を流れるテール電流I<sub>T A I L</sub>をエラー電圧V<sub>E</sub>に比例して増大させる。そのため、エラー増幅器2 1 4におけるテール電流I<sub>T A I L</sub>は、エラー電圧V<sub>E</sub>に比例して増加し、高速過渡応答を提供する。より具体的には、テール電流I<sub>T A I L</sub>のこの変化が、負荷ステップの間の過渡現象を最小限に抑えるように、負荷ステップの間、パストランジスタQ<sub>P A S S</sub>のゲートをより速く移動させるために、入力段においてより高い電流駆動をもたらす。L D O 2 0 0における非線形性が、これらの状況の間、トランジスタQ 2 8 / Q 2 9及びQ 2 3 / Q 2 1 0の組み合わせによって提供される。トランジスタが4の比を有する幾つかの例において、1 0 0 m Vのエラー電圧V<sub>E</sub>が、1 0 0 0 倍のテール電流増大を有する。

#### 【0022】

図3は、補償が入れ子にされたL D O 3 0 0のブロック図である。L D O 3 0 0のブロック図は、L D O 3 0 0の最終回路に含まれても含まれなくてもよい受動構成要素を含む。図3に示される受動構成要素の幾つかは、L D O 3 0 0における増幅器の入力及び出力インピーダンスを表す。L D O 3 0 0は、図2のエラー増幅器2 1 4の入力段2 0 4を含む増幅器3 0 4を有する。第2の増幅器3 1 0が、パストランジスタQ<sub>P A S S</sub>（図示せず）及び関連する構成要素を含む。増幅器3 0 4及び3 1 0の組み合わせは、図2のL D O 2 0 0を構成する。補償は、本明細書に記載するように抵抗器R 3 1の抵抗を制限することによって、増幅器3 0 4として示される入力段2 0 4の電圧利得を低減することによって達成される。幾つかの例において、抵抗R 3 1はパストランジスタQ<sub>P A S S</sub>のゲートに結合される抵抗である。抵抗器R 3 1の抵抗を制限することが、L D O 3 0 0の全体的な利得を低減し、その結果、直流精度は低くなるが、L D O 3 0 0は安定化する。L D O 3 0 0の電圧利得を回復することは、段を入れ子にし、上述したエラー増幅器2 1 4など、現存するすでに安定している増幅器の利得をブーストすることを含む。増幅器段を入れ子にすることは、従来の応用例で行われるように利得段を直列にカスケード接続するのではなく、L D O 3 0 0で行われる。L D O 3 0 0における増幅器を入れ子にすることは、直流精度のため利得を回復する利得ブースト増幅器3 1 4によって成される。増幅器3 1 4は、その入力で電圧を追跡し、電圧V<sub>O U T</sub>が電圧V<sub>R E F</sub>に等しいことを保証して、直流精度を達成する。

#### 【0023】

図4は利得ブースト増幅器が入れ子にされるL D O 4 0 0の概略図である。L D O 4 0 0は、図2のL D O 2 0 0と同じ構成要素の多くを有し、これらの構成要素に適用される同じ参照符号を有する。L D O 4 0 0は、トランジスタQ 4 1のゲートに結合される出力を有する利得ブースト増幅器4 0 2を含む。トランジスタQ 4 1は、トランジスタQ 2 1 3及びQ 2 1 4のソースと接地ノードとの間に結合される。したがって、トランジスタQ 2 1 3及びQ 2 1 4を介する電流フローは、増幅器4 0 2の出力に基づく。増幅器4 0 2の入力は、トランジスタQ 2 1 3のゲート及びトランジスタQ 2 1 4のドレインに結合され、トランジスタQ 2 1 4のドレインは、パストランジスタQ<sub>P A S S</sub>のゲートに結合される。利得ブースト増幅器4 0 2は、その入力に常に互いを追跡することを保証するトラッキング増幅器である。より具体的には、利得ブースト増幅器4 0 2は、トランジスタQ 2 1 3のゲートにおける電圧及びパストランジスタQ<sub>P A S S</sub>のゲートにおける電圧が互い

追跡することを保証する。この追跡は、トランジスタQ 4 1のドレイン電流をレギュレートすることによって達成され、これは、増幅器4 0 2の出力によってトランジスタQ 4 1のゲートに提供される駆動によって達成される。

【0024】

図5は、利得ブースト増幅器4 0 2が入れ子にされる例示のL D O 5 0 0の概略図である。L D O 5 0 0は、図2のL D O 2 0 0を含み、補償及び負荷安定性を提供する図4の利得ブースト増幅器4 0 2が付加されている。L D O 5 0 0は、図2のL D O 2 0 0と実質的に同じ回路要素を含み、利得ブースト増幅器4 0 2が付加されている。L D O 5 0 0における補償は、エラー増幅器2 1 4の電圧利得を制限することによって達成され、これは、パストランジスタQ P A S Sのゲートにおける抵抗を制限することによって達成される。

10

【0025】

図5に示されるように、トランジスタQ 5 1及びQ 5 2は、トランジスタQ 5 3及びQ 5 4を介する電流の一部によってバイアスされ、これはエラー増幅器2 1 4の下側電圧利得を達成する。エラー増幅器2 1 4における電圧利得が小さい場合、L D O 5 0 0の全体的な利得は、許容可能な負荷レギュレーションに充分でない場合がある。トランジスタQ 4 1及びQ 5 5 ~ Q 5 8は、利得ブースト増幅器を形成する。この利得ブースト増幅器により、パストランジスタQ P A S S及びトランジスタQ 2 1 3のゲートにおける電圧は互いに追跡する。

【0026】

幾つかの例において、利得ブースト増幅器4 0 2は、L D O 5 0 0の安定性に影響を与えないように、抵抗器R 5 1及びコンデンサC 5 1の利用によって減速されるように設計される。例えば、抵抗器R 5 1及びコンデンサC 5 1は、増幅器4 0 2を減速させるフィルタを形成する。幾つかの例において、フィルタはL D O 5 0 0に含まれていない。

20

【0027】

図6は、L D Oが第2の増幅器に結合されるエラー増幅器を有するL D Oを補償する方法を説明するフローチャート6 0 0である。フローチャート6 0 0の工程6 0 2は、L D Oの出力電圧に比例する第1の電圧を受け取ることを含む。工程6 0 4は、エラー増幅器を用いて第1の電圧を基準電圧と比較することを含む。工程6 0 6は、第1の電圧を基準電圧と比較することに応答してエラー増幅器の利得を変更することを含み、利得の変更はL D Oの出力に利得ブーストを提供する。工程6 0 8は、比較に応答してL D OのD C利得を変更することを含み、利得の変更は、第1の電圧と基準電圧との間の差を低減する。

30

【0028】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

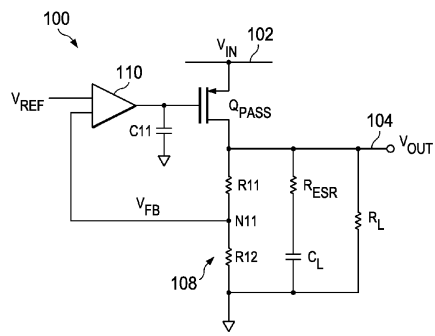
40

50



【図面】

【図 1】

FIG. 1  
(従来技術)

【図 2】

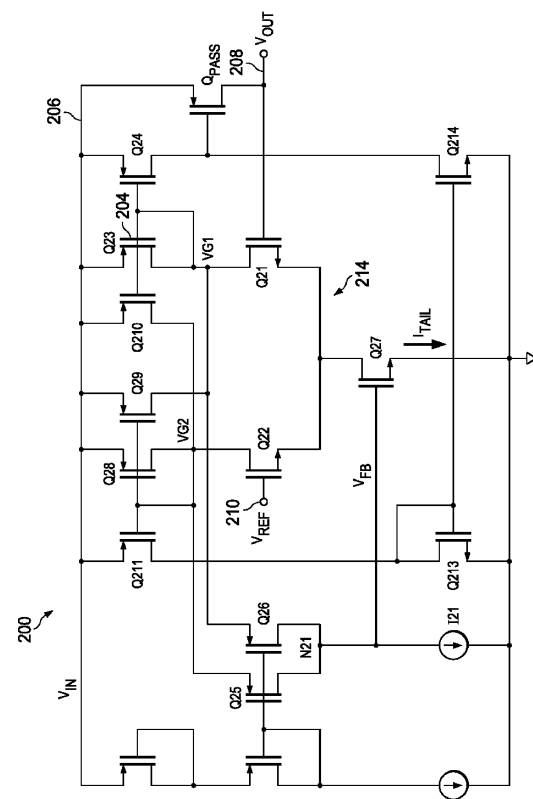


FIG. 2

【図 3】

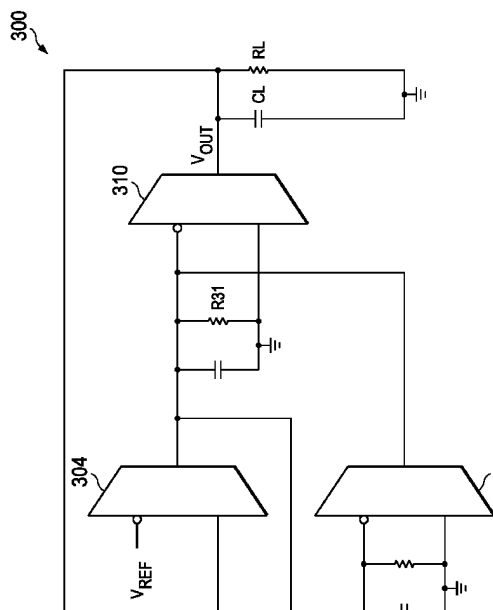


FIG. 3

【図 4】

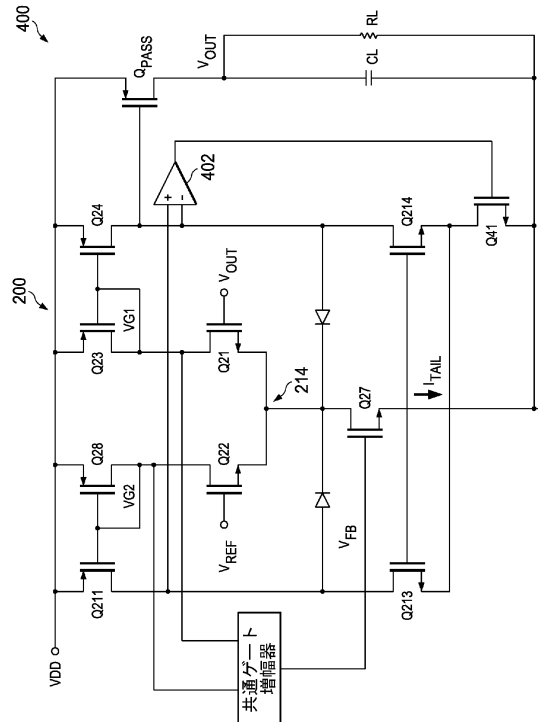


FIG. 4

10

20

30

40

50

【図 5】

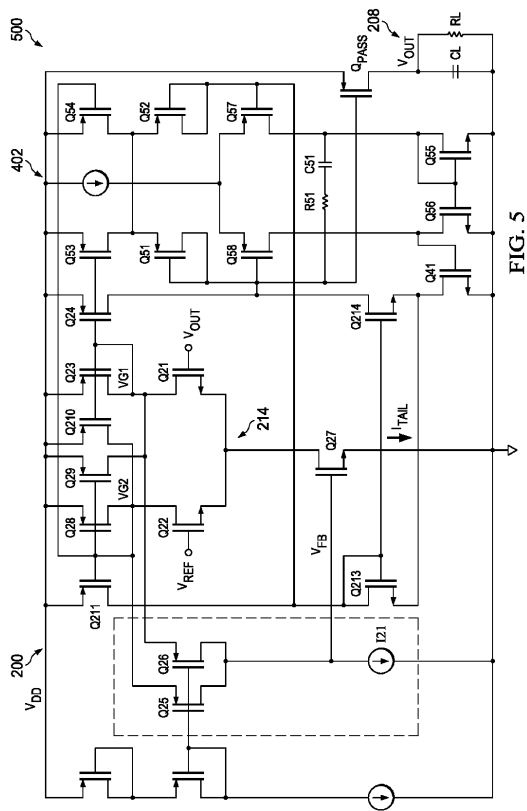


FIG. 5

【図 6】

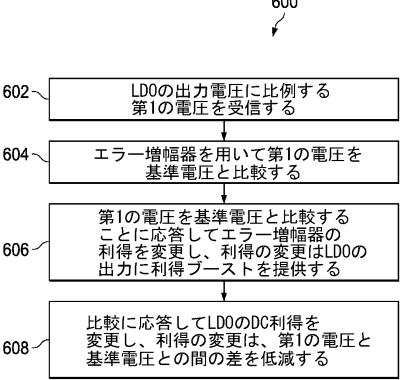


FIG. 6

10

20

30

40

50

---

フロントページの続き

ン ストリート 1 2 0 0

審査官 遠藤 尊志

(56)参考文献 特開 2 0 1 0 - 0 7 9 6 5 3 ( J P , A )

特開 2 0 1 6 - 1 6 2 0 9 7 ( J P , A )

国際公開第 2 0 1 6 / 2 0 2 3 9 8 ( W O , A 1 )

(58)調査した分野 (Int.Cl. , D B 名)

G 0 5 F 1 / 0 0 - 7 / 0 0