



**URZĄD
PATENTOWY
PRL**

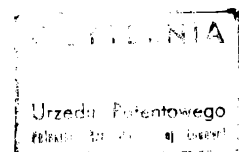
Patent tymczasowy dodatkowy
do patentu nr _____

Int. Cl.³ G06F 7/52

Zgłoszono: 25.06.79 (P. 216598)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 22.09.80



Opis patentowy opublikowano: 15.12.1983

Twórcy wynalazku: Stanisław Majerski, Władysław Majerski

Uprawniony z patentu tymczasowego: Instytut Maszyn Matematycznych,
Warszawa (Polska)

Układ cyfrowy dzielenia binarnego

Przedmiotem wynalazku jest układ cyfrowy dzielenia, gdzie dzielna lub dwa składniki dzielnej i dzielnik są liczbami przedstawionymi w zapisie binarnym. Wynalazek jest przeznaczony do zastosowania w komputerach i systemach komputerowych, zwłaszcza w szybkich specjalizowanych procesorach do obliczeń numerycznych oraz w innych szybkich urządzeniach realizujących operacje arytmetyczne.

Znane są układy dzielenia binarnego, nierestytucyjnego, w których w kolejnych krokach dzielenia wyznacza się kolejne bity, lub grupy bitów ilorazu. W pojedynczym kroku takiego dzielenia wykonuje się odejmowanie lub dodawanie dwóch liczb, z których pierwszą stanowi dzielna, lub kolejna reszta częściowa, otrzymana w wyniku poprzedniego odejmowania lub dodawania, a drugą zero, dzielnik lub określona jego wielokrotność. Dobór tej drugiej liczby, w kolejnym kroku dzielenia, zależy od znaku i zakresu otrzymanej w poprzednim kroku reszty częściowej, w stosunku do wartości dzielnika.

Zgodnie z wynalazkiem w skład układu cyfrowego dzielenia binarnego wchodzi dwa rejestry równoległe dzielnej z możliwością przesuwania ich zawartości, pamiętające w pierwszym kroku dzielenia dwa składniki dzielnej, z których jeden może być zerem, lub negacje tych składników otrzymane przez zanegowanie wszystkich ich bitów, a w następnych krokach dzielenia dwa składniki kolejnej reszty chwilowej lub reszty końcowej oraz rejestr równoległy dzielnika pamiętający dzielnik lub jego negację. Układ cyfrowy dzielenia zawiera także zespół redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie. Dwoma spośród trzech redukowanych liczb są liczby pamiętane w dwóch rejestrach dzielnej, lub bardziej znaczące części tych liczb, a trzecią redukowaną liczbę stanowi pamiętany w rejestrze dzielnika dzielnik, jego negacja lub zero, zależnie od ostatniej, wyznaczonej w trakcie dzielenia cyfry ilorazu. W wyniku redukcji tych trzech liczb otrzymuje się w zespole redukującym dwie liczby stanowiące składniki kolejnej reszty chwilowej lub reszty końcowej.

Układ cyfrowy dzielenia zawiera również zespół dekodujący w kolejnych krokach dzielenia po dwie trójki bitów wziętych z trzech bardziej znaczących pozycji binarnych dwóch składników dzielnej, ich negacji, lub dwóch składników kolejnej reszty chwilowej, i/lub bit znakowy dzielnika, w wyniku czego otrzymuje się na jego wyjściu kolejne cyfry o wartościach -1,0, +1 ilorazu

przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 2. Wymienione zespoły cyfrowe i rejestry równoległe posiadają niżej opisane połączenia służące do przesyłania sygnałów reprezentujących informacje kodowane binarnie. Wyjścia równoległe rejestrów dzielnej i dzielnika połączone są z wejściami równoległymi zespołu redukującego, przeznaczonymi do wprowadzania trzech redukowanych liczb. Wyjścia równoległe zespołu redukującego połączone są z wejściami rejestrów dzielnej, służącymi do wprowadzania składników reszty chwilowej lub końcowej. Wejścia zespołu dekodującego przeznaczone do wprowadzania dwóch trójek bardziej znaczących bitów, wziętych z dwóch składników dzielnej ich negacji, lub z dwóch składników reszty chwilowej, połączone są albo z wyjściami zespołu redukującego, albo z wyjściami rejestrów dzielnej. Wyjście zespołu dekodującego jest połączone z wejściem zespołu redukującego służącym do wprowadzania sygnału sterującego wyborem wspomnianej wcześniej trzeciej redukowanej liczby, oraz z wejściami rejestrów dzielnej, służącymi do wprowadzania kolejnych cyfr $-1, 0, +1$ ilorazu przedstawionego w zapisie redundancyjnym.

W celu lepszego wyjaśnienia istoty wynalazku opisano poniżej przebieg dzielenia, zakładając, że struktura omówionego układu dzielenia przystosowana jest do dzielenia liczb przedstawionych w zapisie binarnym uzupełnieniowym. W kolejnych krokach dzielenia dzielnej lub sumy dwóch składników dzielnej przez dzielnik wyznacza się kolejne cyfry ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 2 i cyfrach $-1, 0, +1$. W skład poszczególnych kroków dzielenia wchodzi wykonywana w zespole redukującym redukcja równoległa trzech liczb do dwóch liczb o takiej samej sumie. Jako dwie z trzech redukowanych liczb bierze się w pierwszym kroku, z obu rejestrów dzielnej, dwa składniki dzielnej, negacje tych składników, lub bardziej znaczące ich części, a w następnych krokach dwa składniki kolejnych reszt chwilowych lub bardziej znaczące ich części.

Trzecią redukowaną liczbą jest pobierany z rejestru dzielnika dzielnik lub jego negacja, albo zero, zależnie od znaku dzielnika i od pary trójek bardziej znaczących bitów wziętych z dwóch pierwszych redukowanych liczb. Wybór trzeciej z redukowanych liczb poprzedzony jest zdekodowaniem wspomnianych par trójek bitów na jedną z cyfr $-0, 1, +1$ ilorazu i jest zależny od tej cyfry. Dla uniezależnienia wyboru cyfr ilorazu w każdym kroku dzielenia od znaku dzielnika wprowadza się w zależności od tego znaku na początku dzielenia do rejestrów dzielnej albo składniki dzielnej, albo ich negacje. Dekodowanie wspomnianych par trójek bitów odbywa się w układzie dekodującym jednostopniowo lub dwustopniowo zależnie od jego struktury. Przykładowo, dekodowanie dwustopniowe może obejmować dodanie modulo 2^3 dwóch trójek bitów jako dwóch liczb trójbitowych oraz dekodowanie otrzymanej w wyniku trójki bitów. Trójkom bitów $10X, 110, 111, 0XX$, gdzie X oznacza dowolny bit, przyporządkowuje się przy tym odpowiednio cyfry $-1, -1, 0, +1$. Można jednak również inaczej dobranym trójkom bitów przyporządkowywać cyfry $-1, 0, +1$ według innej reguły. Otrzymane w wyniku redukcji dwa składniki reszty chwilowej lub ich części wprowadza się do rejestrów dzielnej i przesuwają się o jeden bit w lewo, po czym wykonuje się następny krok dzielenia. Struktura układu dzielenia może być dostosowana również do dzielenia liczb przedstawionych w zapisie binarnym znak-moduł. Znak ilorazu wyznaczany jest również niezależnie od omówionego przebiegu dzielenia na podstawie bitów znakowych dzielnej i dzielnika. W rejestrach dzielnej i dzielnika pamiętane są w tym przypadku wartości bezwzględne składników dzielnej i dzielnika.

Takie rozwiązanie układu może być zresztą przyjęte również dla dzielenia liczb w zapisie binarnym uzupełnieniowym. W przypadku dzielnej lub dzielnika ujemnego, wprowadza się wtedy do rejestrów dzielnej i dzielnika negacje tych liczb. Dzięki zastosowaniu omawianego układu dzielenia, w którym zastąpiono odejmowania i dodawania przez równoległą redukcję trzech liczb do dwóch liczb z zachowaniem ich sumy, unika się czasochłonnej propagacji przeniesień w kolejnych krokach dzielenia, przez co skraca się znacznie czas wykonywania dzielenia.

W szczególności, układem cyfrowym dzielenia binarnego według wynalazku jest opisany wyżej układ, w którym w skład zespołu redukującego wchodzi działające niezależnie od siebie jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

Układem cyfrowym dzielenia binarnego według wynalazku jest w szczególności opisany układ posiadający dodatkowo połączenie, łączące wyjście rejestru dzielnika z wejściem zespołu dekodującego, służącym do wprowadzania bitu znakowego dzielnika.

Układem cyfrowym dzielenia binarnego według wynalazku jest również opisany układ, zawierający dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry $-1,0, +1$ ilorazu w zapisie redundancyjnym, począwszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, na przykład w zapisie znak-moduł lub w postaci uzupełnieniowej. Wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej, służące do przesyłania cyfr $-1,0, +1$ ilorazu w zapisie redundancyjnym z rejestrów dzielnej do zespołu przetwarzającego, i do przesyłania bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym z zespołu przetwarzającego do rejestrów dzielnej. Przetwarzanie cyfr $-1,0, +1$ ilorazu na bity zapisu uzupełnieniowego ilorazu w zespole przetwarzającym odbywa się następująco. Znak najbardziej znaczącej jedynek jest znakiem ilorazu. Najbardziej znaczącej jedynek dodatniej odpowiada jedynka na tej samej pozycji binarnej i ciąg zer na wszystkich bardziej znaczących pozycjach, a najbardziej znaczącej jedynek ujemnej odpowiada jedynka na tej samej pozycji binarnej i ciąg jedynek na wszystkich bardziej znaczących pozycjach. Z kolei bierze się pod uwagę następną jedynekę w ciągu. Jeśli jest ona dodatnia, wszystkie bity bardziej znaczące od niej są już bitami ilorazu, a jeśli ujemna, wszystkie zera na pozycjach bardziej znaczących, aż do najbliższej jedynek, jeśli takie zera istnieją, neguje się wraz z tą najbliższą jedyneką, czyli zamienia zera na jedynek, a jedynekę na zero. Takie postępowanie powtarza się kolejno dla wszystkich jedynek dodatnich i ujemnych, aż do otrzymania wszystkich bitów.

W przypadku wymaganego zapisu binarnego w postaci znak-moduł najbardziej znaczącej jedynek dodatniej odpowiada jedynka na tej samej pozycji binarnej i ciąg zer na wszystkich bardziej znaczących pozycjach, a najbardziej znaczącej jedynek ujemnej odpowiada jedynka na tej samej pozycji binarnej, jedynka na pozycji znakowej i zera na pozycjach binarnych między tymi jedynekami, jeśli nie są to jedynek na pozycjach sąsiednich. Z kolei bierze się pod uwagę następne kolejne jedynek w ciągu. W przypadku gdy najbardziej znacząca, już analizowana jedynka była dodatnia wyznaczanie dalszych bitów jest identyczne jak w zapisie uzupełnieniowym. W przypadku natomiast, gdy najbardziej znacząca, już analizowana jedynka była ujemna, postępuje się dokładnie odwrotnie, to znaczy tak jak w zapisie uzupełnieniowym przy zmienionych znakach wszystkich następnych jedynek.

Układem według wynalazku jest również inny układ cyfrowy, w skład którego wchodzi dwa rejestry równoległe dzielnej, z możliwością przesuwania ich zawartości, pamiętające w pierwszym kroku dzielenia dzielną lub jej wielokrotność w postaci dwóch składników, a w dalszych krokach dzielenia po dwa składniki kolejnych reszt, oraz rejestr równoległy dzielnika pamiętający dzielnik lub jego wielokrotność, przy czym mogą tu występować zarówno dodatnie jak i ujemne wielokrotności dzielnej i dzielnika. Układ cyfrowy dzielenia zawiera także zespół redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie. Dwoma spośród trzech zredukowanych liczb są liczby pamiętane w dwóch rejestrach dzielnej, lub bardziej znaczące części tych liczb. Trzecią zredukowaną liczbę stanowi natomiast zawartość rejestru dzielnika, jej negacja, lub zero, zależnie od ostatniej wyznaczonej w trakcie dzielenia cyfry ilorazu. W wyniku redukcji tych trzech liczb otrzymuje się w zespole redukującym dwie liczby stanowiące składniki kolejnej reszty.

Układ cyfrowy dzielenia zawiera również zespół dekodujący w kolejnych krokach dzielenia grupę bitów wziętych albo z czterech bardziej znaczących pozycji binarnych dzielnej lub jej wielokrotności, albo z czterech bardziej znaczących pozycji binarnych dwóch składników kolejnej reszty, w wyniku czego otrzymuje się na wyjściu zespołu dekodującego kolejne cyfry o wartościach $0,1,2$ ilorazu przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 2.

Wymienione zespoły cyfrowe i rejestry równoległe posiadają niżej opisane połączenia służące do przesyłania sygnałów reprezentujących informacje kodowane binarnie. Wyjścia równoległe rejestrów dzielnej i dzielnika połączone są z wejściami równoległymi zespołu redukującego, przeznaczonymi do wprowadzania trzech zredukowanych liczb. Wyjścia równoległe zespołu redukującego połączone są z wejściami rejestrów dzielnej, służącymi do wprowadzania składników kolejnej reszty. Wejścia zespołu dekodującego przeznaczone do wprowadzania dwóch czwórek bardziej znaczących bitów, wziętych z dzielnej, dwóch składników wielokrotności dzielnej, lub z dwóch składników reszty, połączone są albo z wyjściami zespołu redukującego, albo z wyjściami rejestrów

dzielnej. Wyjście zespołu dekodującego jest połączone z wejściem zespołu redukującego służącym do wprowadzania sygnału sterującego wyborem wspomnianej wcześniej trzeciej redukowanej liczby, oraz z wejściami rejestrów dzielnej, służącymi do wprowadzania kolejnej cyfr 0,1,2 ilorazu przedstawionego w zapisie redundancyjnym.

Omawiany układ dzielenia dostosowany jest do dzielenia liczb binarnych, przy założeniu, że dwa najbardziej znaczące bity wartości bezwzględnej dzielnika są jedynkami. Jeśli tak nie jest, dzielenie należy poprzedzić pomnożeniem dzielnej i dzielnika przez $3/2$ lub przez $5/4$, czyli dodaniem do dzielnej i dzielnika jednej drugiej, lub jednej czwartej ich wartości, zależnie od tego, czy trójką najbardziej znaczących bitów wartości bezwzględnej dzielnika jest trójka bitów 100 czy 101. Dodanie jednej drugiej, lub jednej czwartej dzielnej zastępuje się wprowadzeniem do dwóch rejestrów dzielnej dwu przesuniętych względem siebie dzielnych. W przypadku ujemnej dzielnej w zapisie uzupełnieniowym wprowadza się do rejestrów dzielnej negację dzielnej lub negacje dzielnych.

Dla lepszego wyjaśnienia istoty wynalazku opisano poniżej przebieg dzielenia, zakładając, że struktura omawianego układu dzielenia przystosowana jest do dzielenia liczb przedstawionych w zapisie znak-moduł. W kolejnych krokach dzielenia dzielnej, lub jej wielokrotności w postaci dwóch składników, przez dzielnik, lub jego wielokrotność, wyznacza się kolejne cyfry ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 2 i cyfrach 0,1,2. W skład poszczególnych kroków dzielenia wchodzi wykonywana w zespole redukującym redukcja trzech liczb do dwóch liczb o takiej samej ich łącznej sumie. Jako dwie z trzech redukowanych liczb bierze się w pierwszym kroku z obu rejestrów dzielnej, dzielną, dwa składniki jej wielokrotności, lub bardziej znaczące ich części, a w dalszych krokach dwa składniki kolejnych reszt chwilowych lub bardziej znaczące ich części. Trzecią redukowaną liczbą jest pobierana z rejestru dzielnika odpowiednio przesunięta jego zawartość, jej negacja lub zero, zależnie od pary czwórek bardziej znaczących bitów wziętych z dwóch pierwszych redukowanych liczb.

Dekodowanie wspomnianych par czwórek bitów odbywa się w układzie dekodującym jedno-stopniowo lub dwustopniowo, zależnie od jego struktury. Przykładowo dekodowanie dwustopniowe może obejmować dodanie modulo 2^4 dwóch czwórek bitów jako liczb czterobitowych oraz dekodowanie otrzymanej czwórki bitów. Czwórkom bitów 00XX, 01XX, 1XXX, gdzie X oznacza dowolny bit, przyporządkowuje się przy tym odpowiednio cyfry 0,1,2. Można jednak również inaczej dobranym czwórkom bitów przyporządkować cyfry 0,1,2 według innej reguły. Otrzymane w wyniku redukcji dwa składniki reszty chwilowej lub ich części wprowadza się do rejestrów dzielnej i przesuwa o jeden bit w lewo, po czym wykonuje się następny krok dzielenia. Znak ilorazu wyznacza się niezależnie na podstawie bitów znakowych dzielnej i dzielnika.

Dzięki zastosowaniu omówionego układu dzielenia, w którym zastąpiono odejmowania i dodawania przez równoległą redukcję trzech liczb do dwóch liczb z zachowaniem ich sumy, unika się czasochłonnej propagacji przeniesień w kolejnych krokach dzielenia, przez co skraca się znacznie czas wykonywania dzielenia.

W szczególności, układem cyfrowym dzielenia binarnego według wynalazku jest opisany wyżej układ, w którym w skład zespołu redukującego wchodzi działające niezależnie od siebie jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

Układem cyfrowym dzielenia binarnego według wynalazku jest w szczególności opisany układ posiadający dodatkowo połączenie łączące wyjście rejestru dzielnika z wejściem zespołu dekodującego, służącym do wprowadzania bitu znakowego dzielnika.

Układem cyfrowym dzielenia binarnego według wynalazku jest również opisany układ, zawierający dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry 0,1,2 ilorazu w zapisie redundancyjnym, począwszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, na przykład w zapisie znak-moduł lub w postaci uzupełnieniowej.

Wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej służące do przesyłania cyfr 0,1,2 ilorazu w zapisie redundancyjnym z rejestrów dzielnej do zespołu przetwarzającego i do przesyłania bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym z zespołu przetwarzającego do rejestrów dzielnej. Przetwarzanie cyfr 0,1,2 ilorazu na bity ilorazu w zespole przetwarzającym odbywa się następująco. Jeśli kolejną otrzymaną cyfrą ilorazu jest zero oznacza

to, że otrzymane wcześniej bity na wszystkich bardziej znaczących pozycjach binarnych od tej cyfry są już ostatecznie ustalone. Jeśli kolejną otrzymaną cyfrą ilorazu jest dwójka, pozostawia się chwilowo zero na jej pozycji binarnej oraz neguje się na bardziej znaczących pozycjach binarnych ciąg kolejnych jedynek aż do najbliższego zera włącznie z tym zerem, traktując zanegowane bity jako ostatecznie ustalone. Jeśli kolejną otrzymaną cyfrą ilorazu jest jedynka pozostawia się ją chwilowo jako kolejny bit ilorazu, aż do otrzymania na pozycjach mniej znaczących cyfry 0 lub 2. Wyznaczanie kolejnych cyfr w opisany wyżej sposób rozpoczyna się od chwilowego przyjęcia bitu zerowego na najbardziej znaczącej pozycji binarnej.

Układem cyfrowym według wynalazku jest również inny, różniący się od opisanych, układ dzielenia binarnego. W jego skład wchodzi dwa rejestry równoległe dzielnej, z możliwością przesuwania ich zawartości, pamiętające w pierwszym kroku dzielenia dzielną, lub jej wielokrotność w postaci dwóch składników, a w dalszych krokach dzielenia po dwa składniki kolejnych reszt, rejestr równoległy dzielnika pamiętający dzielnik lub jego wielokrotność oraz dodatkowy rejestr równoległy pamiętający trzykrotną zawartość rejestru dzielnika, przy czym mogą tu występować zarówno dodatnie jak i ujemne wielokrotności dzielnej i dzielnika.

Układ cyfrowy dzielenia zawiera także zespół redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie. Dwoma spośród trzech redukowanych liczb są liczby pamiętane w dwóch rejestrach dzielnej lub bardziej znaczące części tych liczb. Trzecią redukowaną liczbę stanowi natomiast liczba równa k -krotnej wartości rejestru dzielnika, gdzie k , jest liczbą całkowitą z przedziału od -3 do $+3$, zależną od ostatniej wyznaczonej w trakcie dzielenia cyfry ilorazu. W wyniku redukcji tych trzech liczb otrzymuje się w zespole redukującym dwie liczby stanowiące składniki kolejnej reszty.

Układ cyfrowy dzielenia zawiera również zespół dekodujący w kolejnych krokach dzielenia grupę bitów wziętych albo z pięciu bardziej znaczących pozycji binarnych dzielnej lub dwóch składników wielokrotności dzielnej, albo z pięciu bardziej znaczących pozycji binarnych dwóch składników kolejnej reszty chwilowej, i/lub bit znakowy dzielnika, w wyniku czego otrzymuje się na jego wyjściu kolejne cyfry o wartościach całkowitych od -3 do $+3$ ilorazu przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 4.

Wymienione zespoły cyfrowe i rejestry równoległe posiadają niżej opisane połączenia służące do przesyłania sygnałów reprezentujących informacje kodowane binarnie. Wyjścia równoległe rejestrów dzielnej rejestru dzielnika i dodatkowego rejestru równoległego połączone są z wejściami równoległymi zespołu redukującego, przeznaczonymi do wprowadzania w każdym kroku dzielenia trzech redukowanych liczb. Wyjścia równoległe zespołu redukującego połączone są z wejściami równoległymi obu rejestrów dzielnej, służącymi do wprowadzania składników kolejnej reszty. Wejścia zespołu dekodującego przeznaczone do wprowadzania dwóch piątek bardziej znaczących bitów, wziętych z dzielnej, dwóch składników wielokrotności dzielnej, lub z dwóch składników kolejnej reszty, połączone są albo z wyjściami zespołu redukującego, albo z wyjściami rejestrów dzielnej. Wyjście zespołu dekodującego jest połączone z wejściem zespołu redukującego służącym do wprowadzania sygnału sterującego wyborem wspomnianej wcześniej trzeciej redukowanej liczby, oraz z wejściami rejestrów dzielnej służącymi do wprowadzania kolejnych cyfr ilorazu przedstawionego w zapisie redundancyjnym.

Struktura omawianego układu dzielenia może być dostosowana zarówno do dzielenia liczb przedstawionych w zapisie binarnym uzupełnieniowym, jak i do dzielenia liczb w zapisie binarnym o postaci znak-moduł. W przypadku zapisu uzupełnieniowego trójka najbardziej znaczących bitów dzielnika, włącznie z bitem znakowym, powinna mieć postać 011 lub 100, w przypadku zapisu znak-moduł powinna mieć postać 011 lub 111. Jeśli tak nie jest, dzielenie należy poprzedzić pomnożeniem dzielnej i dzielnika przez $3/2$ lub przez $5/4$, czyli dodaniem do dzielnej i dzielnika jednej drugiej lub jednej czwartej ich wartości, tak, aby trójkę najbardziej znaczących bitów otrzymanej w ten sposób wielokrotności dzielnika doprowadzić do wymaganej postaci. Dodanie jednej drugiej lub jednej czwartej dzielnej można zastąpić wprowadzeniem do dwóch rejestrów dzielnej dwu przesuniętych względem siebie dzielnych. Do rejestru dzielnika wprowadza się natomiast dzielnik lub jego wielokrotność otrzymaną w wyniku wspomnianego dodania dwóch przesuniętych względem siebie dzielników, a do dodatkowego rejestru równoległego wprowadza się trzykrotną zawartość rejestru dzielnika.

Dla lepszego wyjaśnienia istoty wynalazku opisano poniżej przebieg dzielenia, zakładając, że struktura omówionego układu dzielenia przystosowana jest do dzielenia liczb przedstawionych w zapisie binarnym uzupełnieniowym. W kolejnych krokach dzielenia dzielnej, lub jej wielokrotności w postaci dwóch składników dzielnej, przez dzielnik lub jego wielokrotność, wyznacza się kolejne cyfry ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 4 i cyfrach -3, -2, -1, 0, +1, +2, +3.

W skład poszczególnych kroków dzielenia wchodzi wykonywana w zespole redukującym redukcja równoległa trzech liczb do dwóch liczb o takiej samej sumie. Jako dwie z trzech redukowanych liczb bierze się z obu rejestrów dzielnej w pierwszym kroku dwa składniki dzielnej, negacje tych składników lub bardziej znaczące ich części, a w następnych krokach dwa składniki kolejnych reszt chwilowych lub ich bardziej znaczące części. Trzecią redukowaną liczbą jest k-krotna zawartość rejestru dzielnika, gdzie k jest liczbą całkowitą z przedziału od -3 do +3, zależną od par piątek bardziej znaczących bitów wziętych z dwóch pierwszych redukowanych liczb. Wybór trzeciej z redukowanych liczb poprzedzony jest zdekodowaniem wspomnianych par piątek bitów na jedną z cyfr -3, -2, -1, 0, +1, +2, +3 ilorazu i jest zależny od tej cyfry. Dla uniezależnienia wyboru cyfr ilorazu w każdym kroku dzielenia od znaku dzielnika wprowadza się, w zależności od tego znaku, na początku dzielenia do rejestrów dzielnej, albo dwa składniki dzielnej albo ich negacje. Dekodowanie wspomnianych par piątek bitów odbywa się w układzie dekodującym jednostopniowo lub dwustopniowo, zależnie od jego struktury.

Przykładowo dekodowanie dwustopniowe może obejmować dodanie modulo 2^5 dwóch piątek bitów jako liczb pięciobitowych oraz dekodowanie otrzymanej piątki bitów. Niżej podanym piątkom bitów, gdzie X oznacza dowolny bit przyporządkowuje się przy tym następujące cyfry ilorazu

100XX	-3
1010X	
10110	
10111	-2
1100X	
1101X	
1110X	-1
1111X	0
000XX	+1
001XX	+2
01XXX	+3

Można jednak również inaczej dobranym piątkom bitów przyporządkować cyfry -3, -2, -1, 0, +1, +2, +3 według innej reguły.

W alternatywnym rozwiązaniu dekodera uwzględniającym również co najmniej jeden bit dzielnika, można dekodować tylko cztery bity z otrzymanych piątek bitów. Otrzymane w wyniku redukcji dwa składniki reszty chwilowej lub ich części wprowadza się do rejestrów dzielnej i przesuwa się o dwa bity w lewo, po czym wykonuje się następny krok dzielenia. Struktura układu dzielenia może być dostosowana również do dzielenia liczb przedstawionych w zapisie binarnym znak-moduł. Znak ilorazu wyznaczony jest również niezależnie od omówionego przebiegu dzielenia na podstawie bitów znakowych dzielnej i dzielnika.

W rejestrach dzielnej i dzielnika oraz w rejestrze dodatkowym pamiętane są wówczas wartości bezwzględne dzielnej, składników dzielnej, dzielnika oraz ich wielokrotności. Takie rozwiązanie układu może być zresztą przyjęte również dla dzielenia liczb w zapisie binarnym uzupełnieniowym. W przypadku dzielnej lub dzielnika ujemnego wprowadza się wtedy do rejestrów dzielnej i dzielnika negacje tych liczb lub ich wielokrotności.

Dzięki zastosowaniu omówionego układu dzielenia, w którym zastąpiono odejmowania i dodawania przez równoległą redukcję trzech liczb do dwóch liczb z zachowaniem ich sumy, unika się czasochłonnej propagacji przeniesień w kolejnych krokach dzielenia przez co skraca się znacznie czas wykonywania dzielenia.

W szczególności, układem cyfrowym dzielenia binarnego według wynalazku jest opisany wyżej układ, w którym w skład zespołu redukującego wchodzi działające niezależnie od siebie

jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

Układem cyfrowym dzielenia binarnego według wynalazku jest w szczególności opisany układ posiadający dodatkowo połączenie łączące wyjście rejestru dzielnika z wejściem zespołu dekodującego, służącym do wprowadzania bitu znakowego dzielnika.

Układem cyfrowym dzielenia binarnego według wynalazku jest również opisany układ, zawierający dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry $-3, -2, -1, 0, +1, +2, +3$ ilorazu w zapisie redundancyjnym, począwszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, na przykład w zapisie znak-moduł lub w postaci uzupełnieniowej. Wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej, służące do przesyłania cyfr $-3, -2, -1, 0, +1, +2, +3$ ilorazu w zapisie redundancyjnym z rejestrów dzielnej do zespołu przetwarzającego i do przesyłania bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym z zespołu przetwarzającego do rejestrów dzielnej. Przetwarzanie cyfr $-3, -2, -1, 0, +1, +2, +3$ ilorazu na bity ilorazu w zespole przetwarzającym odbywa się następująco. Ciągowi cyfr z zakresu od -3 do $+3$ reprezentującemu iloraz przyporządkowuje się najpierw ciąg cyfr z zakresu od -1 do $+1$ w ten sposób, że kolejnym cyfrom $3, 2, 1, 0, 1, 2, 3$ odpowiadają pary $11, 10, 01, 00, 01, 10, 11$. Znak najbardziej znaczącej jedynek w otrzymanym ciągu jest znakiem ilorazu. Najbardziej znaczącej jedynce dodatniej odpowiada w binarnym zapisie uzupełnieniowym jedynka na tej samej pozycji binarnej i ciąg zer na wszystkich bardziej znaczących pozycjach, a najbardziej znaczącej jedynce ujemnej odpowiada jedynka na tej samej pozycji binarnej i ciąg jedynek na wszystkich bardziej znaczących pozycjach. Z kolei bierze się pod uwagę następną jedynkę w ciągu. Jeśli jest ona dodatnia wszystkie bity bardziej znaczące od niej są już bitami ilorazu, a jeśli ujemna wszystkie zera na pozycjach bardziej znaczących, aż do najbliższej jedynek, jeśli takie zera istnieją, neguje się wraz z tą najbliższą jedynką, czyli zamienia zera na jedynek i jedynkę na zero.

Takie postępowanie powtarza się kolejno dla wszystkich jedynek dodatnich i ujemnych, aż do otrzymania wszystkich bitów ilorazu. W przypadku wymaganego zapisu binarnego w postaci znak-moduł najbardziej znaczącej jedynce dodatniej w ciągu zer i jedynek ze znakami odpowiada jedynka na tej samej pozycji binarnej i ciąg zer na wszystkich bardziej znaczących pozycjach, a najbardziej znaczącej jedynce ujemnej odpowiada jedynka na tej samej pozycji binarnej, jedynka na pozycji znakowej i zera na pozycjach binarnych między tymi jedynekami, jeśli nie są to jedynek na pozycjach sąsiednich. Z kolei bierze się pod uwagę następne kolejne jedynek w ciągu. W przypadku gdy najbardziej znacząca, już analizowana jedynka była dodatnia wyznaczanie dalszych bitów jest identyczne jak w zapisie uzupełnieniowym. W przypadku natomiast, gdy najbardziej znacząca, już analizowana jedynka była ujemna, postępuje się dokładnie odwrotnie, to znaczy tak jak w zapisie uzupełnieniowym przy zmienionych znakach wszystkich następnych jedynek.

Przedmiot wynalazku został przedstawiony w przykładach wykonania na rysunkach, które przedstawiają: fig. 1 — schemat blokowy układu cyfrowego dzielenia binarnego wytwarzającego cyfry ilorazu $-1, 0, +1$ dla którego przykład liczbowy dzielenia pokazano w tabl. 1, fig. 2 — schemat blokowy układu cyfrowego dzielenia binarnego wytwarzającego cyfry ilorazu $0, 1, 2$, dla którego przykład liczbowy dzielenia pokazano w tabl. 2, fig. 3 — schemat blokowy układu cyfrowego dzielenia binarnego wytwarzającego cyfry ilorazu $-3, -2, -1, 0, +1, +2, +3$, dla którego przykład liczbowy dzielenia pokazano w tabl. 3.

Pierwszy przykład wykonania układu dzielenia według wynalazku pokazano w schemacie blokowym, na fig. 1. Układ zawiera dwa rejestry równoległe A i B pamiętające w pierwszym kroku dzielenia dwa składniki dzielnej, a w następnych krokach dzielenia po dwa składniki kolejnej reszty chwilowej, przesuwanej po każdym kroku dzielenia o jedną pozycję binarną w lewo, oraz zawiera rejestr równoległy C pamiętający dzielnik.

W skład układu wchodzi również: zespół R redukujący równoległe trzy liczby do dwóch liczb z zachowaniem ich sumy, oraz zespół D dekodujący po dwie trójki bitów na zakodowane binarnie cyfry $-1, 0, +1$ ilorazu. Zespół redukujący R złożony jest z szeregu niezależnych jednopozycyjnych sumatorów binarnych, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów wchodzących w skład dwóch zredukowanych liczb.

Dwiema z trzech redukowanych liczb są dwa składniki dzielnej lub dwa składniki kolejnej reszty chwilowej, przesyłane z rejestrów A, B do zespołu R równoległymi połączeniami, oznaczonymi na fig. 1 podwójnymi strzałkami, łączącymi wyjścia 1, 2 rejestrów A, B z wejściami 4, 5 zespołu R. Trzecią z redukowanych liczb jest dzielnik, jego negacja, lub zero, zależnie od ostatniej wyznaczonej w trakcie dzielenia cyfry ilorazu. Dzielnik przesyłany jest z rejestru C do zespołu R równoległym połączeniem oznaczonym podwójną strzałką łączącą wyjście 3 rejestru C z wejściem 6 zespołu R.

Otrzymane w wyniku redukcji dwa składniki kolejnej reszty przesyłane są z zespołu R do rejestrów A, B równoległymi połączeniami łączącymi wyjścia 7, 8 zespołu R z wejściami 9, 10 rejestrów A, B. Niezależnie od tego para trójek bardziej znaczących bitów, wziętych z obu zredukowanych liczb, jest przesyłana z zespołu R do zespołu D połączeniami łączącymi wyjścia 13, 14 zespołu R z wejściami 11, 12 zespołu D. Zespół dekodujący D zawiera sumator trójpozycyjny oraz dekodery, w którym wyznaczane są zakodowane binarnie cyfry $-1,0, +1$ ilorazu. Cyfry te przesyłane są połączeniem łączącym wyjście 17 zespołu D z wejściem 18 zespołu R, dla którego stanowią sygnał sterujący wyborem trzeciej redukowanej liczby, oraz z wejściami 19 i 20 rejestrów A i B, w których są pamiętane.

Działanie omawianego układu dzielenia zilustrowano na przykładzie liczbowym pokazanym w tabl. 1. Przykład ten przedstawia przebieg dzielenia liczb całkowitych, w którym w kolejnych krokach dzielenia wyznacza się kolejne cyfry $-1,0, +1$, ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 2. W przykładzie przyjęto, że dzielna $a = -1266$ złożona z dwóch składników $\dot{a} = -6615$, $\ddot{a} = +5349$, przedstawionych w zapisie binarnym uzupełnieniowym, dzielona jest przez dzielnik $b = +43$, w wyniku czego otrzymuje się iloraz $q = -29$ i dwuskładnikową resztę $r = -29$ i dwuskładnikową resztę $r = -19$. Symbolami $\dot{a}$, $\ddot{a}$, r oznaczono w tabl. 1 składniki dzielnej i resztę, a symbolami b i $\bar{b}$ oznaczono dzielnik i jego negację. Kolejne trójki redukowanych liczb w kolejnych krokach dzielenia rozdzielono kreskami poziomymi, a bity redukowanych liczb nie brane pod uwagę przy redukcji jako nie mające wpływu na dalszy przebieg dzielenia, oddzielono kreskami pionowymi. Pary trójek bitów składników dzielnej i pary trójek bitów składników kolejnych reszt chwilowych, od których zależą cyfry ilorazu i wybór trzeciej redukowanej liczby, objęto linią zamkniętą. W ten sam sposób zaznaczono pojedyncze pary bitów ze składników dzielnej dopisywane w kolejnych krokach do reszt chwilowych. W przypadku, gdy trzecią z redukowanych liczb jest negacja dzielnika, przy redukcji uwzględnia się jedynie na najmniej znaczącej pozycji binarnej. Takie korekcyjne jedynki pokazano w tabl. 1 w małych kwadracikach dwukrotnie: raz z prawej strony zanegowanych dzielników, drugi raz we wskazanych strzałkami miejscach, w których zostaną wzięte pod uwagę przy kolejnej redukcji. Sposób redukowania trzech liczb do dwóch liczb wyjaśnia powtórzona w prawej górnej części tabl. 1 redukcja z drugiego kroku dzielenia. Pokazano tam jakie pary bitów liczb po redukcji przyporządkowuje się poszczególnym trójkom bitów liczb sprzed redukcji. Dwustopniowe wyznaczanie cyfr ilorazu na podstawie par trójek bitów objętych w tabl. 1 liniami zamkniętymi pokazano z prawej strony tablicy. W wyniku dodania dwóch liczb trójbitych modulo 2^3 , otrzymuje się mianowicie przedstawione z prawej strony tablicy trójki bitów, którym następnie przyporządkowuje się podane w kółkach cyfry $-1,0, +1$ ilorazu. Omówiony sposób wyznaczania cyfr ilorazu można oczywiście zastąpić jednostopniowym wyznaczaniem cyfr w większym dekoderyze o sześciobitowym wejściu. Otrzymanym cyfrom $-1,0, +1$ ilorazu przyporządkowuje się w następnym kroku dzielenia w przypadku dodatniego dzielnika jako trzeci redukowany składnik odpowiednio: dzielnik, zero i negację dzielnika. Na dole tabl. 1 pokazano sposób przekształcania zapisu ilorazu o cyfrach $-1,0, +1$ najpierw na zapis binarny uzupełnieniowy, a następnie na zapis binarny w postaci znak-moduł. Strzałkami pokazano, które jedynki ilorazu przedstawionego w zapisie redundancyjnym mają wpływ na poszczególne bity ilorazu w wymaganej postaci binarnej.

Drugi przykład wykonania dzielenia według wynalazku pokazano w schemacie blokowym na fig. 2. Układ zawiera dwa rejestry równoległe A i B pamiętające w pierwszym kroku dzielenia dzielną i zero lub dwa składniki wielokrotności dzielnej, a w następnych krokach dzielenia po dwa składniki kolejnej reszty, przesuwanej po każdym kroku dzielenia o jedną pozycję binarną w lewo, oraz zawiera rejestr równoległy C pamiętający dzielnik lub jego wielokrotność. W skład układu wchodzi również: zespół R redukujący równoległe trzy liczby do dwóch liczb z zachowaniem ich

sumy, oraz zespół D dekodujący po dwie czwórki bitów na zakodowane binarnie cyfry 0, 1, 2 ilorazu. Zespół redukujący R złożony jest z szeregu niezależnych jednopozycyjnych sumatorów binarnych, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów wchodzących w skład dwóch zredukowanych liczb. Dwoma z trzech redukowanych liczb są dzielna i zero, lub dwa składniki wielokrotności dzielnej, albo dwa składniki kolejnej reszty, przesyłane z rejestrów A, B do zespołu R równoległymi połączeniami, oznaczonymi na fig. 2 podwójnymi strzałkami, łączącymi wyjścia 1, 2 rejestrów A, B z wejściami 4, 5 zespołu R. Trzecią z redukowanych liczb jest dzielnik, jego wielokrotność lub zero. Dzielnik lub jego wielokrotność przesyłana jest z rejestru C do zespołu R równoległym połączeniem oznaczonym podwójną strzałką łączącą wyjście 3 rejestru C z wejściem 6 zespołu R. Otrzymane w wyniku redukcji dwa składniki kolejnej reszty przesyłane są z zespołu R do rejestrów A, B równoległymi połączeniami łączącymi wyjścia 7, 8 zespołu R z wejściami 9, 10 rejestrów A, B. Z rejestrów A, B para czwórek bardziej znaczących bitów jest przesyłana do zespołu D połączeniami łączącymi wyjścia 15, 16 rejestrów A, B z wejściami 11, 12 zespołu D. Zespół dekodujący D zawiera sumator czteropozycyjny oraz dekodery, w którym wyznaczane są zakodowane binarnie cyfry 0, 1, 2 ilorazu. Cyfry te przesyłane są połączeniem łączącym wyjście 17 zespołu D z wejściem 18 zespołu R, dla którego stanowią sygnał sterujący wyborem trzeciej redukowanej liczby, oraz z wejściami 19 i 20 rejestrów A i B, w których są pamiętane. Działanie omówionego układu dzielenia zilustrowano na przykładzie liczbowym pokazanym w tabl. 2.

Przykład ten przedstawia przebieg dzielenia liczb całkowitych dodatnich, w którym w kolejnych krokach dzielenia wyznaczane są kolejne cyfry 0, 1, 2 ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 2. W przykładzie przyjęto, że dzielna $a = +6309$ dzielona jest przez dzielnik $b = +41$. Z uwagi na to, że trójka najbardziej znaczących bitów wartości bezwzględnej dzielnika 0101001 ma postać 101 dzielenie poprzedzone jest wyznaczeniem $5/4$ -krotności dzielnika, oznaczonej w tabl. 2 przez β dzielnej i dzielnej przesuniętej o 2 pozycje binarne w prawo. W wyniku dzielenia otrzymuje się iloraz $q = +153$ oraz $5/4$ -krotności reszty $5/4r = +45$, odpowiadającej wartości reszty $r = +36$. Wszystkie występujące w tabl. 2 oznaczenia graficzne takie jak linie i strzałki zostały opisane już w poprzednim przykładzie liczbowym w odniesieniu do tabl. 1. W górnym prawym rogu tabl. 2 pokazano sposób redukowania trzech liczb do dwóch liczb, dla redukcji z pierwszego kroku dzielenia omawianego przykładu liczbowego. W prawym dolnym rogu tabl. 2 pokazano natomiast sposób przekształcania zapisu ilorazu o cyfrach 0, 1, 2, na jego zapis binarny.

Trzeci przykład wykonania układu dzielenia według wynalazku pokazano w schemacie blokowym na fig. 3. Układ zawiera dwa rejestry równoległe A i B pamiętające w pierwszym kroku dzielenia dzielną i zero lub dwa składniki wielokrotności dzielnej, a w następnych krokach dzielenia dwa składniki kolejnej reszty, przesuwanej po każdym kroku dzielenia o dwie pozycje binarne w lewo. Układ zawiera również rejestr równoległy C pamiętający dzielnik lub jego wielokrotność oraz rejestr równoległy T pamiętający trzykrotną zawartość rejestru C. W skład układu wchodzi również: zespół R redukujący równoległe trzy liczby do dwóch liczb z zachowaniem ich sumy, oraz zespół D dekodujący po dwie piątki bitów na zakodowane binarnie cyfry z zakresu od -3 do +3 ilorazu w zapisie redundancyjnym. Zespół redukujący R złożony jest z szeregu niezależnych jednopozycyjnych sumatorów binarnych, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów wchodzących w skład dwóch zredukowanych liczb. Dwoma z trzech redukowanych liczb są dzielna i zero lub dwa składniki wielokrotności dzielnej, albo dwa składniki kolejnej reszty, przesyłane z rejestrów A, B do zespołu R równoległymi połączeniami, oznaczonymi na fig. 3 podwójnymi strzałkami, łączącymi wyjścia 1, 2 rejestrów A, B z wejściami 4, 5 zespołu R. Trzecią z redukowanych liczb jest dzielnik, jego wielokrotność lub zero. Dzielnik lub jego wielokrotność przesyłana jest albo z rejestru C do zespołu R równoległym połączeniem oznaczonym na fig. 3 podwójną strzałką łączącą wyjście 3 rejestru C z wejściem 6 zespołu R, albo z rejestru T do zespołu R równoległym połączeniem oznaczonym podwójną strzałką łączącą wyjście 23 rejestru T z wejściem 24 zespołu R w zależności od ostatniej wyznaczonej w trakcie dzielenia cyfry ilorazu. Otrzymane w wyniku redukcji dwa składniki kolejnej reszty przesyłane są z zespołu R do rejestrów A, B równoległymi połączeniami łączącymi

wyjścia 7, 8 zespołu R z wejściami 9, 10 rejestrów A, B. Z rejestrów A, B para piątek bardziej znaczących bitów jest przesyłana do zespołu D połączeniami łączącymi wyjścia 15, 16 rejestrów A, B z wejściami 11, 12 zespołu D. Zespół dekodujący D zawiera sumator pięciopozycyjny oraz dekodery, w którym wyznaczane są zakodowane binarnie cyfry z zakresu od -3 do +3 ilorazu w zapisie redundancyjnym o podstawie 4. Cyfry te przesyłane są połączeniem łączącym wyjście 17 zespołu D z wejściem 18 zespołu R, dla którego stanowią sygnał sterujący wyborem trzeciej redukowanej liczby, oraz z wejściami 19, i 20 rejestrów A, B, w których są pamiętane. Działanie omawianego układu dzielenia zilustrowano na przykładzie liczbowym pokazanym w tabl. 3. Przykład ten przedstawia przebieg dzielenia liczb całkowitych, w którym w kolejnych krokach dzielenia wyznaczane są kolejne cyfry -3, -2, -1,0, +1, +2, +3 ilorazu w zapisie redundancyjnym o podstawie rozwinięcia 4. W przykładzie przyjęto, że dzielna $a = +12461$ dzielona jest przez dzielnik $b = +70$. Z uwagi na to, że trójka najbardziej znaczących bitów dzielnika 01000110 ma być doprowadzona do postaci 011 dzielenie poprzedzone jest wyznaczeniem $3/2$ -krotności dzielnika oznaczonej w tabl. 3 przez β , gdzie $\beta = 3/2b$, oraz zapamiętaniem w rejestrach A, B dzielnej i dzielnej przesuniętej o jedną pozycję binarną w prawo. W wyniku dzielenia otrzymuje się iloraz $q = +178$ oraz $3/2$ -krotność reszty $3/2r = +1,5$ odpowiadającej wartości reszty $r = +1$. Występujące w tabl. 3 oznaczenia graficzne takie jak linie i strzałki zostały opisane już poprzednio w pierwszym przykładzie liczbowym w odniesieniu do tabl. 1. W górnym prawym rogu tabl. 3 pokazano sposób redukowania trzech liczb do dwóch liczb dla redukcji z pierwszego kroku dzielenia omawianego przykładu liczbowego. W prawym dolnym rogu tabl. 3 pokazano natomiast sposób przekształcania zapisu ilorazu o cyfrach -3, -2, -1,0, +1, +2, +3 na jego zapis binarny.

Zastrzeżenia patentowe

1. Układ cyfrowy dzielenia binarnego w skład którego wchodzi dwa rejestry równoległe dzielnej pamiętające w pierwszym kroku dzielenia dwa składniki dzielnej lub ich negacje, a w dalszych krokach dzielenia po dwa składniki kolejnej reszty chwilowej lub reszty końcowej, oraz rejestr równoległy dzielnika pamiętający dzielnik lub jego negację, **znamienny tym**, że zawiera zespół (R) redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie, z których dwiema redukowanymi liczbami są liczby pamiętane w dwóch rejestrach dzielnej (A, B) lub bardziej znaczące części tych liczb, a trzecią redukowaną liczbę stanowi pamiętany w rejestrze dzielnika (C) dzielnik, jego negacja, lub zero, dla otrzymania w wyniku redukcji dwóch składników kolejnej reszty chwilowej lub reszty końcowej, zespół (D) dekodujący w kolejnych krokach dzielenia po dwie trójki bitów wziętych z trzech bardziej znaczących pozycji binarnych dwóch składników dzielnej, ich negacji lub dwóch składników reszty chwilowej i/lub bit znakowy dzielnika, w wyniku czego otrzymuje się na jego wyjściu kolejne cyfry o wartościach -1,0, +1 ilorazu przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 2, przy czym wyjścia równoległe (1, 2, 3) rejestrów dzielnej i dzielnika (A, B, C), połączone są z wejściami równoległymi (4, 5, 6) zespołu redukującego (R) przeznaczonymi do wprowadzania trzech redukowanych liczb, wyjścia równoległe (7, 8) zespołu redukującego (R) połączone są z wejściami równoległymi (9, 10) rejestrów dzielnej (A, B) służącymi do wprowadzania składników reszty chwilowej lub końcowej, wejścia (11, 12) zespołu dekodującego (D), przeznaczone do wprowadzania dwóch trójek bardziej znaczących bitów, wziętych z dwóch składników dzielnej ich negacji, lub z dwóch składników reszty chwilowej, połączone są albo z wyjściami (13, 14) zespołu redukującego (R) albo z wyjściami (15, 16) rejestrów dzielnej (A, B), wyjście ((17) zespołu dekodującego (D) jest połączone z wejściem (18) zespołu redukującego (R) służącym do wprowadzania sygnału sterującego wyborem wspomnianej trzeciej redukowanej liczby oraz z wejściami (19, 20) rejestrów dzielnej (A, B), służącymi do wprowadzania kolejnych cyfr -1,0, +1 ilorazu przedstawionego w zapisie redundancyjnym.

2. Układ według zastrz. 1, **znamienny tym**, że w skład zespołu redukującego (R) wchodzi działające niezależnie od siebie jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

3. Układ według zastrz. 1, **znamienny tym**, że posiada dodatkowo połączenie łączące wyjście (21) rejestru dzielnika (C) z wejściem (22) zespołu dekodującego (D), służącym do wprowadzania bitu znakowego dzielnika.

4. Układ według zastrz. 1, **znamienny tym**, że zawiera dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry ilorazu -1,0, +1 w zapisie redundancyjnym, począwszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, przy czym wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej (A, B) służące do przesyłania cyfr -1, 0, +1 ilorazu w zapisie redundancyjnym i bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym.

5. Układ cyfrowy dzielenia binarnego, w skład którego wchodzi dwa rejestry równoległe dzielnej pamiętające w pierwszym kroku dzielenia dzielną, lub jej wielokrotność w postaci dwóch składników, a w dalszych krokach dzielenia po dwa składniki kolejnych reszt, oraz rejestr równoległy dzielnika pamiętający dzielnik lub jego wielokrotność, **znamienny tym**, że zawiera zespół (R) redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie, z których dwiema redukowanymi liczbami są liczby pamiętane w dwóch rejestrach dzielnej (A, B) lub bardziej znaczące części tych liczb, a trzecią redukowaną liczbę stanowi zawartość rejestru dzielnika (C) jej negacja lub zero, dla otrzymania w wyniku redukcji dwóch składników kolejnej reszty, zespół (D) dekodujący w kolejnych krokach dzielenia grupę bitów wziętych albo z czterech bardziej znaczących pozycji binarnych dzielnej lub jej wielokrotności, albo z czterech bardziej znaczących pozycji binarnych dwóch składników kolejnej reszty, w wyniku czego otrzymuje się na jego wyjściu kolejne cyfry o wartościach 0, 1, 2 ilorazu przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 2, przy czym wyjścia równoległe (1, 2, 3) rejestrów dzielnej i dzielnika (A, B, C) połączone są z wejściami równoległymi (4, 5, 6) zespołu redukującego (R) przeznaczonymi do wprowadzania redukowanych liczb; wyjścia równoległe (7, 8) zespołu redukującego (R) połączone są z wejściami (9, 10) rejestrów dzielnej (A, B), służącymi do wprowadzania składników kolejnej reszty, wejścia (11, 12) zespołu dekodującego (D) przeznaczone do wprowadzania dwóch czwórek bardziej znaczących bitów, wziętych z dzielnej, dwóch składników wielokrotności dzielnej, lub z dwóch składników kolejnej reszty połączone są albo z wyjściami (13, 14) zespołu redukującego (R) albo z wyjściami (15, 16) rejestrów dzielnej (A, B) wyjście (17) zespołu dekodującego (D) jest połączone z wejściem (18) zespołu redukującego (R) służącym do wprowadzania sygnału sterującego wyborem wspomnianej trzeciej redukowanej liczby oraz z wejściami (19, 20) rejestrów dzielnej (A, B), służącymi do wprowadzania kolejnych cyfr 0, 1, 2 ilorazu przedstawionego w zapisie redundancyjnym.

6. Układ według zastrz. 5, **znamienny tym**, że w skład zespołu redukującego (R) wchodzi działające niezależnie od siebie jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

7. Układ według zastrz. 5, **znamienny tym**, że posiada dodatkowo połączenie łączące wyjście (21) rejestru dzielnika (C) z wejściem (22) zespołu dekodującego (D), służącym do wprowadzania bitu znakowego dzielnika.

8. Układ według zastrz. 5, **znamienny tym**, że zawiera dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry ilorazu 0, 1, 2 w zapisie redundancyjnym, począwszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, przy czym wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej (A, B) służące do przesyłania cyfr 0, 1, 2 ilorazu w zapisie redundancyjnym i bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym.

9. Układ cyfrowy dzielenia binarnego, w skład którego wchodzi dwa rejestry równoległe dzielnej pamiętające w pierwszym kroku dzielenia dzielną, lub jej wielokrotność w postaci dwóch składników, a w dalszych krokach dzielenia po dwa składniki kolejnych reszt, oraz rejestr równoległy dzielnika pamiętający dzielnik lub jego wielokrotność, **znamienny tym**, że zawiera dodatkowy rejestr równoległy (T) pamiętający trzykrotną zawartość rejestru dzielnika (C) zespół (R) redukujący równoległe w kolejnych krokach dzielenia trzy liczby do dwóch liczb o takiej samej sumie, z których dwiema redukowanymi liczbami są liczby pamiętane w dwóch rejestrach dzielnej (A, B) lub

bardziej znaczące części tych liczb, a trzecią redukowaną liczbę stanowi liczba równa k -krotnej zawartości rejestru dzielnika (C), gdzie k jest liczbą całkowitą z przedziału od -3 do +3, dla otrzymania w wyniku redukcji dwóch składników kolejnej reszty, zespół (D) dekodujący w kolejnych krokach dzielenia grupę bitów wziętych albo z pięciu bardziej znaczących pozycji binarnych dzielnej, lub dwóch składników wielokrotności dzielnej, albo z pięciu bardziej znaczących pozycji binarnych dwóch składników kolejnej reszty i/lub bit znakowy dzielnika, w wyniku czego otrzymuje się na jego wyjściu kolejne cyfry o wartościach całkowitych od -3 do +3 ilorazu przedstawionego w pozycyjnym zapisie redundancyjnym o podstawie rozwinięcia 4, przy czym wyjścia równoległe (1, 2, 3, 23) rejestrów dzielnej (A, B) rejestru dzielnika (C) i dodatkowego rejestru (T) połączone są z wejściami równoległymi (4, 5, 6, 24) zespołu redukującego (R) przeznaczonymi do wprowadzania w każdym kroku dzielenia trzech redukowanych liczb, wyjścia równoległe (7, 8) zespołu redukującego (R) połączone są z wejściami (9, 10) rejestrów dzielnej (A, B), służącymi do wprowadzania składników kolejnej reszty, wejścia (11, 12) zespołu dekodującego (D) przeznaczone do wprowadzania dwóch piątek bardziej znaczących bitów, wziętych z dzielnej, dwóch składników wielokrotności dzielnej, lub z dwóch składników kolejnej reszty połączone są albo z wyjściami (13, 14) zespołu redukującego (R) albo z wyjściami (15, 16) rejestrów dzielnej (A, B), wyjście (17) zespołu dekodującego (D) jest połączone z wejściem (18) zespołu redukującego (R) służącym do wprowadzania sygnału sterującego wyborem wspomnianej trzeciej redukowanej liczby oraz z wejściami (19, 20) rejestrów dzielnej (A, B) służącymi do wprowadzania kolejnych cyfr -3, -2, -1,0, +1, +2, +3 ilorazu przedstawionego w zapisie redundancyjnym.

10. Układ według zastrz. 9, **znamienny tym**, że w skład zespołu redukującego (R) wchodzi działające niezależnie od siebie jednopozycyjne sumatory binarne, z których każdy redukuje trójkę bitów wziętych z tej samej pozycji binarnej trzech redukowanych liczb do pary bitów dla dwóch składników kolejnej reszty.

11. Układ według zastrz. 9, **znamienny tym**, że posiada dodatkowo połączenie łączące wyjście (21) rejestru dzielnika (C) z wejściem (22) zespołu dekodującego (D), służącym do wprowadzania bitu znakowego dzielnika.

12. Układ według zastrz. 9, **znamienny tym**, że zawiera dodatkowo zespół przetwarzający na bieżąco otrzymywane cyfry ilorazu -3, -2, -1,0, +1, +2, +3 w zapisie redundancyjnym, poczynawszy od cyfr bardziej znaczących, na bity ilorazu w wymaganym binarnym zapisie nieredundancyjnym, przy czym wspomniany zespół przetwarzający posiada połączenia z rejestrami dzielnej (A, B) służące do przesyłania cyfr -3, -2, -1,0, +1, +2, +3 ilorazu w zapisie redundancyjnym i bitów ilorazu w wymaganym nieredundancyjnym zapisie binarnym.

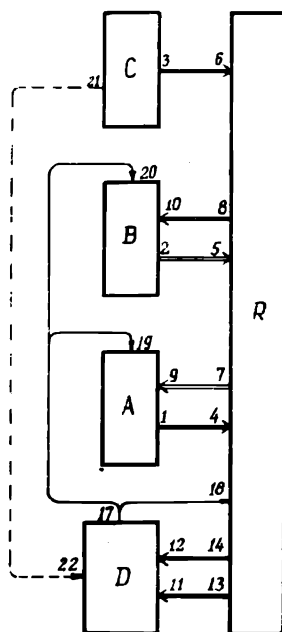


Fig. 1

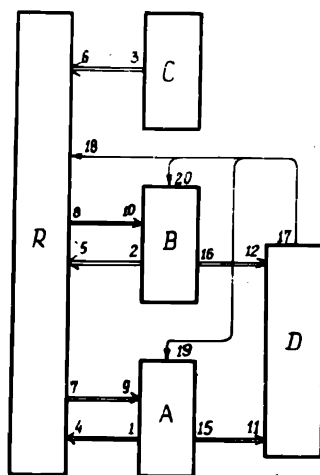


Fig. 2

b	0101001	1100010101010
$\frac{1}{2}b$	01010,01	1001100011
β	0110011,01	01100110011
$-\beta$	1001100,11	1001100010
$\frac{1}{2}a$	01100010100101 01100010100101 100110011	0111 ①
-2β	0110110110 100100010-1 100110011-	1000 ②
$-\beta$	01010110011 100110011	0100 ①
0	1000110000 010110011-0 0	0011 ③
$-\beta$	01111110001 000000000-1 100110011	0111 ①
-2β	0110010111 100110001-0 100110011-	1001 ②
$-\beta$	01001101000 011000110-1 100110011	0101 ①
$\frac{1}{2}\tau$	001000010 100111001-	
$\frac{1}{2}\tau$	010110100	
		$q = 1210121$
		0 1 2 1 0 1 2 1
		0 1 0 0 1 1 0 0 1

tabl. 2

b	01000110	110000000101
$\frac{1}{2}b$	01000110	101000000101
β	011010010	01100000010
$\bar{\beta}$	100101101	1100000001
3β	01001110110	
$3\bar{\beta}$	10110001001	
$\frac{1}{2}a$	0011000010101101 0011000010101101 10110001001	01001 +3
β	01100111001 11000000100 011010010	11100 -1
$\bar{\beta}$	01110010110 00011010-1 100101101	00001 +1
2β	0011010001 10010111001 011010010-	11000 -2
$\frac{1}{2}\tau$	010111011 10100100-	
$\frac{1}{2}\tau$	00000001,1	$q = 3112$
		+3 -1 +1 -2
		1 1 0 1 0 1 1 0
		0 1 0 1 1 0 0 1 0

tabl. 3