

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/76 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200880013173.X

[43] 公开日 2010 年 3 月 17 日

[11] 公开号 CN 101675512A

[22] 申请日 2008.4.4

[21] 申请号 200880013173.X

[30] 优先权

[32] 2007.4.23 [33] US [31] 11/738,683

[86] 国际申请 PCT/US2008/059352 2008.4.4

[87] 国际公布 WO2008/130818 英 2008.10.30

[85] 进入国家阶段日期 2009.10.23

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 约翰·M·格兰特

斯里坎斯·B·萨玛维丹

苏雷什·文卡特森

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 李 佳 穆德骏

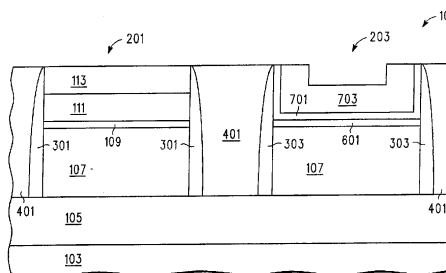
权利要求书 5 页 说明书 9 页 附图 6 页

[54] 发明名称

半导体器件中的分隔层的形成

[57] 摘要

半导体器件(101)形成于半导体层(107)中。在半导体层(107)上方形成第一栅极电介质层(109)。在第一栅极电介质层(109)上方形成第一传导层(111)。在第一传导层上方形成第一分隔层(113)。在半导体层(107)中形成将第一台面(201)和第二台面(203)分隔的槽(205)。用隔离材料(401)填充槽(205)直到高于第一传导层(111)的顶表面的高度。将第一传导层(111)从第二台面(203)移除。在第一台面(203)的第一分隔层(113)上方和第二台面(203)上方形成第二传导层(703)。进行平坦化蚀刻以从第一台面(201)上方移除第二传导层(703)。在第一台面(201)中形成第一类型的第一晶体管(1201)并在第二台面(203)中形成第二类型的第二晶体管(1203)。



1. 一种形成半导体器件的方法，包括：

在半导体层上方形成第一栅极电介质层；

在所述第一栅极电介质层上方形成第一传导层；

在所述第一传导层上方形成第一分隔层；

在形成所述第一分隔层之后，在所述半导体层中形成槽，所述槽使第一台面和第二台面分隔；其中所述第一台面和所述第二台面每个均包括所述第一栅极电介质层的一部分、所述第一传导层的一部分、所述第一分隔层的一部分和所述半导体层的一部分；

用隔离材料填充所述槽直到高于所述第一传导层的顶表面的高度；

从所述第二台面移除所述第一传导层的所述部分；

在从所述第二台面移除所述第一传导层的所述部分之后，在所述第一台面所述第一分隔层的所述部分上方和所述第二台面上方形成第二传导层；

执行平坦化，以从所述第一台面上方移除所述第二传导层；以及

在所述第一台面中形成第一类型的第一晶体管并在所述第二台面中形成第二类型的第二晶体管。

2. 根据权利要求1所述的方法，其中形成所述第一传导层的步骤的进一步特征在于：所述第一传导层包括金属。

3. 根据权利要求1所述的方法，其中形成所述第二传导层的步骤的进一步特征在于：所述第二传导层包括金属。

4. 根据权利要求3所述的方法，其中形成所述第一传导层的步骤的进一步特征在于：所述第一传导层包括与所述第二传导层金属不同类型的金属。

5. 根据权利要求 1 所述的方法, 进一步包括:

在形成所述第二传导层的步骤之前, 从所述第二台面移除所述栅极电介质层的所述部分; 以及

在从所述第二台面移除所述栅极电介质层的所述部分步骤之后并且在形成所述第二传导层的步骤之前, 在所述第二台面上外延地生长第二半导体层。

6. 根据权利要求 1 所述的方法, 进一步包括:

在所述第一台面周围形成第一侧壁间隔物;

在所述第二台面周围形成第二侧壁间隔物。

7. 根据权利要求 1 所述的方法, 进一步包括: 在从所述第二台面移除所述第一传导层的所述部分的步骤之后并且在形成所述第二传导层之前, 执行退火。

8. 根据权利要求 1 所述的方法, 进一步包括:

在从所述第二台面移除所述第一传导层的所述部分的步骤之后, 在所述第二台面所述第一栅极电介质层的所述部分上形成第二栅极电介质层。

9. 根据权利要求 1 所述的方法, 进一步包括: 选择性地掺杂所述半导体层, 使得所述第一台面所述半导体层的所述部分具有与所述第二台面所述半导体层的所述部分不同的传导类型。

10. 根据权利要求 1 所述的方法, 进一步包括:

从所述第二台面移除所述第一栅极电介质层的所述部分; 以及

在从所述第二台面移除所述第一栅极电介质层的所述部分的步骤之后, 在所述第二台面上形成第二栅极电介质层。

11. 根据权利要求 1 所述的方法, 其中形成所述第一栅极电介质

层的步骤的进一步特征在于：所述第一栅极电介质层包括金属和氧。

12. 根据权利要求 1 所述的方法，其中形成所述第一分隔层的步骤的进一步特征在于：所述第一分隔层包括氮化物。

13. 根据权利要求 1 所述的方法，进一步包括：在填充所述槽的步骤之后并且在从所述第二台面移除所述第一传导层的所述部分的步骤之前，执行化学机械抛光。

14. 一种形成半导体器件的方法，包括：

在半导体层上方形成电介质层；

在所述电介质层上方形成第一金属层；

在所述第一金属层上方形成分隔层；

形成隔离材料，所述隔离材料将所述半导体层的第一部分、所述电介质层的第一部分、所述第一金属层的第一部分、所述分隔层的第一部分与所述半导体层的第二部分、所述电介质层的第二部分、所述第一金属层的第二部分、所述分隔层的第二部分分隔开，其中所述隔离材料具有高于所述第一金属层顶表面的高度；

移除所述第一金属层的所述第二部分；

在移除所述第一金属层的所述第二部分之后，在所述分隔层的所述第一部分和所述半导体层的所述第二部分上方形成第二金属层；

执行平坦化，以从所述分隔层的所述第一部分上方移除所述第二金属层；以及

在所述半导体层的所述第一部分中形成第一类型的一部分第一晶体管，其中所述第一晶体管的栅电极包括所述第一金属层第一部分的一部分，以及在所述半导体层的第二部分中形成第二类型的一部分第二晶体管，其中所述第二晶体管的栅电极包括所述第二金属层的一部分。

15. 根据权利要求 14 所述的方法，其中形成所述第二金属层的步

骤进一步的特征在于：所述第二金属层具有与所述第一金属层的金属类型不同的金属类型。

16. 根据权利要求 14 所述的方法，进一步包括：

移除所述电介质层的所述第二部分；以及

在移除所述电介质层的所述第二部分的步骤之后，在所述半导体层的所述第二部分上方形成栅极电介质。

17. 根据权利要求 16 所述的方法，进一步包括：在移除所述电介质层的所述第二部分的步骤之后，在所述半导体层的所述第二部分上生长第二半导体层。

18. 一种制造半导体器件结构的方法，包括：

形成用隔离区分隔的第一层叠和第二层叠，

其中：

所述第一层叠包括：第一半导体层的第一部分、在所述第一半导体层所述第一部分上方的第一栅极电介质层的第一部分、在所述第一栅极电介质层所述第一部分上方的第一金属层的第一部分和在所述第一金属层所述第一部分上方的分隔层的第一部分；

所述第二层叠包括：所述第一半导体层的第二部分、在所述第一半导体层所述第二部分上方的所述第一栅极电介质层的第二部分、在所述第一栅极电介质层所述第二部分上方的所述第一金属层的第二部分和在所述第一金属层所述第二部分上方的所述分隔层的第二部分；
并且

所述隔离区具有高于所述第一金属层顶表面的高度；

移除所述第一金属层的所述第二部分；

淀积第二金属层，使得所述第二金属层的第一部分在所述分隔层的所述第一部分上方并且所述第二金属层的第二部分在所述半导体层的所述第二部分上方；以及

在留下所述第二金属层的所述第二部分的同时，移除所述第二金

属层的所述第一部分。

19. 根据权利要求 18 所述的方法，进一步包括：

形成第一晶体管和第二晶体管，其中：

所述第一晶体管包括在所述半导体层所述第一部分中形成的电流端子区和从所述第一金属层所述第一部分形成的栅电极；并且

所述第二晶体管包括在所述半导体层所述第二部分中形成的电流端子区和从所述第二金属层所述第二部分形成的栅电极。

20. 根据权利要求 19 所述的方法，进一步包括：

在移除所述第一金属层的所述第二部分之后并且在淀积所述第二金属层之前，在所述半导体层的所述第二部分上方形成第二半导体层；

其中也在所述第二半导体层中形成所述第二晶体管的电流端子区。

21. 根据权利要求 18 所述的方法，其中移除所述第二金属层的所述第一部分的步骤的进一步特征在于包括化学机械抛光。

半导体器件中的分隔层的形成

背景技术

发明领域

[0001]本发明总体上涉及半导体器件,尤其涉及具有分隔地形成的层的半导体器件的形成。

相关技术描述

[0002]在一些集成电路中,希望在不同的时间和/或用不同的材料形成不同器件的对应层。一个例子是集成电路的 P-沟道型和 N-沟道型晶体管的栅极的形成。可能希望 P-沟道型晶体管的栅极是一种材料而 N-沟道型晶体管的栅极是第二种材料,以为每个晶体管提供不同的阈值电压。

[0003]然而,用常规方法形成如此结构面临挑战。所希望的是一种改进的技术,用于形成具有不同材料的对应结构的集成电路。

附图说明

[0004]通过参考附图,本领域技术人员可以更好地理解本发明,其多个目的、特征和优点也显而易见。

[0005]图 1-12 是根据本发明一个实施例的不同制造阶段的晶片的各个阶段的侧面截图。

[0006]除非有其它注明,不同附图中相同的参考标记的使用指代同一事项。附图没必要依比例绘制。

具体实施方式

[0007]下面阐述对实行本发明的方式的详细描述。以下描述仅是为了阐述发明,但并不被视作进行限制。

[0008]图 1-12 是根据本发明一个实施例的被用于形成具有不同材料的栅极的晶体管的集成电路的晶片的各个阶段的侧面截图。

[0009]图 1 示出晶片 101 的侧面截图。在所示实施例中, 晶片 101 具有绝缘体上半导体(SOI)配置。在所示实施例中, 晶片 101 包括衬底层 103(例如为硅、硅锗)、位于层 103 上的绝缘体层 105(例如二氧化硅)、位于绝缘体层 105 上的半导体层 107(例如单晶硅)和位于层 107 上的栅极电介质层 109。在一个实施例中, 栅极电介质层 109 从层 107 中通过氧化工艺生长。在其它实施例中, 电介质层 109 可以是电介质材料(例如高 K 电介质材料, 如氧化铪或其他的金属氧化物)的淀积层。晶片 101 包括位于栅极电介质层 109 上的传导栅电极层 111。在一个实施例中, 层 111 是传导金属材料(例如碳化钽、碳化钛、钽镁碳化物、钛镁碳化物、钛钨碳化物、钽钨碳化物、钛硅氮化物、钽硅氮化物、氮化钽、钽硅氮化物、氮化钛或氮化钼)。在一个实施例中, 层 111 具有 50-100 埃的厚度范围, 但是可能在其他的实施例中具有其他厚度。层 113 位于层 111 之上。在一个实施例中, 层 113 后来被用作分隔层和抛光停止层。在一个实施例中, 层 113 有 100-150 埃的厚度范围, 并且是由氮化物制成的, 但在其他实施例中可能是其他的厚度和/或由其他材料制成的。

[0010]在一个实施例中, 半导体层 107 可在晶片 101 上包括阱掺杂物用于后续形成的晶体管。在一个实施例中, 层 107 的一部分会用 N-型掺杂物(磷、砷、锑)掺杂, 而另一部分会用 P-型掺杂物(硼、铟)掺杂。

[0011]图 2 是在晶片 101 中形成台面 201 和 203 后的晶片 101 的侧面截图。在一个实施例中, 通过在晶片 101 上方形成例如光致抗蚀剂(未示出)的图案掩模并移除掩模外的层 113、111、109 和 107 的材料以形成槽 205, 从而形成台面 201 和 203。在一个实施例中, 用适合移

除那些材料的化学蚀刻进行蚀刻，来移除那些层的材料。然后移除掩模。

[0012]图 3 示出间隔物 301 和 303 分别形成在台面 201 和 203 的侧壁上之后的晶片 101 的侧面截图。在一个实施例中，间隔物 301 和 303 是由氮化硅制成的。在一个实施例中，通过在晶片 101 上方淀积共形材料层然后各向异性地蚀刻该层，来形成间隔物 301 和 303。在一个实施例中，用于形成间隔物 301 和 303 的层具有范围为 200-300 埃的厚度，但在其它实施例中可能具有其他的厚度和/或由其他材料制成。在后续工艺中，间隔物 301 和 303 覆盖至少层 111 的侧壁并保护层 111。

[0013]图 4 是在围绕台面 201 和 203 的槽 205 中形成隔离材料 401 之后的晶片 101 的侧面截图。在一个实施例中，隔离材料 401 是由电介质材料(例如二氧化硅)制成的。在一个实施例中，电介质材料共形地形成在晶片 101 上方，其厚度足够填充槽。晶片 101 然后被平坦化(例如利用化学机械抛光(CMP)工艺)以移除台面上方的槽填充材料。层 113 用做化学机械抛光的抛光停止。

[0014]图 5 是从台面 203 移除层 113、栅电极层 111、电介质层 109 的材料之后的晶片 101 的侧面截图。在一个实施例中，通过选择性地在台面 201 上方形成例如光致抗蚀剂的掩模(未示出)并暴露台面 203，来移除该材料。为了移除那些层，通过对那些层进行适当的化学蚀刻，然后暴露的台面 203 的层被移除。例如，如果层 113 是氮化硅，则热磷酸的化学蚀刻或含氟气体的干法蚀刻可用来移除台面 203 中的层。在层 111 是碳化钽或氮化钛的例子中，可使用氢氧化铵、过氧化氢和水的化学蚀刻。在一个例子中，HCl 气体气氛中的退火可用来移除栅极电介质层 109。

[0015]在图 5 的实施例中，移除台面 203 的电介质层 109。然而，在其他实施例中，不移除电介质层 109。在某些这种实施例中，台面

203 的电介质层 109 会在含氧气氛中被退火以修复来自层 111 的移除的损伤。在该退火期间，台面 201 的层 111 会受到层 113 和间隔物 301 的保护，免于退火中的氧化效应。

[0016]图 6 是在台面 203 的层 107 上形成锗硅层 601 之后的晶片 101 的侧面截图。在一个实施例中，锗硅层 601 具有 25-100 埃的厚度范围，但在其他的实施例中可以是其它厚度。在层 107 是硅的一个实施例中，层 601 外延生长在层 107 上。在一个实施例中，锗硅层可以包含在锗硅层生长期间并入的硼掺杂。锗硅层 601 被用于修正后来形成的台面 203 中的 P-沟道晶体管的阈值电压。

[0017]在此处描述的工艺的一个优点是它可以允许台面 203 的晶体管具有与台面 201 的晶体管分隔地形成的半导体层，其中分隔地形成的半导体层是在形成栅电极层 111 之后形成的。

[0018]在一些实施例中，在形成电介质层 109 和层 111 之前，锗硅层可形成在层 107 的将形成台面 203 的区域中，而不在形成台面 201 的区域中。在其他实施例中，P-沟道晶体管的有源区不包括锗硅层，而是完全从层 107 形成。在其他实施例中，层 601 可由其他材料(例如掺碳的硅、锗、砷化镓、掺杂硅)制成。

[0019]图 7 是在晶片 101 上方形成栅极电介质层 701 和栅电极层 703 之后的晶片 101 的侧面截图。在一个实施例中，栅极电介质层 701 是由氧化铪制成的，而且具有 10-60 埃的厚度范围，但是在其它实施例中可以是其他的厚度和/或由其他栅极电介质材料制成。在一个实施例中，电介质层 701 和电介质层 109 可以是不同的材料。在栅极电介质层 109 不从台面 203 移除的一些实施例中，电介质层 701(例如氧化铝、氧化镧)会在台面 203 中的层 109 上形成。在层 109 不被移除的实施例中，层 701 的厚度是在 2-15 埃的范围。在层 109 在台面 203 中不被移除的其他实施例中，不会形成栅极电介质层 701。

[0020]制成层 703 的材料可以为后来在台面 203 中形成晶体管提供适当的功函数。在将形成 P-沟道晶体管的实施例中，层 703 可以由例如氮化钼或氮化钛制成。可以通过化学或物理汽相淀积或原子层淀积工艺来淀积层 703，但在其他实施例中可以用其他方法淀积。

[0021]在 N-沟道晶体管将在台面 201 中形成并且 P-沟道晶体管将在台面 203 中形成的实施例中，层 111 和层 703 可以由不同材料制成。例如，层 111 可以由碳化钼制成，层 703 可以由氮化钼制成。在一些实施例中，层 111 和层 703 均会由氮化钛制成，但每层会具有不同的氮浓度。在其他实施例中，层 111 和 703 可由相同材料制成。

[0022]图 8 示出已经对晶片 101 进行平坦化(例如 CMP)工艺以移除台面 201 上方的层 703 的材料和层 701 的材料之后的晶片 101 的侧面截图。在所示的实施例中，层 113 用作平坦化停止。利用平坦化工艺允许在不使用掩模来移除的情况下从台面 201 移除栅电极层 703 的材料。

[0023]图 9 是已经从台面 201 移除层 113 的材料之后的晶片 101 的侧面截图。在一个实施例中，通过在台面 203 被掩模（未示出）覆盖的区域蚀刻晶片 101，来移除层 113 的氮化物。

[0024]图 10 是互连材料(例如掺杂多晶硅或其他类型的传导材料)的共形层 1001 在包括上面的台面 201 和 203 的晶片 101 上方形成后的晶片 101 的侧面截图。

[0025]图 11 是形成栅极层叠 1101 和 1103 之后的晶片 101 的侧面截图。通过图案化台面 201 中的层 1001 和层 111 形成栅极层叠 1101。通过图案化台面 203 中的层 1001 和层 703 形成栅极层叠 1103。并且从层 1001 形成的是隔离材料 401 上的互连结构 1105。在一个实施例中，

互连结构 1105 会将两个栅极电耦合。

[0026]在一个实施例中，通过在晶片 101 上方形成掩模(例如光致抗蚀剂)并蚀刻层 1001 来形成栅极层叠 1101、1103 和互连结构 1105。

[0027]而且，在一个实施例中，会用相同的化学蚀刻一起蚀刻层 111 和 703。例如，当层 111 是由碳化钽制成且层 703 是由氮化钽制成时，两层都可用氯基或氟基等离子体化学蚀刻进行蚀刻。

[0028]在此描述的工艺的一个优点是，其允许栅电极层 111 和 703 为不同的厚度，以考虑那些层的不同材料的不同的蚀刻速率。例如，当层 111 由碳化钽制成且层 703 由氮化钽制成时，无论是氯基或是氟基等离子体化学蚀刻，氮化钽会更快地蚀刻。因此，考虑到层的不同蚀刻速率，对于在此描述的工艺，层 703 可以做得比的层 111 更厚。由于考虑到蚀刻速率的不同，层 703 可以做得更厚，电介质层 701 (和可能的层 601) 不会被用于蚀刻层 111 和 703 的蚀刻剂显著蚀刻，因为层 111 和 703 会大约同时被移除。

[0029]在其他实施例中，可以在不同时间蚀刻台面 201 和 203，以形成栅极层叠 1101 和 1103。

[0030]图 12 示出形成源极/漏极区 (用于 MOSFET 的电流端子区) 之后的晶片 101 的侧面截图。通过对这些区注入杂质，以在台面 201 中形成源极/漏极区 1209 和 1211 并在台面 203 中形成源极/漏极区 1213 和 1215。例如，当晶体管 1201 是 N-沟道晶体管且晶体管 1203 是 P-沟道晶体管时，会用 N 型杂质 (例如磷、砷) 注入台面 201 的层 107 中的源极/漏极区 1209 和 1211，并且会用 P 型杂质 (例如硼) 注入台面 203 的层 107 和 601 的源极/漏极区 1213 和 1215。

[0031]在栅极层叠 1101 上形成间隔物 1205，且在栅极层叠 1103

上形成间隔物 1207。在一个实施例中，源极/漏极区的轻掺杂扩展先于间隔物 1205 和 1207 而形成，重掺杂源极/漏极区在间隔物后形成。在一个实施例中，如所示，间隔物会包括多个间隔物。仍如图 12 所示，硅化结构 1217 和 1219 分别在源极/漏极区 1209 和 1211 上形成，且硅化结构 1225 和 1227 分别在源极/漏极区 1213 和 1215 上形成。硅化结构 1221 和 1223 分别在台面 201 和 203 的层 1001 的部分上形成。硅化结构 1229 在互连结构 1105 上形成。

[0032]在后续工艺中，在图 12 所示的阶段后，可以在晶片 101 上形成其它结构。例如可以在晶片 101 上形成其他层间电介质、传导互连结构和传导通孔。随后可以形成外部传导结构(例如结合焊盘)。随后可以将晶片 101 切割进不同的集成电路中。如图 12 所示，每个集成电路可以包括多个晶体管。

[0033]虽然在所示实施例中首先形成用于 N-沟道晶体管 1201 的栅电极层(层 111)，但是在其他实施例中，可以首先形成用于 P-沟道晶体管的栅电极层，其中栅电极的那部分从 N-沟道台面被移除。并且，在晶片 101 是体硅晶片的一些实施例中，用于隔离台面的槽会比浅阱掺杂更深。而且，在其他实施例中，虽然层 111 和 703 均描述为由金属材料制成，其中一层或两层可以用其他类型的传导材料 (例如掺杂多晶硅)制成。

[0034]如前所述，本文阐述的上述技术可以有利地允许不同类型的晶体管 (例如不同传导类型晶体管) 的结构的分隔形成。因此，对于集成电路的 N-沟道和 P-沟道晶体管，可以分隔地形成诸如栅极、栅极电介质和/或有源层的部分的结构。这可以使集成电路的设计和制造更加灵活。

[0035]在一个实施例中，形成半导体器件的方法包括，在半导体层上方形成第一栅极电介质层、在第一栅极电介质层上方形成第一传导

层，以及在第一传导层上方形成第一分隔层。该方法还包括，在形成第一分隔层之后，在半导体层中形成将第一台面和第二台面分隔的槽。第一台面和第二台面均包括第一栅极电介质层的一部分、第一传导层的一部分、第一分隔层的一部分和半导体层的一部分。该方法还包括，用隔离材料填充槽直到高于第一传导层的顶表面的高度、将第一传导层的一部分从第二台面移除，以及在将第一传导层的一部分从第二台面移除之后，在第一台面的第一分隔层的一部分上方和第二台面上方形成第二传导层。该方法还包括，执行平坦化以从第一台面上方移除第二传导层，以及在第一台面中形成第一类型的第一晶体管并在第二台面中形成第二类型的第二晶体管。

[0036]在另一实施例中，一种形成半导体器件的方法包括，在半导体层上方形成电介质层、在电介质层上方形成第一金属层、在第一金属层上方形成分隔层，以及形成隔离材料以使半导体层的第一部分、电介质层的第一部分、第一金属层的第一部分、分隔层的第一部分与半导体层的第二部分、电介质层的第二部分、第一金属层的第二部分、分隔层的第二部分分隔。隔离材料的高度高于第一金属层的顶表面。该方法还包括，移除第一金属层的第二部分，以及在移除第一金属层的第二部分之后，在分隔层的第一部分和半导体层的第二部分上方形成第二金属层。该方法还进一步包括，执行平坦化以从分隔层的第一部分上方将第二传导层移除，以及在半导体层的第一部分中形成第一类型的第一晶体管的一部分。第一晶体管的栅电极包括第一金属层的第一部分的一部分。该方法包括，在半导体层的第二部分中形成第二类型的第二晶体管的一部分。第二晶体管的栅电极包括第二金属层的一部分。

[0037]在一个实施例中，一种制造半导体器件结构的方法包括形成被隔离区分隔的第一层叠和第二层叠。第一层叠包括第一半导体层的第一部分、在第一半导体层的第一部分上方的第一栅极电介质层的第一部分、在第一栅极电介质层的第一部分上方的第一金属层的第一部

分和在第一金属层的第一部分上方的分隔层的第一部分。第二层叠包括第一半导体层的第二部分、在第一半导体层的第二部分上方的第一栅极电介质层的第二部分、在第一栅极电介质层的第二部分上方的第一金属层的第二部分和在第一金属层的第二部分上方的分隔层的第二部分。隔离区的高度高于第一金属层的顶表面。该方法还包括，移除第一金属层的第二部分，以及淀积第二金属层，由此第二金属层的第一部分在分隔层的第一部分上方，并且第二金属层的第二部分在半导体层的第二部分上方。该方法还包括在留下第二金属层的第二部分时，移除第二金属层的第一部分。

[0038]尽管已经示出和阐述了本发明特定的实施例，对本领域技术人员应该明白，基于此处的教导，可以在不脱离本发明及其包含的广泛内容的情况下作出进一步的变化和改进，因此，随附的权利要求在其范围内将包含所有在本发明的真实思想和范围内的这种变化和修改。

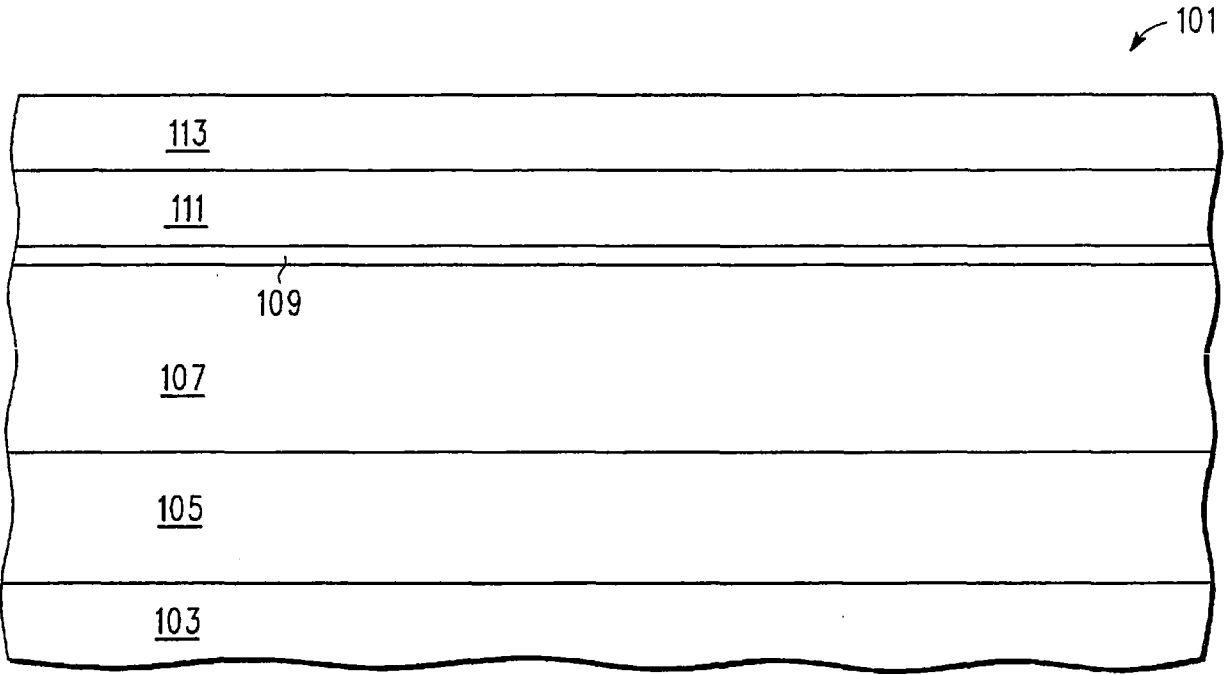


图1

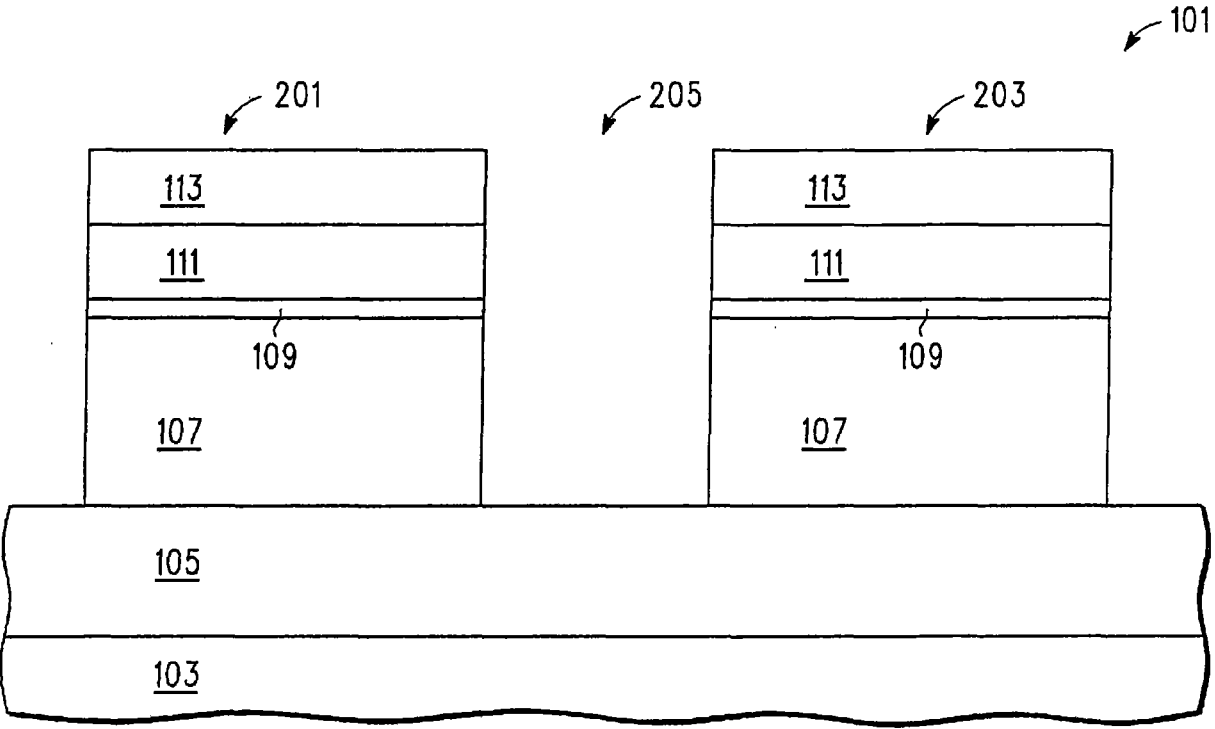


图2

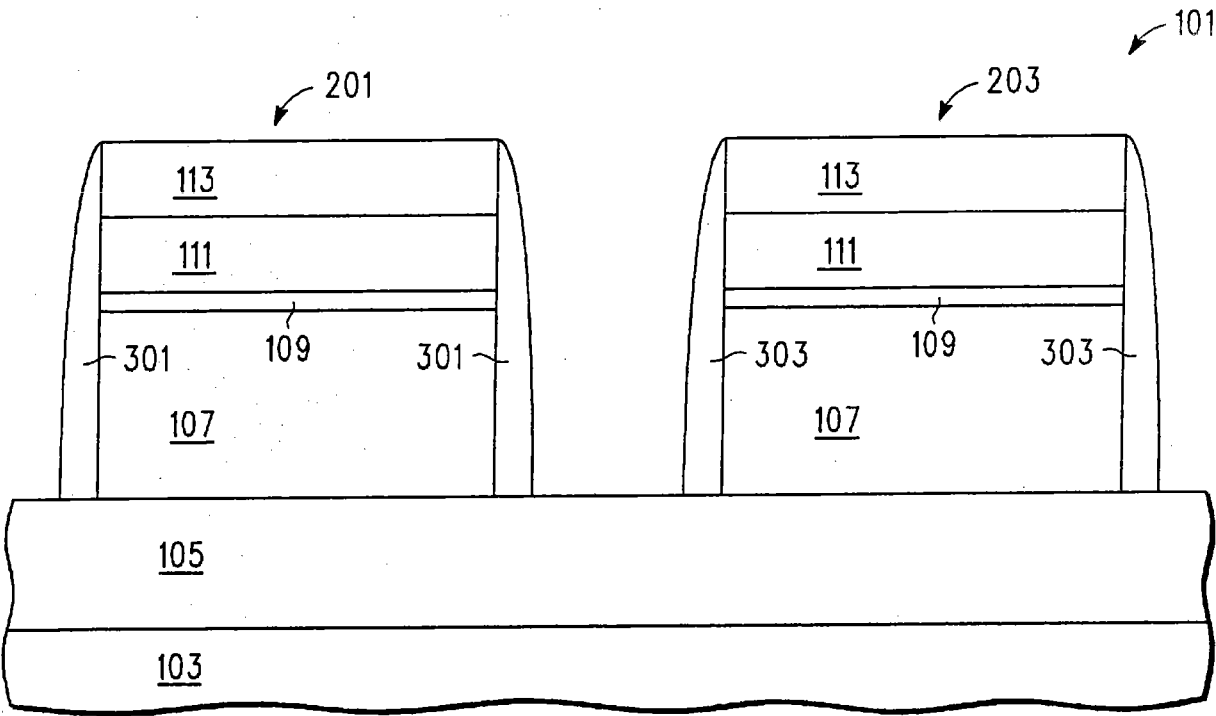


图3

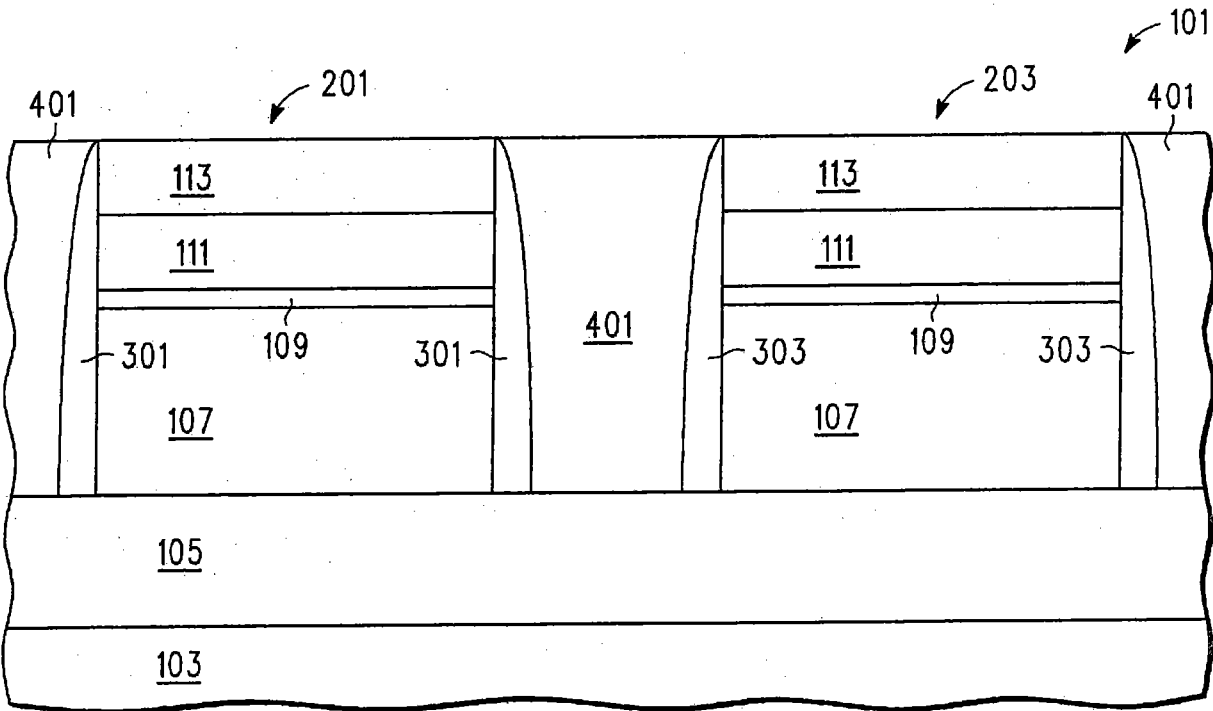


图4

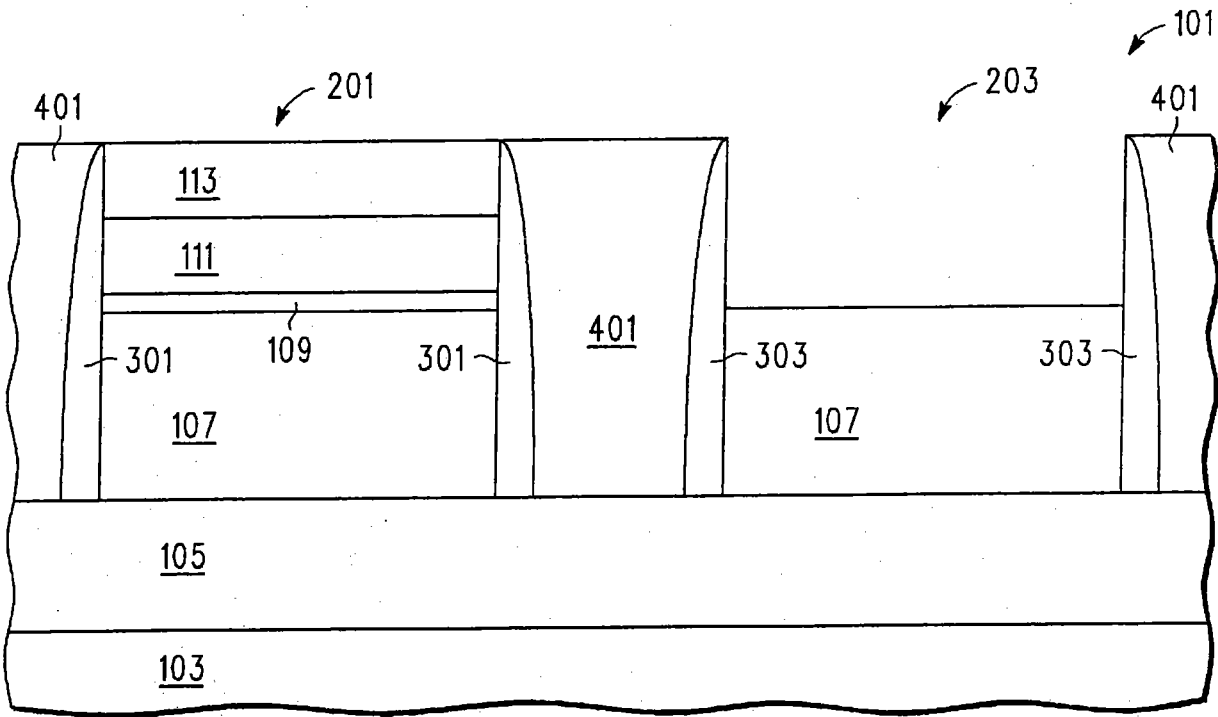


图5

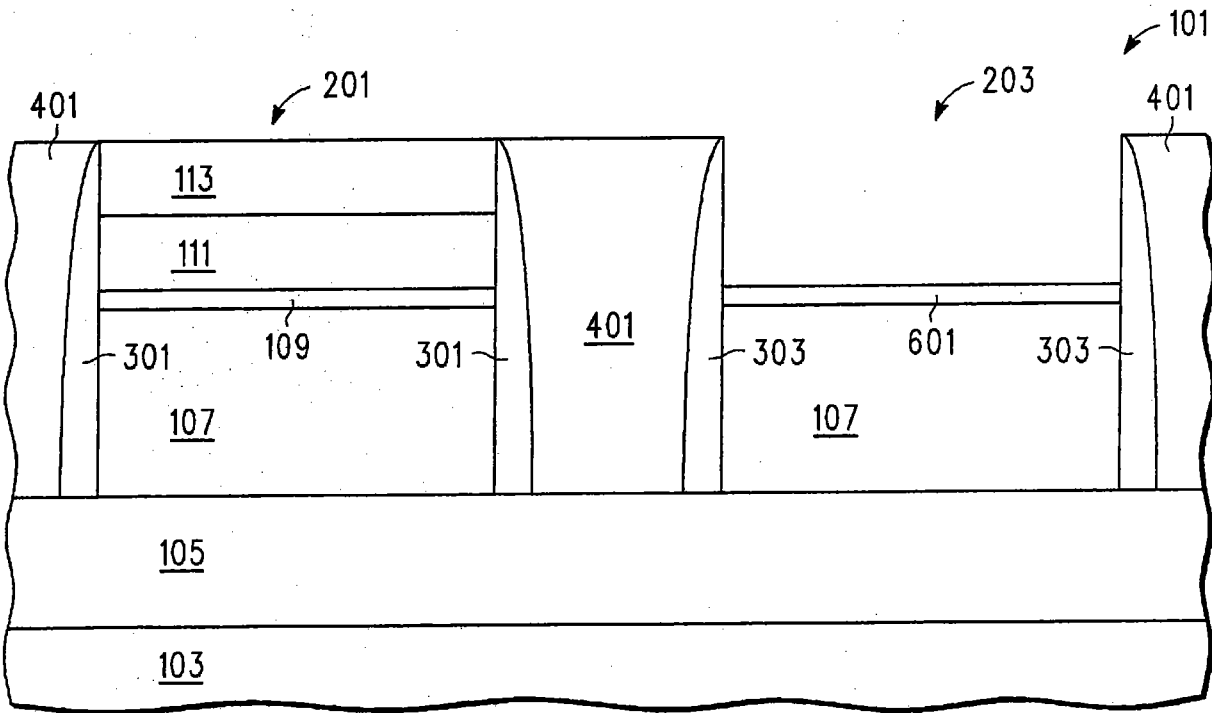


图6

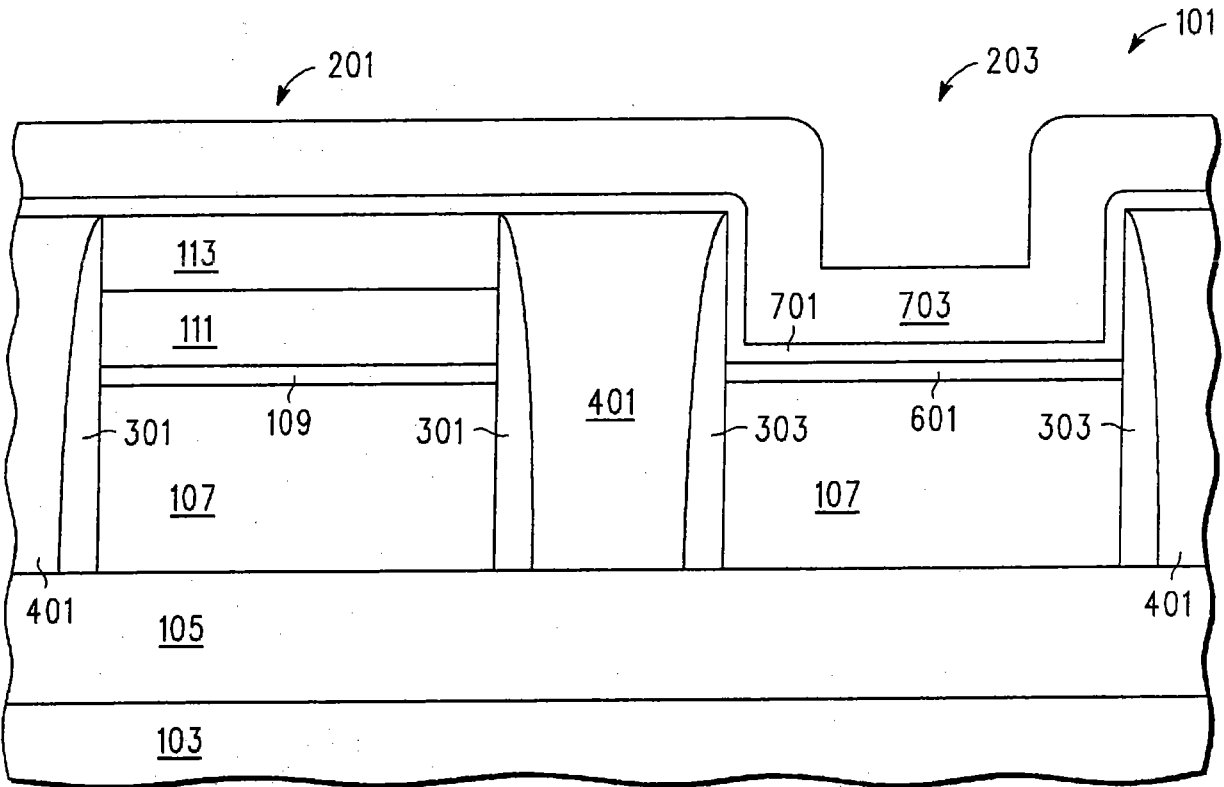


图7

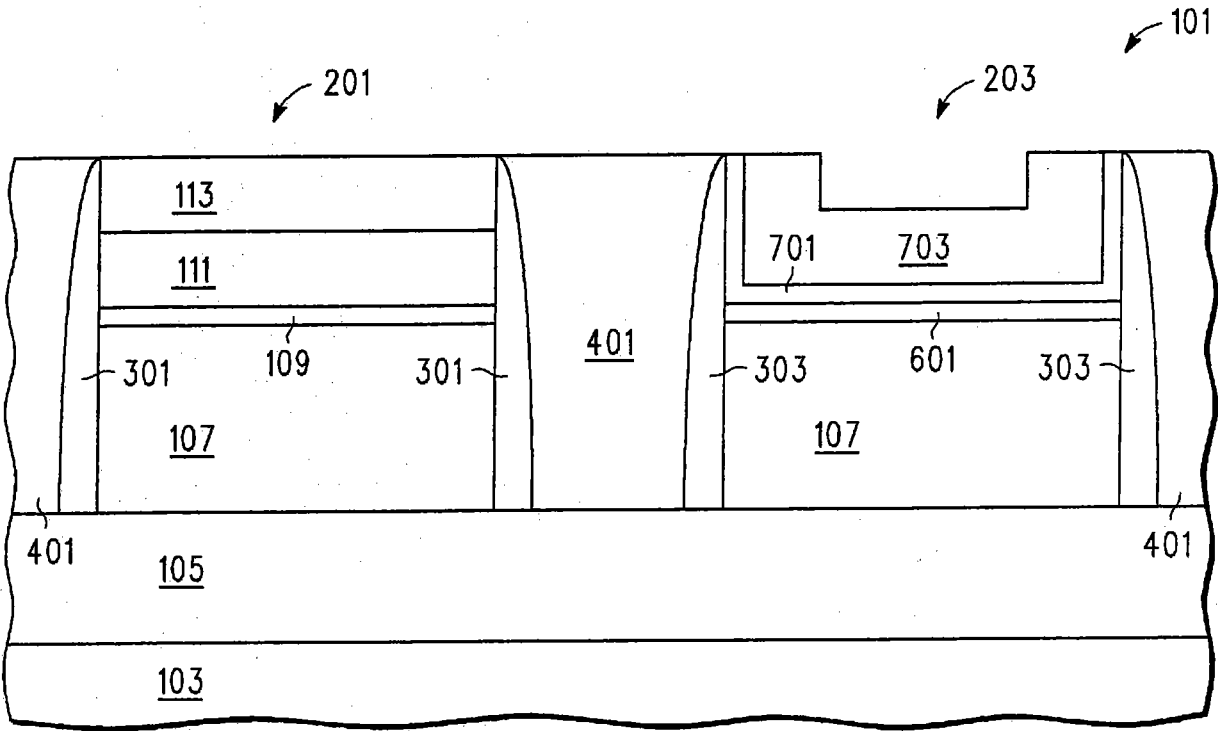


图8

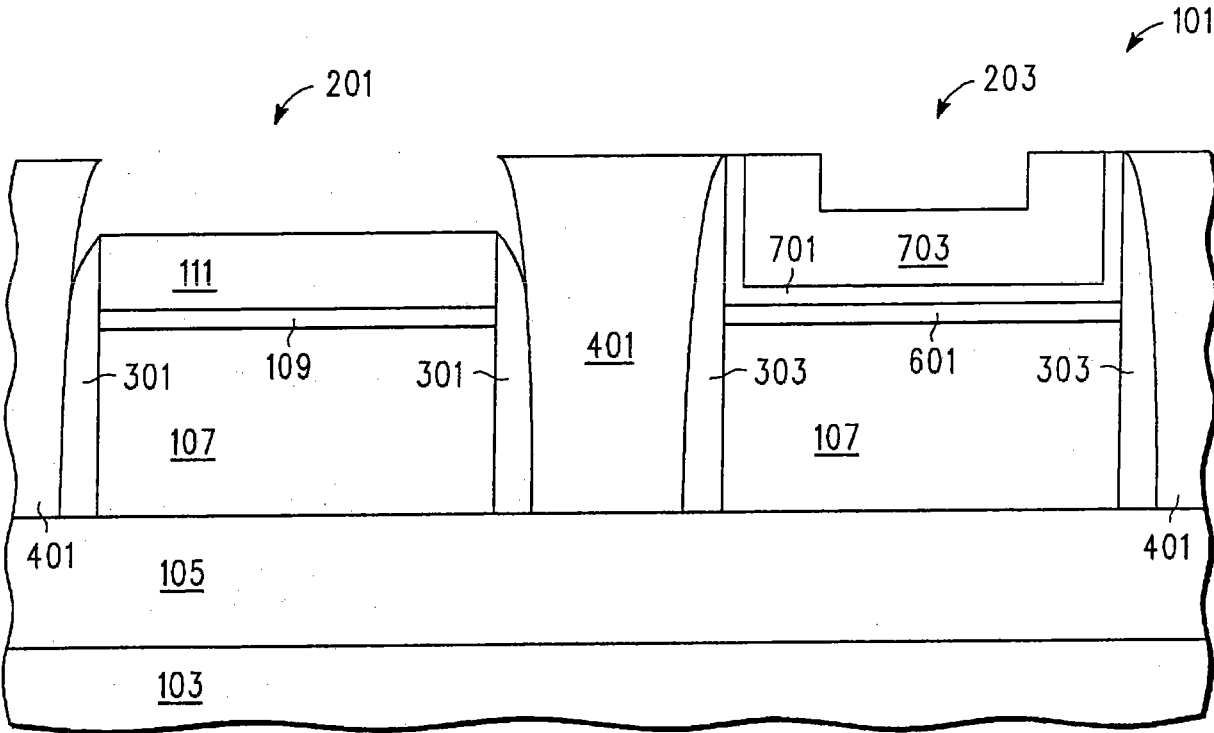


图9

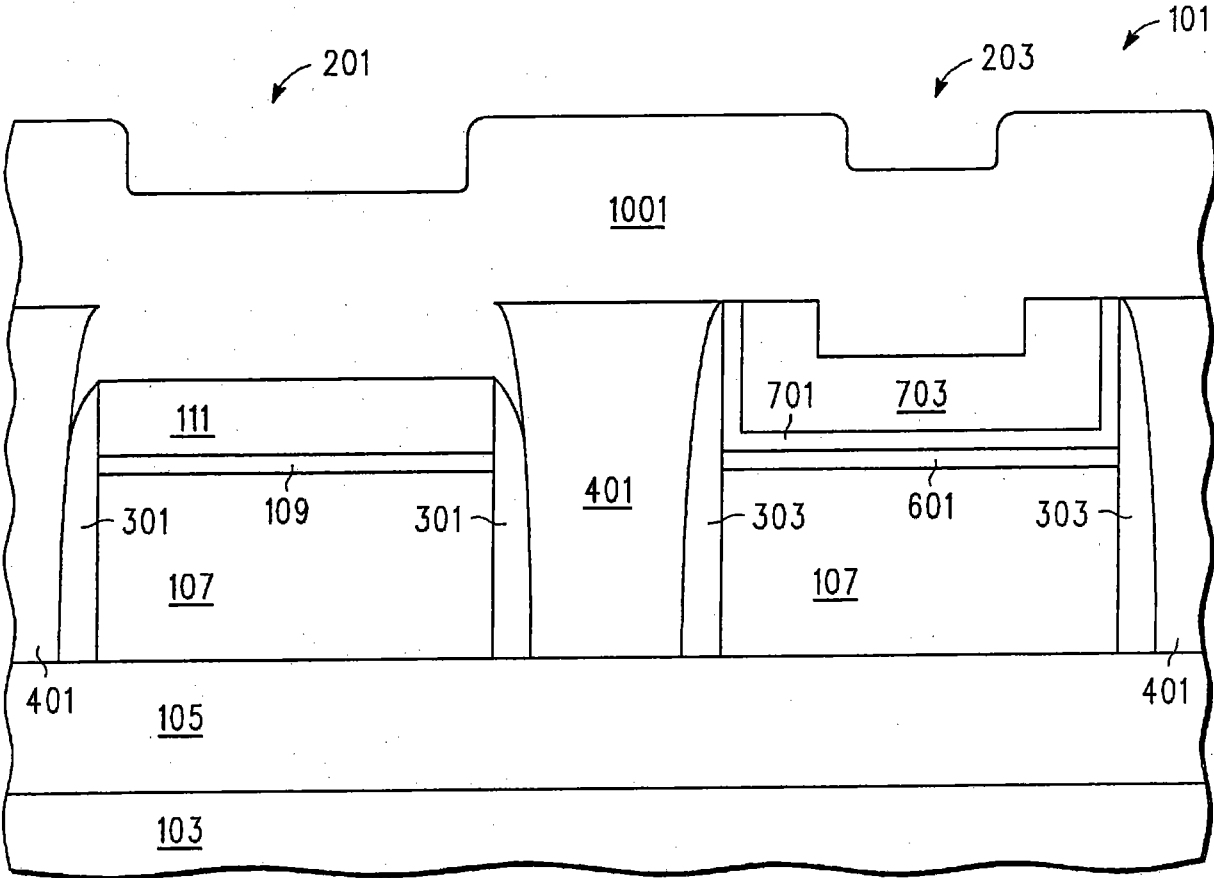


图10

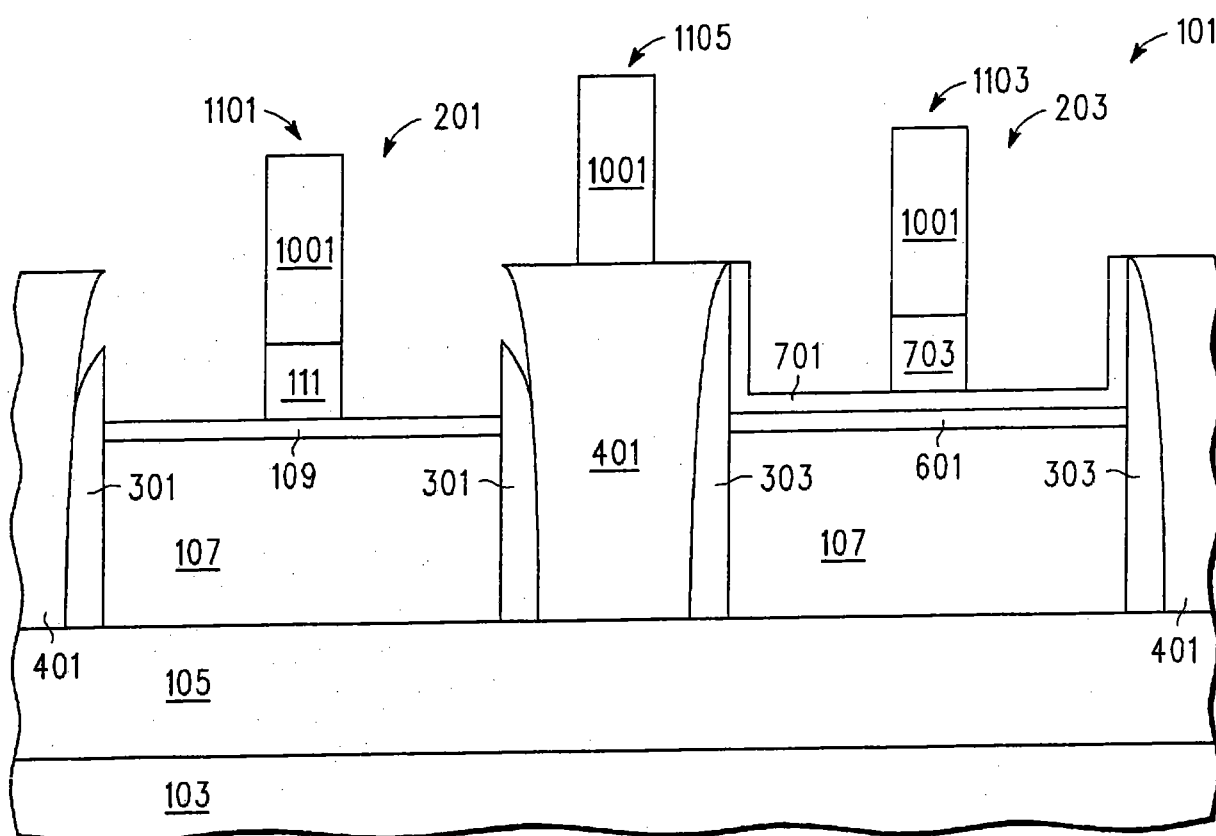


图11

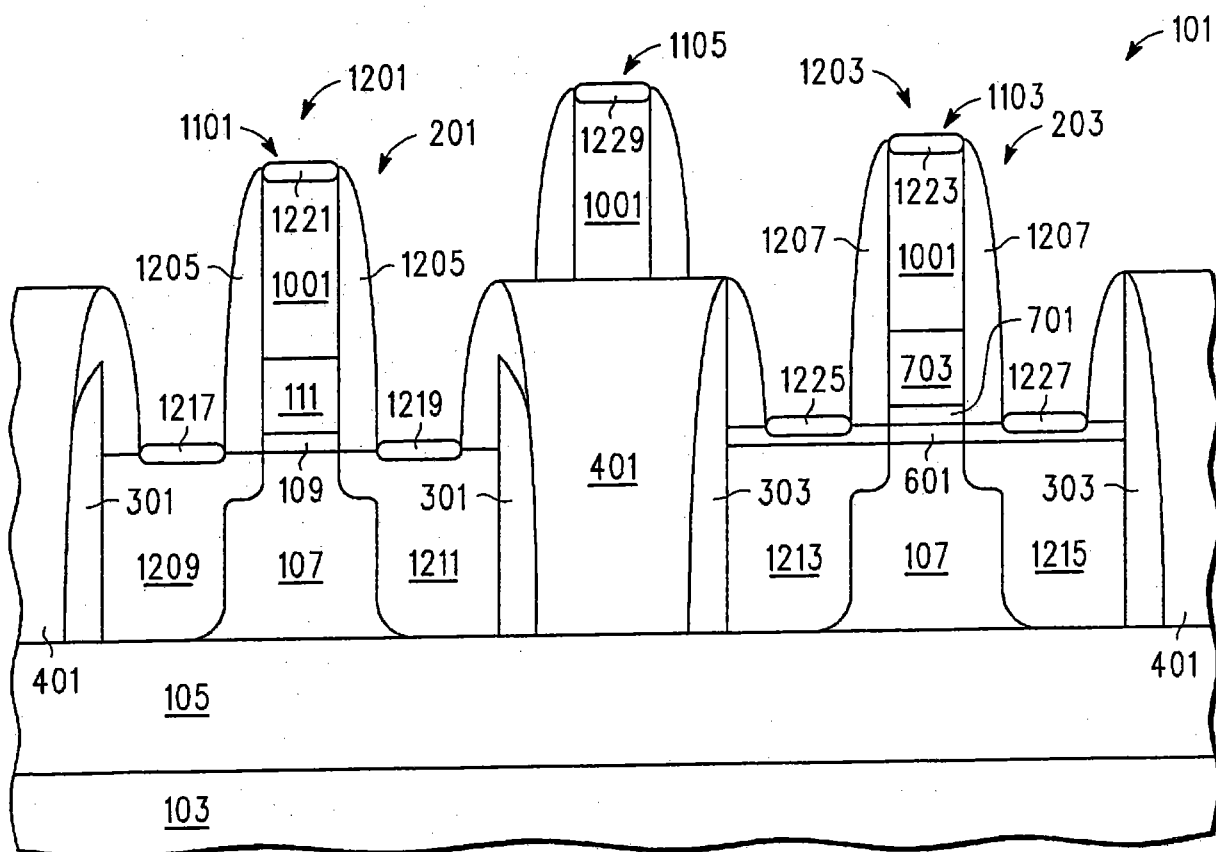


图12