



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

240 165

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 29 09 83
(21) PV 7125-83

(51) Int. Cl.⁴

H 02 P 1/46

(40) Zveřejněno 13 06 85
(45) Vydáno 01 06 87

(75)

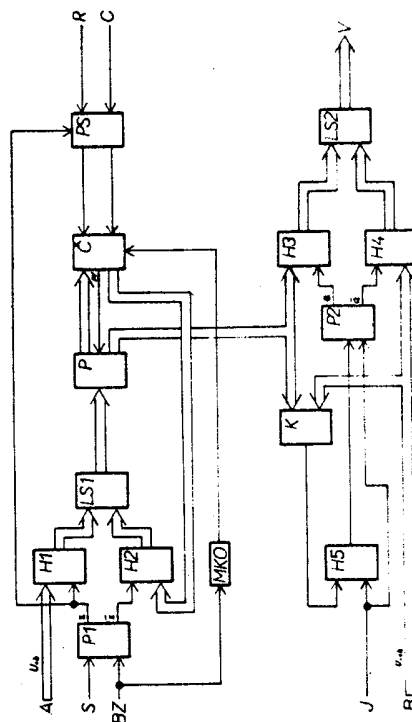
Autor vynálezu

PODZIMEK OLDŘICH ing. CSc., PRAHA

(54)

Zapojení obvodu pro řízení rozběhu
synchronního motoru

Zapojení obvodu pro řízení synchronního motoru. Řeší se rozběh synchronního motoru napájeného z měniče s vlastní komutací ze strany motoru. Pomocí napětí indukovaného ve statorovém vinutí motoru při zapnutí buzení je vyhodnocena poloha rotoru v klidu. Svorkové napětí motoru je úměrné rychlosti otáčení, tedy pro nulovou rychlost je nulové. Rozběh z klidové polohy je zajištěn vnuceným, pozvolna se zvyšujícím kmitočtem a po dosažení potřebné velikosti svorkového napětí motoru se řízení měniče přepne na obvody vyhodnocující okamžitou polohu rotoru z průběhu svorkového napětí motoru. Je zajištěno nafázování řídicích signálů při přepnutí z rozběhu vnuceným kmitočtem na řízení z vyhodnocených svorkových napětí.



Vynález se týká zapojení obvodu pro řízení rozběhu synchronního motoru, zejména napájeného z měniče s vlastní komutací ze strany motoru. U tohoto typu pohonu je měnič řízen v závislosti na okamžité poloze rotoru vůči vnitřnímu napětí motoru. Pro vyhodnocení této polohy se využívá buď různých typů snímačů (optické, magnetické), nebo se poloha odvozuje z časového průběhu svorkového napětí motoru. Při tomto způsobu je pak klidová poloha rotoru odvozena od napětí indukovaného do statorového vinutí při zapnutí budicího obvodu motoru. Nedostatkem je, že při nízkých otáčkách během rozběhu je i indukované napětí motoru malé a je nebezpečí nepřesného vyhodnocení polohy. Proto se používá pro první fázi rozběhu vnucený kmitočet. Při přechodech z jedné oblasti do druhé během rozběhu je pak nutno kontrolovat, zda se přepnutí děje během bezproudové pauzy, jinak by mohlo dojít k prohoření střídače.

Zapojení obvodu pro řízení rozběhu synchronního motoru podle vynálezu umožňuje rozběh z klidové polohy vnucenou frekvencí a přepnutí při nafázování na signály z vyhodnocení svorkových napětí při zvolené rychlosti. Během první fáze rozběhu je kontrolována funkce čítače stavu a při případné chybě je tato opravena.

Podstata vynálezu spočívá v tom, že výstup vyhodnocovacího bloku indukovaného napětí motoru při nabuzování je připojen na datový vstup prvních hradel. Obvod pro zapnutí

pohonu je připojen na startovací vstup prvního přepínače. Obvod pro zapnutí buzení motoru je připojen jednak na budicí vstup prvního přepínače, jednak na vstup monostabilního klopného obvodu, přičemž výstup prvního přepínače je připojen na ovládací vstup prvních hradel a inverzní výstup prvního přepínače je připojen na ovládací vstup druhých hradel, jejichž datový vstup je spojen s datovým výstupem čítače a výstupy prvních a druhých hradel jsou připojeny na vstupy prvního logického součtu, jehož výstup je připojen na alespoň část adresovacích vstupů paměti, jejíž jedna část datových výstupů je připojena jednak na první vstupy logického komparátoru, jednak na datové vstupy třetích hradel. Druhá část datových výstupů paměti je spojena s datovými vstupy čítače, jehož poruchový výstup je spojen s adresovacím vstupem paměti a jehož zapisovací vstup je spojen s výstupem monostabilního klopného obvodu. První a druhý čítací vstup čítače je spojen s prvním a druhým výstupem přepínače směrů, jehož směrový vstup je připojen na zdroj zadání směru otáčení a kmitočtový vstup na zdroj rozběhového kmitočtu. Blokovací vstup přepínače směrů je spojen s výstupem, popřípadě inverzním výstupem, prvního přepínače. Výstup vyhodnocovacího bloku indukovaného napětí motoru při chodu je připojen jednak na druhé vstupy logického komparátoru, jednak na datové vstupy čtvrtých hradel, přičemž ovládací vstupy třetích hradel jsou připojeny na první výstup a ovládací vstupy čtvrtých hradel na druhý invertovaný výstup druhého přepínače, jehož první ovládací vstup je spojen s výstupem pátého hradla a druhý ovládací vstup je spojen s druhým vstupem pátého hradla a zároveň je připojen na rozhodovací jednotlu přepnutí rozběhu. První vstup pátého hradla je spojen s výstupem logického komparátoru, přičemž výstupy třetích a čtvrtých hradel jsou připojeny na vstup druhého logického součtu, jehož výstup je připojen na výstup obvodu pro řízení rozběhu synchronního stroje.

Příklad provedení je na přiloženém výkresu, kde výstup A vyhodnocovacího bloku indukovaného napětí U_{ib} motoru při

nabuzování je připojen na datový vstup prvních hradel H1, obvod pro zapnutí pohonu je připojen na startovací vstup S prvního přepínače P1. Obvod pro zapnutí buzení motoru je připojen jednak na budicí vstup BZ prvního přepínače P1, jednak na vstup monostabilního klopného obvodu MKO, přičemž výstup X prvního přepínače P1 je připojen na ovládací vstup prvních hradel H1 a inverzní výstup $\bar{X}$ prvního přepínače P1 je připojen na ovládací vstup druhých hradel H2, jejichž datový vstup je spojen s datovým výstupem čítače Č. Výstupy prvních a druhých hradel H1, H2 jsou připojeny na vstupy prvního logického součtu LS1, jehož výstup je připojen na alespoň část adresovacích vstupů paměti P, jejíž jedna část datových výstupů je připojena jednak na první vstupy logického komparátoru K, jednak na datové vstupy třetích hradel H3. Druhá část datových výstupů paměti P je spojena s datovými vstupy čítače Č, jehož poruchový výstup PV je spojen s adresovacím vstupem paměti P a jehož zapisovací vstup je spojen s výstupem monostabilního klopného obvodu MKO. První a druhý čítací vstup čítače Č je spojen s prvním a druhým výstupem přepínače směrů PS, jehož směrový výstup R je připojen na zdroj zadání směru otáčení a kmítočtový vstup C na zdroj rozběhového kmítočtu. Blokovací vstup přepínače směrů PS je spojen s výstupem X, popřípadě s inverzním výstupem $\bar{X}$, prvního přepínače P1. Výstup B vyhodnocovacího bloku indukovaného napětí U_{ich} motoru při chodu je připojen jednak na druhé vstupy logického komparátoru K, jednak na datové vstupy čtvrtých hradel H4, přičemž ovládací vstupy třetích hradel H3 jsou připojeny na první výstup Q a ovládací vstupy čtvrtých hradel H4 na druhý invertovaný výstup $\bar{Q}$ druhého přepínače P2, jehož první ovládací vstup je spojen s výstupem pátého hradla H5 a druhý ovládací vstup je spojen s druhým vstupem pátého hradla H5 a zároveň je připojen na rozhodovací jednotku přepnutí rozběhu J. První vstup pátého hradla H5 je spojen s výstupem logického komparátoru K, přičemž výstupy třetích a čtvrtých hradel H3, H4 jsou připojeny na vstup druhého logického součtu LS2, jehož výstup je připojen na výstup V obvodu pro řízení rozběhu synchronního stroje.

Činnost obvodu je řízena signály start a buzení, které se objevují na startovacím vstupu S a výstupu BZ vyhodnocovacího bloku indukovaného napětí U_{ich} motoru při chodu. Při zapnutí buzení motoru se aktivuje výstup BZ vyhodnocovacího bloku a zároveň se spustí monostabilní klopný obvod MKO. Průchozí jsou první hradla H1, která propustí signály z vyhodnoceného indukovaného napětí U_{ib} motoru při buzení dále přes první logický součet LS1 na paměť P, nejčastěji typu ROM. V ní se dekoduje kombinace jednotlivých vstupních indukovaných napětí U_{ib} motoru při buzení na určité pořadové číslo polohy rotoru. Toto číslo je vyjádřeno například BCD nebo lineárním kódem a v této formě je přivedeno na datový vstup čítače Č. Během trvání impulsu na výstupu monostabilního klopného obvodu MKO se tento údaj запиše do čítače Č jako výchozí stav, od kterého probíhá čítání čítače Č po zapnutí celého pohonu, tj. po aktivování startovacího vstupu S prvního přepínače P1. Tím se změní i stav výstupu X a inverzního výstupu X̄ tohoto prvního přepínače P1, první hradla H1 se uzavřou a přes druhá hradla H2 a první logický součet LS1 se datové výstupy čítače Č propojí na vstup paměti P, přičemž se nyní vybírají jiná paměťová místa než během nabuzování motoru. V případě poruchového stavu čítače Č indikovaného poruchovým výstupem PV se přepíše chybná hodnota správným údajem. Při zapnutí celého pohonu probíhá první fáze rozběhu od výchozí polohy rotoru. Přepínač směru PS otáčení řízený směrovým vstupem R propustí zvyšující se rozběhový kmitočet na jeden ze dvou čítacích vstupů čítače Č. Datové výstupy čítače Č jsou v paměti P dekodovány na tvar odpovídající vyhodnocenému indukovanému napětí U_{ich} motoru při chodu a přes třetí hradla H3 a druhý logický součet LS2 se dostávají na výstup celého obvodu. Při dosažení určitých otáček se aktivuje rozběhový vstup pátých hradel H5, jejich výstup se však nemění do té doby, dokud nejsou na fázi rozběhové signály a signály z vyhodnoceného napětí. Pokud se signály dostanou do fáze, vyhodnotí tento stav logický komparátor K, uvolní se páté hradlo H5, druhý přepínač P2 změní stav na prvním výstupu Q a druhém invertovaném výstupu Q̄

třetí hradla H3 se uzavře a vyhodnocené indukované napětí U_{ich} motoru v chodu se dostává přímo přes čtvrtá hradla H4 a druhý logický součet LS2 na výstup.

Uvedené zapojení je vhodné zejména pro řízení rozběhu velkých synchronních strojů s prúdovým buzením.

PŘEDMĚT VYNÁLEZU

240 165

Zapojení obvodu pro řízení rozběhu synchronního motoru, zejména napájeného z měniče s vlastní komutací ze strany motoru, vyznačené tím, že výstup (A) vyhodnocovacího bloku indukovaného napětí (U_{ib}) motoru při nabuzování je připojen na datový vstup prvních hradel (H1), obvod pro zapnutí pohonu je připojen na startovací vstup (S) prvního přepínače (P1), obvod pro zapnutí buzení motoru je připojen jednak na budicí vstup (BZ) prvního přepínače (P1), jednak na vstup monostabilního klópného obvodu (MKO), přičemž výstup (X) prvního přepínače (P1) je připojen na ovládací vstup prvních hradel (H1) a inverzní výstup ($\bar{X}$) prvního přepínače (P1) je připojen na ovládací vstup druhých hradel (H2), jejichž datový vstup je spojen s datovým výstupem čítače (Č) a výstupy prvních a druhých hradel (H1, H2) jsou připojeny na vstupy prvního logického součtu (LS1), jehož výstup je připojen na alespoň část adresovacích vstupů paměti (P), jejíž jedna část datových výstupů je připojena jednak na první vstupy logického komparátoru (K), jednak na datové vstupy třetích hradel (H3), druhá část datových výstupů paměti (P) je spojena s datovými vstupy čítače (Č), jehož poruchový výstup (PV) je spojen s adresovacím vstupem paměti (P) a jehož zapisovací vstup je spojen s výstupem monostabilního klopného obvodu (MKO), první a druhý čítací vstup čítače (Č) je spojen s prvním a druhým výstupem přepínače směrů (PS), jehož směrový vstup (R) je připojen na zdroj zadání směru otáčení a kmitočtový vstup (C) na zdroj rozběhového kmitočtu, blokovací vstup přepínače směrů (PS) je spojen buď výstupem (X), nebo s inverzním výstupem ($\bar{X}$) prvního přepínače (P1), výstup (B) vyhodnocovacího bloku indukovaného napětí (U_{ich}) motoru při chodu je připojen jednak na druhé vstupy logického komparátoru (K), jednak na datové vstupy čtvrtých hradel (H4), přičemž ovládací vstupy třetích hradel (H3) jsou připojeny na první výstup (Q) a ovládací vstupy čtvrtých hradel (H4) na druhý

invertovaný výstup ($\bar{Q}$) druhého přepínače (P2), jehož první ovládací vstup je spojen s výstupem pátého hradla (H5) a druhý ovládací vstup je spojen s druhým vstupem pátého hradla (H5) a zároveň je připojen na rozhodovací jednotku přepnutí rozběhu (J), první vstup pátého hradla (H5) je spojen s výstupem logického komparátoru (K), přičemž výstupy třetích a čtvrtých hradel (H3, H4) jsou připojeny na vstup druhého logického součtu (LS2), jehož výstup je připojen na výstup (V) obvodu pro řízení rozběhu synchronního stroje.

1 výkres

