



(12) 发明专利

(10) 授权公告号 CN 102867785 B

(45) 授权公告日 2015.06.10

(21) 申请号 201110194657.2

US 2010/0009503 A1, 2010.01.14,

(22) 申请日 2011.07.08

审查员 黎欣

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 卢荣彬

(74) 专利代理机构 北京中原华和知识产权代理有限公司 11019

代理人 寿宁 张华辉

(51) Int. Cl.

H01L 21/8247(2006.01)

H01L 27/115(2006.01)

H01L 29/423(2006.01)

H01L 29/788(2006.01)

(56) 对比文件

US 2007/0126046 A1, 2007.06.07,

US 2010/0006915 A1, 2010.01.14,

US 2008/0277714 A1, 2008.11.13,

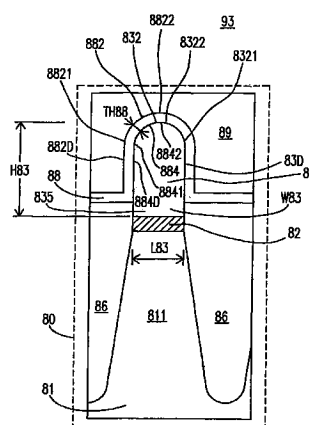
权利要求书2页 说明书11页 附图7页

(54) 发明名称

非挥发性记忆体装置及其制造方法

(57) 摘要

本发明是有关于一种非挥发性记忆体装置及其制造方法。该非挥发性记忆体装置的制造方法包括下列步骤：形成一导电层，其中该导电层具有一第一顶部；以及，将该第一顶部转换为一第二顶部，该第二顶部具有一穹形表面。该非挥发性记忆体装置包括：一晶体管结构；以及一第一导电层，设置在该晶体管结构中并具有一顶表面，其中该顶表面具有是有限的一最小拟合曲率半径。



1. 一种非挥发性记忆体装置的制造方法,其特征在於其包括以下步骤:

形成一第一导电结构,其中该第一导电结构具有一第一顶部,该第一顶部具有一子部分,该子部分具有一暴露的边缘修剪表面;以及

将该第一顶部转换为第二顶部,该第二顶部具有一穹形表面;以及
覆盖该第二顶部来形成该非挥发性记忆体装置;

其中,该第二顶部的形成包括以下步骤:

藉由对该暴露的边缘修剪表面应用一低温氧化过程,将该子部分转变为一第一氧化层,以将该第一顶部转换为第三顶部,其中该第一氧化层覆盖该第三顶部;及

移除该第一氧化层,将该第三顶部转换为该第二顶部。

2. 根据权利要求 1 所述的非挥发性记忆体装置的制造方法,其特征在於其还包括下列步骤:

形成一工件,其中该工件包括该第一导电结构和耦合于该第一导电结构的一第一介电结构,且所述形成该工件的步骤包括下列步骤:

提供一基板;

在该基板上方形成一第一介电层;

在该第一介电层上方形成一第一导电层;

在该第一导电层上形成一第二介电层;

图型化并移除该第二介电层、该第一导电层、该第一介电层和该基板的部分,形成一残留第二介电层、一残留第一导电层、一残留第一介电层以及一沟槽结构,其中该残留第一导电层形成该第一导电结构,且该第一导电结构具有一上表面;

用一介电结构填满该沟槽结构;

平坦化并移除部分该介电结构以形成一第一介电结构,其中该第一介电结构具有一上表面且该第一介电结构的上表面低于该第一导电结构的上表面;

移除该残留第二介电层以暴露该第一导电结构以形成该工件,其中该第一导电结构的顶边缘部分被移除来形成该暴露的边缘修剪表面。

3. 根据权利要求 2 所述的非挥发性记忆体装置的制造方法,其特征在於其中:

所述移除该介电结构的步骤是藉由一稀释氢氟酸清洁过程和一干蚀刻过程的其中之一而执行的;

所述移除该残留第二介电层的步骤是藉由使用一热磷酸清洁过程而执行的;

该第一顶部具有一第一前视盖轮廓,该第二顶部具有一第二前视盖轮廓,该第一前视盖轮廓和该第二前视盖轮廓分别具有一第一最小拟合曲率半径和一第二最小拟合曲率半径,且该第一最小拟合曲率半径小于该第二最小拟合曲率半径;

该低温氧化过程包括从一低温等离子体氧化过程、一自由基氧化过程和一臭氧清洁过程中所选的一个;以及

该低温氧化过程包括一等向氧化过程,该第一顶部在该暴露的边缘修剪表面损坏,且所述将该子部分转变的步骤包括一修理该损坏的步骤。

4. 一种非挥发性记忆体装置的制造方法,其特征在於其包括以下步骤:

形成一晶体管工件和设置在该晶体管工件中的一第一导电层,其中,该第一导电层具有一第一顶部,该第一顶部具有一子部分,该子部分具有一暴露的边缘修剪表面;以及

形成该第一导电层的一顶表面,其中,该项表面是由该第一导电层的该暴露的边缘修剪表面转化为一穹形表面形成,且该项表面具有是有限的一最小拟合曲率半径;以及覆盖该项表面来形成该非挥发性记忆体装置;

其中,该项表面的形成包括以下步骤:

藉由对该暴露的边缘修剪表面应用一低温氧化过程,将该子部分转变为一第一氧化层,以将该第一顶部转换为一第二顶部,其中该第一氧化层覆盖该第二顶部;

藉由移除该第一氧化层,将该第二顶部转换为一第三顶部,其中该第三顶部具有该项表面。

5. 根据权利要求 4 所述的非挥发性记忆体装置的制造方法,其特征在于其中:

该晶体管工件包括一介电模块,该第一导电层设置在该介电模块下面;

该介电模块包括一第一介电部分和一介电结构,其中该第一介电部分具有一第一厚度,并设置在该第一导电层上和在该介电结构下面,且该介电结构耦合于该第一导电层;

该介电结构包括一第二介电部分、一第三介电部分和一介电层;

该第一导电层具有一第二厚度、一顶边缘部分和一导电部分;

该制造方法还包括下列步骤:

藉由一化学机械研磨过程和一回蚀过程的其中之一,将该介电结构平坦化来移除该第二介电部分;

用大于该第一厚度的一所移除厚度将该第三介电部分移除,以留下该介电结构的该介电层,其中该介电层包括一第四介电部分;

将该第一介电部分和该顶边缘部分移除来留下该第一导电层的该导电部分,其中该导电部分包括该第一顶部,该顶边缘部分被移除来形成该暴露的边缘修剪表面;

藉由移除该第一氧化层和该第四介电部分,将该第二顶部转换为该第三顶部。

6. 根据权利要求 4 所述的非挥发性记忆体装置的制造方法,其特征在于其中所述形成该晶体管工件的步骤包括下列步骤:

提供一基板,其中该基板包括一基板部分;

在该基板上方形形成一第一介电层,其中该第一介电层包括一第一介电部分;

在该第一介电层上方形成一第二导电层,其中该第二导电层包括一导电部分和该第一导电层;

在该第二导电层上形成一第二介电层,其中该第二介电层包括一第二介电部分和一第三介电部分;

藉由将该第二介电部分、该导电部分、该第一介电部分和该基板部分移除,形成一沟槽结构,以留下该第二介电层的该第三介电部分和该第二导电层的该第一导电层;以及

用一介电结构填满该沟槽结构来形成该晶体管工件。

非挥发性记忆体装置及其制造方法

技术领域

[0001] 本发明涉及一种记忆体装置及其制造方法,特别是涉及一种非挥发性记忆体装置及其制造方法。

背景技术

[0002] 在先前技术中,一非挥发性记忆体装置包括一基板、一浮动栅极、一控制栅极和一绝缘体。该绝缘体设置在该基板和该控制栅极之间,且该浮动栅极埋入该绝缘体中。该绝缘体包括一穿隧氧化层和一多晶硅间介电层。该穿隧氧化层设置在该基板和该浮动栅极之间,且该多晶硅间介电层设置在该浮动栅极和该控制栅极之间。

[0003] 采用小于 20 纳米技术层次的制造过程,具有上述结构的浮动栅极记忆体单元被生产出来。该浮动栅极记忆体单元在该浮动栅极的边缘上遭受与场拥挤效应相关的高多晶硅间介电漏电流。严重的多晶硅间介电漏电流造成小的规划窗与差的耐久性,并减少快闪记忆体的资料保留力。

[0004] 由此可见,上述现有的非挥发性记忆体装置及其制造方法在产品结构、制造方法与使用上,显然仍存在有不便与缺陷,而亟待加以进一步改进。为了解决上述存在的问题,相关厂商莫不费尽心思来谋求解决之道,但长久以来一直未见适用的设计被发展完成,而一般产品及方法又没有适切的结构及方法能够解决上述问题,此显然是相关业者急欲解决的问题。因此如何能创设一种新的非挥发性记忆体装置及其制造方法,实属当前重要研发课题之一,亦成为当前业界极需改进的目标。

发明内容

[0005] 本发明的主要目的在于,克服现有的非挥发性记忆体装置及其制造方法存在的缺陷,而提供一种新的非挥发性记忆体装置及其制造方法,所要解决的技术问题是使其能够减少元件中多晶硅间介电漏电流的问题,非常适于实用。

[0006] 本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种非挥发性记忆体装置的制造方法,该制造方法包括下列步骤:形成一第一导电结构,其中该第一导电结构具有一第一顶部;以及,将该第一顶部转换为一第二顶部,该第二顶部具有一穹形表面。

[0007] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0008] 前述的非挥发性记忆体装置的制造方法,还包括下列步骤:形成一工件,其中该工件包括该第一导电结构和耦合于该第一导电结构的一第一介电结构,该第一顶部具有一子部分,该子部分具有一暴露的边缘修剪表面,且所述形成该工件的步骤包括下列步骤:提供一基板;在该基板上方形成一第一介电层;在该第一介电层上方形成一第一导电层;在该第一导电层上形成一第二介电层;图型化并移除该第二介电层、该第一导电层、该第一介电层和该基板的部分,形成一残留第二介电层、一残留第一导电层、一残留第一介电层以及一沟槽结构,其中该残留第一导电层形成该第一导电结构,且该第一导电结构具有一上表面;

用一介电结构填满该沟槽结构；平坦化并移除部分该介电结构以形成一第一介电结构，其中该第一介电结构具有一上表面且该第一介电结构的上表面低于该第一导电结构的上表面；移除该残留第二介电层已暴露该第一导电结构以形成该工件，其中该顶边缘部分被移除来形成该暴露的边缘修剪表面；藉由对该暴露的边缘修剪表面应用一低温氧化过程，将该子部分转变为一第一氧化层，以将该第一顶部转换为一第三顶部，其中该第一氧化层覆盖该第三顶部；移除该第一氧化层，将该第三顶部转换为该第二顶部；以及覆盖该第二顶部来形成该非挥发性记忆体装置。

[0009] 前述的非挥发性记忆体装置的制造方法，其中所述移除该介电结构的步骤是藉由一稀释氢氟酸清洁过程和一干蚀刻过程的其中之一而执行的；所述移除该残留第二介电层的步骤是藉由使用一热磷酸清洁过程而执行的；该第一顶部具有一第一前视盖轮廓，该第二顶部具有一第二前视盖轮廓，该第一前视盖轮廓和该第二前视盖轮廓分别具有一第一最小拟合曲率半径和一第二最小拟合曲率半径，且该第一最小拟合曲率半径小于该第二最小拟合曲率半径；该低温氧化过程包括从一低温等离子体氧化过程、一自由基氧化过程和一臭氧清洁过程中所选的一个；以及该低温氧化过程包括一等向氧化过程，该第一顶部在该暴露的边缘修剪表面损坏，且所述将该子部分转变的步骤包括一修理该损坏的步骤。

[0010] 本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种非挥发性记忆体装置的制造方法，该制造方法包括下列步骤：形成一晶体管工件和设置在该晶体管工件中的一第一导电层；以及，形成该导电层的一顶表面，其中该顶表面具有有限的一最小拟合曲率半径。

[0011] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0012] 前述的非挥发性记忆体装置的制造方法，其中该晶体管工件包括一介电模块，该第一导电层设置在该介电模块下面；该介电模块包括一第一介电部分和一介电结构，其中该第一介电部分具有一第一厚度，并设置在该第一导电层上和在该介电结构下面，且该介电结构耦合于该第一导电层；该介电结构包括一第二介电部分、一第三介电部分和一介电层；该第一导电层具有一第二厚度、一顶边缘部分和一导电部分；该制造方法还包括下列步骤：藉由一化学机械研磨过程和一回蚀过程的其中之一，将该介电结构平坦化来移除该第二介电部分；用大于该第一厚度的一所移除厚度将该第三介电部分移除，以留下该介电结构的该介电层，其中该介电层包括一第四介电部分；将该第一介电部分和该顶边缘部分移除来留下该第一导电层的该导电部分，其中该导电部分包括一第一顶部，该第一顶部具有一子部分，该子部分具有一暴露的边缘修剪表面，且该顶边缘部分被移除来形成该暴露的边缘修剪表面；藉由对该暴露的边缘修剪表面应用一低温氧化过程，将该子部分转变为一第一氧化层，以将该第一顶部转换为一第二顶部，其中该第一氧化层覆盖该第二顶部；藉由移除该第一氧化层和该第四介电部分，将该第二顶部转换为一第三顶部，其中该第三顶部具有该顶表面；以及覆盖该第三顶部来形成该非挥发性记忆体装置。

[0013] 前述的非挥发性记忆体装置的制造方法，其中所述的形成该晶体管工件的步骤包括下列步骤：提供一基板，其中该基板包括一基板部分；在该基板上方形形成一第一介电层，其中该第一介电层包括一第一介电部分；在该第一介电层上方形成一第二导电层，其中该第二导电层包括一导电部分和该第一导电层；在该第二导电层上形成一第二介电层，其中该第二介电层包括一第二介电部分和一第三介电部分；藉由将该第二介电部分、该导电部

分、该第一介电部分和该基板部分移除,形成一沟槽结构,以留下该第二介电层的该第三介电部分和该第二导电层的该第一导电层;以及用一介电结构填满该沟槽结构来形成该晶体管工件。

[0014] 本发明的目的及解决其技术问题另外再采用以下技术方案来实现。依据本发明提出的一种非挥发性记忆体装置,该非挥发性记忆体装置包括一晶体管结构和一第一导电层。该导电层设置在该晶体管结构中并具有一顶表面,其中该项表面具有是有限的一最小拟合曲率半径。

[0015] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0016] 前述的非挥发性记忆体装置,其中所述的晶体管结构包括:一基板,具有一顶部;一穿隧层,设置在该基板的该顶部上,其中该第一导电层设置在该穿隧层上并具有一底部;一沟槽隔离层,耦合于该基板的该顶部、该穿隧层和该第一导电层的该底部;一介电层,设置在该第一导电层和该沟槽隔离层上;以及一第二导电层,设置在该介电层上,其中:该基板的该顶部、该穿隧层和该导电层的该底部是成为对齐的;该第一导电层是一多晶硅浮动栅极层,该第二导电层是一控制栅极层,且更具有一第一表面和在该第一表面中的一拟合曲率半径分布,其中该第一表面包括该项表面和耦合于该项表面的一侧表面;该拟合曲率半径分布在该项表面中具有该最小拟合曲率半径;以及该项表面平滑地延伸到该侧表面。

[0017] 本发明的目的及解决其技术问题另外还采用以下技术方案来实现。依据本发明提出的一种非挥发性记忆体装置,该非挥发性记忆体装置包括一第一导电层、一第二导电层和一介电层。该介电层设置在该第一导电层和该第二导电层之间,且具有一内穹形表面。

[0018] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0019] 前述的非挥发性记忆体装置,还包括:一基板,具有一顶部;一穿隧层,设置在该基板的该顶部上,其中该第二导电层设置在该穿隧层上并具有一底部;以及一沟槽隔离层,耦合于该基板的该顶部、该穿隧层和该导电层的该底部,其中:该第一导电层设置在该介电层上,且该介电层设置在该第二导电层和该沟槽隔离层上;该介电层更具有一外穹形表面、一内侧表面和一外侧表面;该内穹形表面具有一第一底部和形成一内圆形尖端的一第一顶部;该外穹形表面具有一第二底部和形成一外圆形尖端的一第二顶部;该第一底部平滑地延伸到该内侧表面和该第一顶部;以及该第二底部平滑地延伸到该外侧表面和该第二顶部。

[0020] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明非挥发性记忆体装置及其制造方法至少具有下列优点及有益效果:利用本发明的制造方法形成一第一导电结构,其中该第一导电结构具有一第一顶部;以及,将该第一顶部转换为一第二顶部,该第二顶部具有一穹形表面。上述穹形表面能够减少漏电流的产生,提高元件的资料保存力。

[0021] 综上所述,本发明是有关于一种非挥发性记忆体装置及其制造方法。该非挥发性记忆体装置的制造方法包括下列步骤:形成一导电层,其中该导电层具有一第一顶部;以及,将该第一顶部转换为一第二顶部,该第二顶部具有一穹形表面。该非挥发性记忆体装置包括:一晶体管结构;以及一第一导电层,设置在该晶体管结构中并具有一顶表面,其中该项表面具有是有限的一最小拟合曲率半径。本发明在技术上有显著的进步,并具有明显的积极效果,诚为一新颖、进步、实用的新设计。

[0022] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

[0023] 图 1 是本发明一实施例所提供一非挥发性记忆体装置的制造方法的流程图。

[0024] 图 2A、图 2B、图 2C、图 2D、图 2E 和图 2F 是本发明一实施例所提供该非挥发性记忆体装置的制造方法的示意图。

[0025] 图 2G 是本发明一实施例所提供用于在图 2F 中配置的一可替代配置的示意图。

[0026] 图 3 是本发明一实施例所提供一非挥发性记忆体装置的示意图。

[0027] 图 4 是本发明一实施例所提供另一非挥发性记忆体装置的示意图。

[0028] 41、81 :基板

[0029] 411、51 :基板部分

[0030] 42、44、48、66、88 :介电层

[0031] 43、49 :导电层

[0032] 431、53 :导电部分

[0033] 44S、52S、53S、54S、56S、66S、76S :顶表面

[0034] 45 :沟槽结构

[0035] 45S、9S :表面

[0036] 46 :介电结构

[0037] 46A :衬垫氧化物层

[0038] 46B :填料氧化物

[0039] 46Q、421、52、441、54、56Q、66Q、76 :介电部分

[0040] 47 :氧化层

[0041] 50 :晶体管工件

[0042] 501 :介电模块

[0043] 51D、511D、52D、53D、83D、83P :侧表面

[0044] 531、631、731、831、8322、8822、8842、9322 :顶部

[0045] 53E :顶边缘部分

[0046] 56 :平坦化结构

[0047] 60 :工件

[0048] 63、83 :导电层

[0049] 632 :子部分

[0050] 633 :暴露的边缘修剪表面

[0051] 80 :晶体管结构

[0052] 82 :穿隧层

[0053] 83 :导电层

[0054] 832 :穹形表面

[0055] 8321、835、8821、8841、9321 :底部

- [0056] 86 :沟槽隔离层
- [0057] 882 :外穹形表面
- [0058] 882D :外侧表面
- [0059] 884 :内穹形表面
- [0060] 884D :内侧表面
- [0061] 89 :控制栅极层
- [0062] 91、91A、91B、93、94 :非挥发性记忆体装置
- [0063] 932 :顶表面
- [0064] DS1、DS2 :特定距离
- [0065] H83 :高度
- [0066] L83 :长度
- [0067] MR :遮罩区域
- [0068] NR :非遮罩区域
- [0069] R1 :拟合曲率半径分布
- [0070] RM :最小拟合曲率半径
- [0071] TH1、TH2 :所移除厚度
- [0072] TH53、TH54、TH88 :厚度
- [0073] W83 :宽度

具体实施方式

[0074] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的非挥发性记忆体装置及其制造方法其具体实施方式、结构、方法、步骤、特征及其功效,详细说明如后。

[0075] 有关本发明的前述及其他技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚呈现。通过具体实施方式的说明,应当可对本发明为达成预定目的所采取的技术手段及功效获得一更加深入且具体的了解,然而所附图式仅是提供参与说明之用,并非用来对本发明加以限制。

[0076] 请参阅图 1 所示,其为本发明一实施例所提供一非挥发性记忆体装置的制造方法 300 的流程图,其中用于详细解说制造方法 300 的图形显示在图 2A、图 2B、图 2C、图 2D、图 2E 和图 2F 中。用于图 1 中流程的下列叙述涉及制造多个非挥发性记忆体单元中的一个。在步骤 302 中,提供一基板 41,基板 41 包括一基板部分 411 和一基板部分 51。例如,基板 41 是一半导体基板,比如一硅基板。在步骤 304 中,在基板 41 上形成一介电层 42,介电层 42 包括一介电部分 421 和一介电部分 52。例如,介电层 42 是一氧化物层,比如一氧化硅 (SiO_2) 层。

[0077] 在步骤 306 中,在介电层 42 上形成一导电层 43,导电层 43 包括一导电部分 431 和一导电部分 53。例如,导电层 43 是一多晶硅层。在步骤 308 中,在导电层 43 上形成一介电层 44,介电层 44 包括一介电部分 441 和一介电部分 54。例如,介电层 44 是一硬遮罩层。介电层 44 可以是一氮化硅 (Si_3N_4) 层。

[0078] 在步骤 310 中,图案化介电层 44,应用自对齐浅沟槽隔离 (self-aligned shallow

trench isolation, SA-STI) 过程来形成一沟槽结构 45。所述沟槽结构 45 通过介电层 44、导电层 43 和介电层 42 而向下延伸入基板 41。例如,介电层 44 配置在其上具有一遮罩区域和一非遮罩区域。该自对齐浅沟槽隔离过程在该非遮罩部分中形成沟槽结构 45。沟槽结构 45 用于将多个记忆体单元区域分开。通过步骤 310,藉由将介电部分 441、导电部分 431、介电部分 421 和基板 411 部分移除,形成沟槽结构 45,以留下介电部分 54、导电部分 53、介电部分 52 和基板部分 51。介电部分 54 和导电部分 53(是一导电层)可分别作为一遮罩层和一浮动栅极层。介电部分 52 和基板部分 51 可分别形成该非挥发性记忆体装置的一穿隧层和一基板。

[0079] 在步骤 312 中,形成一介电结构 46 来填满沟槽结构 45。例如,介电结构 46 是一填料介电物并包括一可选的衬垫氧化物层 46A 和一填料氧化物 46B。例如,该填料氧化物可以是藉由采用一高密度等离子体 (high density plasma, HDP) 沉积或者一玻璃悬涂 (spinon glass, SOG) 技术而形成的。

[0080] 在步骤 314 中,化学机械研磨 (chemical-mechanical polishing, CMP) 过程或者回蚀过程被应用来平坦化介电结构 46,其中介电结构 46 被处理直到暴露介电部分 54 为止。利用步骤 314,介电结构 46 具有被留下的一平坦化结构 56。结果,介电部分 54 的顶表面可以与平坦化结构 56 的顶表面对齐。例如,平坦化结构 56 被填补在沟槽结构 45 中,并耦合于介电部分 54、导电部分 53(是一导电层)和介电部分 52。

[0081] 在步骤 316 中,用大于介电部分 54 的厚度的一所移除厚度,回蚀或者藉由 CMP 处理平坦化结构 56 来将平坦化结构 56 的一部分移除,以使平坦化结构 56 具有被留下的一介电层 66。例如,步骤 316 是藉由一稀释氢氟酸 (dilute HF) 清洁过程和一干蚀刻过程的其中之一而执行的。例如,介电层 66 具有一项表面,介电层 66 的该项表面以一特定距离低于导电部分 53 的一项表面。

[0082] 在步骤 318 中,将介电部分 54 移除,且能够同时将导电部分 53 的一项边缘部分 53E 移除来使导电部分 53 具有被留下的一导电层 63(是一导电部分)。导电层 63 具有一顶部 631,其中导电层 63 的顶部 631 可以具有一子部分 632,且子部分 632 具有一暴露的边缘修剪表面 633。例如,导电部分 53 的顶边缘部分 53E 被移除来形成暴露的边缘修剪表面 633,且步骤 318 是藉由使用一热磷酸 (hot H_3PO_4) 清洁过程而执行的。

[0083] 在步骤 320 中,藉由应用一低温氧化过程到暴露的边缘修剪表面 633,将子部分 632 转变为一氧化层 47 来将顶部 631 转换为一顶部 731,其中氧化层 47 覆盖顶部 731。例如,该低温氧化过程包括从一低温等离子体氧化过程、一自由基氧化过程和一臭氧清洁过程中所选的一个。

[0084] 在步骤 322 中,将氧化层 47 移除,且用与导电部分 53 的厚度相关的一所移除厚度,将介电层 66 的一部分移除,以将顶部 731 转换为一顶部 831 并使介电层 66 和导电层 63 分别具有被留下的一导电层 83 和一介电部分 76,其中导电层 83 具有顶部 831,且顶部 831 是暴露的并具有一穹形表面 (domed surface) 832。例如,步骤 322 是藉由使用一稀释氢氟酸 (dilute HF) 清洁过程而执行的。例如,介电部分 76 具有一项表面,介电部分 76 的该项表面以一特定距离高于介电部分 52 的一项表面。

[0085] 在步骤 324 中,在介电部分 76 和导电层 83 的顶部 831 上形成一介电层 48。例如,介电层 48 是沉积在介电部分 76 和导电层 83 的顶部 831 上的一氧化物氮化物氧化物 (ONO)

层。在步骤 326 中,在介电层 48 上形成一导电层 49 来形成该非挥发性记忆体装置。例如,导电层 49 是一多晶硅层,且介电层 48 是一多晶硅间介电层。例如,介电层 48 是该非挥发性记忆体装置的一控制栅极层。

[0086] 请参阅图 2A、图 2B、图 2C、图 2D、图 2E 和图 2F 琐事,其为本发明一实施例所提供非挥发性记忆体装置 91 的制造方法 300 的示意图。在图 2A- 图 2F 中,非挥发性记忆体装置 91 包括两个非挥发性记忆体装置 91A 和 91B,比如两个浮动栅极非挥发性记忆体单元。为了下列的叙述便于理解,虽然讨论将涉及每一个非挥发性记忆体装置,但将参考非挥发性记忆体装置 91A 和 91B 的其中之一。例如,非挥发性记忆体装置 91A 是一 NAND 浮动栅极记忆体装置和一 NOR 浮动栅极记忆体装置的其中之一。

[0087] 在图 2A 中,已提供一基板 41,基板 41 包括两基板部分 411 和 51。例如,基板 41 是一半导体基板,比如一硅基板。在基板 41 上已形成一介电层 42,介电层 42 包括两介电部分 421 和 52。例如,介电层 42 是一氧化物层,比如一氧化硅 (SiO_2) 层。在介电层 42 上已形成一导电层 43,导电层 43 包括两导电部分 431 和 53。例如,导电层 43 是一多晶硅层。在导电层 43 上已形成一介电层 44,介电层 44 包括两介电部分 441 和 54。例如,介电层 44 是一硬遮罩层。介电层 44 可以是一氮化硅 (Si_3N_4) 层。

[0088] 在图 2B 中,藉由将介电部分 441、导电部分 431、介电部分 421 和基板部分 411 移除,沟槽结构 45 已被形成,以留下介电部分 54、导电部分 53、介电部分 52 和基板部分 51。沟槽结构 45 从介电层 44 的顶表面 44S 通过介电层 44、导电层 43 和介电层 42 而向下延伸入基板 41。例如,应用自对齐浅沟槽隔离 (self-aligned shallow trench isolation, SA-STI) 过程以形成沟槽结构 45。例如,介电部分 54 和导电部分 53 (是一导电层) 可分别作为一遮罩层和一浮动栅极层。介电部分 52 和基板部分 51 可分别形成非挥发性记忆体装置 91A 的一穿隧层和一基板。

[0089] 介电层 44 配置在其上具有一遮罩区域 MR 和一非遮罩区域 NR。该自对齐浅沟槽隔离过程在非遮罩部分 NR 形成沟槽结构 45。沟槽结构 45 用于将多个非挥发性记忆体单元区域分开。例如,基板部分 51 的顶部 511、介电部分 52 和导电部分 53 是成为对齐的。

[0090] 在图 2B 中,已形成一介电结构 46 来填满沟槽结构 45,且形成一晶体管工件 50,介电结构 46 作为一填料介电物。在一具体实施例中,介电结构 46 是一氧化物结构,且包括一衬垫氧化物层 46A 和一填料氧化物 46B;衬垫氧化物层 46A 是藉由一现场蒸汽生长 (in-situ steam growth, ISSG) 或者一热处理过程 (thermal process) 而沉积在沟槽结构 45 的表面 45S 上,然后填料氧化物 46B 是在衬垫氧化物层 46A 上形成的来填满沟槽结构 45。例如,填料氧化物 46B 可以是藉由采用一高密度等离子体 (high density plasma, HDP) 沉积或者一玻璃悬涂 (spin on glass, SOG) 技术而形成的。例如,介电结构 46 包括一介电部分 46Q、一介电部分 56Q 和一介电层 66。

[0091] 例如,晶体管工件 50 可包括基板部分 51、介电部分 52 和一介电模块 501,其中介电部分 52 设置在基板部分 51 上,导电部分 53 设置在晶体管工件 50 中,且介电模块 501 耦合于基板部分 51、介电部分 52 和导电部分 53。介电模块 501 包括介电部分 54 和介电结构 46,其中介电部分 54 是设置在导电部分 53 (是一导电层) 上和介电结构 46 下面,且介电结构 46 耦合于介电部分 54、导电部分 53 和介电部分 52。导电部分 53 包括一顶边缘部分 53E 和一导电层 63 (是一导电部分),且是设置在介电部分 52 上和介电模块 501 下面。例

如,介电部分 54、导电部分 53 和介电部分 52 由介电结构 46 所围绕。

[0092] 在图 2C 中,化学机械研磨 (CMP) 过程或者回蚀过程已被应用来平坦化介电结构 46,且由介电部分 54 的顶表面 54S 所停止。因此,介电结构 46 的介电部分 46Q(显示在图 2B 中)可以予以移除来暴露介电部分 54,并使介电结构 46 具有被留下的一平坦化结构 56,其中导电部分 53 具有一顶表面 53S 和一厚度 TH53。平坦化结构 56 包括介电部分 56Q 和介电层 66,介电部分 56Q 具有一所移除厚度 TH1,且介电部分 54 的顶表面可以与平坦化结构 56 的顶表面对齐。

[0093] 在图 2D 中,用大于介电部分 54 的厚度 TH54 的所移除厚度 TH1,已回蚀或者藉由 CMP 处理平坦化结构 56 来将平坦化结构 56 的介电部分 56Q 移除,并使平坦化结构 56 具有被留下的介电层 66。例如,平坦化结构 56 的部分 56Q 已是藉由一稀释氢氟酸 (dilute HF) 清洁过程和一干蚀刻过程的其中之一而移除的。例如,介电层 66 具有一顶表面 66S,顶表面 66S 以一特定距离 DS1 低于导电部分 53 的顶表面 53S。介电层 66 包括两介电部分 66Q 和 76,其中介电部分 66Q 具有一所移除厚度 TH2。

[0094] 在图 2D 中,已将介电部分 54 移除,且能够同时将导电部分 53 的顶边缘部分 53E(显示在图 2B 中)移除来使导电部分 53 的导电层 63(是一导电部分)留下并形成一工件 60。导电层 63 包括一顶部 631,其中导电层 63 的顶部 631 可以具有一子部分 632,且子部分 632 具有一暴露的边缘修剪表面 633。例如,顶边缘部分 53E 被移除来形成暴露的边缘修剪表面 633,且热磷酸 (hot H3PO4) 清洁过程是使用来移除介电部分 54 和顶边缘部分 53E。

[0095] 例如,工件 60 可以包括基板部分 51、介电部分 52、导电层 63 和介电层 66。介电层 66 包括两介电部分 66Q 和 76,设置在基板部分 51 上,且耦合于介电部分 52 和导电层 63。例如,介电部分 52 和导电层 63 由介电层 66 所围绕。

[0096] 在图 2E 中,藉由应用一低温氧化过程到暴露的边缘修剪表面 633,将子部分 632 转变为一氧化层 47 来将顶部 631 转换为一顶部 731,其中氧化层 47 覆盖顶部 731。例如,该低温氧化过程包括从一低温等离子体氧化过程、一自由基氧化过程和一臭氧清洁过程中所选的一个。

[0097] 例如,在该低温等离子体氧化过程期间,导电层 63 的温度是在 600°C 和 700°C 之间的范围内;在该自由基氧化过程期间,导电层 63 的温度是在 600°C 和 700°C 之间的范围内;在该臭氧清洁过程期间,导电层 63 的温度是在 400°C 和 500°C 之间的范围内。例如,该低温氧化过程包括一等向氧化过程,导电层 63 的顶部 631 在暴露的边缘修剪表面 633 上损坏,且在暴露的边缘修剪表面 633 上的该损坏在该低温等离子体氧化过程期间被修理。

[0098] 在图 2F 中,已将氧化层 47 移除,且用与导电部分 53 的厚度 TH53(显示在图 2C 中)相关的一所移除厚度 TH2,将介电层 66 的介电部分 66Q(显示在图 2E 中)移除,以将顶部 731 转换为一顶部 831 并使导电层 63 和介电层 66 分别具有被留下的一导电层 83 和一介电部分 76,其中导电 83 具有顶部 831,且顶部 831 是暴露的并具有一穹形表面 832。例如,一稀释氢氟酸 (dilute HF) 清洁过程是使用来移除氧化层 47 和介电层 66 的介电部分 66Q。例如,介电部分 76 具有一顶表面 76S,顶表面 76S 以一特定距离 DS2 高于介电部分 52 的一顶表面 52S,且介电部分 76 形成非挥发性记忆体装置 91A 的一沟槽隔离层。

[0099] 例如,导电层 63 的顶部 631 具有一第一前视盖轮廓 (front-view cap profile),

导电层 83 的顶部 831 具有一第二前视盖轮廓,该第一前视盖轮廓和该第二前视盖轮廓分别具有一第一最小拟合曲率半径 (minimum fitted curvature radius) 和一第二最小拟合曲率半径,且该第一最小拟合曲率半径小于该第二最小拟合曲率半径。例如,穹形表面 832 具有一底部 8321 和耦合于底部 8321 的一顶部 8322,且顶部 8322 形成一圆形尖端 (或者一圆顶)。导电层 83 更具有一侧表面 83D,且底部 8321 平滑地延伸到侧表面 83D 和顶部 8322。例如,导电层 83 具有长度 L83、宽度 W83 (在垂直于纸面的方向) 和高度 H83,其中高度 H83 是大于长度 L83,以及 / 或者高度 H83 是大于宽度 W83,或者高度 H83 是大于导电层 83 的侧向宽度。

[0100] 在图 2F 中,在介电部分 76 和导电层 83 的顶部 831 上已形成一介电层 48。例如,介电层 48 是沉积在介电部分 76 和顶部 831 上的一氧化物氮化物氧化物 (ONO) 层。

[0101] 在图 2F 中,在介电层 48 上已形成一导电层 49 来形成非挥发性记忆体装置 91A。例如,导电层 49 是一多晶硅层,且介电层 48 是一多晶硅间介电层。例如,导电层 83 和导电层 49 分别形成非挥发性记忆体装置 91A 的一浮动栅极层和一控制栅极层。

[0102] 请参阅图 2G 所示,其为本发明一实施例所提供用于在图 2F 中配置的一可替代配置的示意图。在图 2F) 和图 2G 中具有相同符号的元件具有相似的功能。如图 2G 所示,导电层 83 的顶部 831 具有一顶表面 932,其中顶表面 932 具有是有限的一最小拟合曲率半径 (minimum fitted curvature radius) RM。例如,导电层 83 更具有一表面 9S 和在表面 9S 中的一拟合曲率半径分布 R1,其中表面 9S 包括顶表面 932 和耦合于顶表面 932 的一侧表面 83D。拟合曲率半径分布 R1 在顶表面 932 中具有最小拟合曲率半径 RM。例如,顶表面 932 和侧表面 83D 具有一倒置的 U 形横断面。

[0103] 例如,顶表面 932 是一穹形表面并平滑地延伸到侧表面 83D。顶表面 932 是由一方法所制造,该方法相同于制造顶表面 832 的方法。例如,顶表面 932 具有一底部 9321 和耦合于底部 9321 的一顶部 9322,且顶部 9322 可以形成一圆形尖端 (或者一圆顶)。底部 9321 平滑地延伸到侧表面 83D 和顶部 9322。

[0104] 例如,当持续缩小 NAND 记忆体单元的大小时,由于在浮动栅极层的顶边缘上的较小曲率半径、较薄的多晶硅间介电层和较小的耦合率,在规划 (programming) 操作期间通过多晶硅间介电层,较高的电场在该浮动栅极层的该项边缘上被感应出来。为了克服此问题,具有圆形尖端的浮动栅极层 (比如导电层 83) 被提供以用于 NAND 快闪记忆体单元,其中该圆形尖端具有大的曲率半径。例如,提供较低热预算过程的低温氧化过程调变该圆形尖端,且对于自对齐浅沟槽隔离的单元掺杂轮廓没有影响。

[0105] 在一实施例中,根据图 2A- 图 2G 而提供一种非挥发性记忆体装置 91A 的制造方法,该制造方法包括下列步骤:形成一导电层 63,其中导电层 63 具有一顶部 631;以及,将顶部 631 转换为一顶部 831,顶部 831 具有一穹形表面 832。例如,该制造方法更包括形成一工件 60 的步骤,其中工件 60 可以包括基板部分 51、介电部分 52、导电层 63 和介电层 66。介电部分 52 设置在基板部分 51 上,导电层 63 设置在介电部分 52 上,且介电层 66 设置在基板部分 51 上并耦合于介电部分 52 和导电层 63。

[0106] 在一实施例中,根据图 2A) - 图 2G 而提供一种非挥发性记忆体装置 91A 的制造方法,该制造方法包括下列步骤:形成一晶体管工件 50 和设置在晶体管工件 50 中的一导电层 (比如导电部分 53);以及,形成该导电层的一顶表面 932,其中顶表面 932 具有是有限的一

最小拟合曲率半径 RM 。

[0107] 例如,顶表面 932 更具有在其中的一拟合曲率半径分布 $R1$ 和一顶部 9322,且是由转换晶体管工件 50 和导电层(比如导电部分 53)所形成,其中拟合曲率半径分布 $R1$ 在顶部 9322 中具有最小拟合曲率半径 RM 。例如,顶表面 932 是由移除晶体管工件 50 的一部分和该导电层的一部分所形成,其中晶体管工件 50 的该部分包括介电部分 46Q、54、56Q 和 66Q,该导电层的该部分包括顶边缘部分 53E 和子部分 632。例如,顶表面 932 可以是穹形表面 832。

[0108] 请参阅图 3 所示,其为本发明一实施例所提供一非挥发性记忆体装置 93 的示意图。如图所示,非挥发性记忆体装置 93 包括一晶体管结构 80 和一导电层 83。导电层 83 设置在晶体管结构 80 中并具有一穹形表面 832。例如,晶体管结构 80 包括一基板 81、一穿隧层 82、一沟槽隔离层 86、一控制栅极层 89 和一介电层 88。例如,导电层 83 作为一浮动栅极层。

[0109] 基板 81 包括一顶部 811。穿隧层 82 设置在基板 81 的顶部 811 上,其中导电层 83 设置在穿隧层 82 上并具有一底部 835。沟槽隔离层 86 耦合于基板 81 的顶部 811、穿隧层 82 和导电层 83 的底部 835。介电层 88 设置在导电层 83 和沟槽隔离层 86 上。控制栅极层 89 设置在介电层 88 上。例如,顶部 811、穿隧层 82 和底部 835 由沟槽隔离层 86 所围绕,且沟槽隔离层 86 设置在基板 81 上。

[0110] 例如,基板 81 的顶部 811、穿隧层 82 和导电层 83 的底部 835 是成为对齐的。导电层 83 可以是一多晶硅浮动栅极层。例如,穹形表面 832 具有一底部 8321 和耦合于底部 8321 的一顶部 8322,且顶部 8322 形成一圆形尖端或者一圆顶。导电层 83 更具有一侧表面 83D,且底部 8321 平滑地延伸到侧表面 83D 和顶部 8322。例如,导电层 83 具有长度 $L83$ 、宽度 $W83$ (在垂直于纸面的方向)和高度 $H83$,其中高度 $H83$ 是大于长度 $L83$,以及 / 或者高度 $H83$ 是大于宽度 $W83$,或者高度 $H83$ 是大于导电层 83 的侧向宽度。例如,穹形表面 832 耦合于侧表面 83D,且穹形表面 832 和侧表面 83D 具有一倒置的 U 形横断面。

[0111] 在一实施例中,非挥发性记忆体装置 93 包括一控制栅极层 89、一导电层 83 和一介电层 88。介电层 88 设置在控制栅极层 89 和导电层 83 之间,且具有一内穹形表面 884,其中内穹形表面 884 与穹形表面 832 相一致。例如,介电层 88 更具有一外穹形表面 882、一内侧表面 884D 和一外侧表面 882D,其中内侧表面 884D 与侧表面 83D 相一致。例如,介电层 88 具有一厚度 $TH88$,且外穹形表面 882 是藉由厚度 $TH88$ 从内穹形表面 884 所偏离出的。

[0112] 例如,内穹形表面 884 具有一底部 8841 和耦合于底部 8841 的一顶部 8842,且外穹形表面 882 具有一底部 8821 和耦合于底部 8821 的一顶部 8822。顶部 8842 形成一内圆形尖端,且顶部 8822 形成一外圆形尖端。底部 8841 平滑地延伸到内侧表面 884D 和顶部 8842,且底部 8821 平滑地延伸到外侧表面 882D 和顶部 8822。例如,外穹形表面 882 耦合于外侧表面 882D,且外穹形表面 882 和外侧表面 882D 具有一倒置的 U 形横断面。

[0113] 请参阅图 4 所示,其为本发明一实施例所提供另一非挥发性记忆体装置 94 的示意图。在图 3 和图 4 中具有相同符号的元素具有相似的功能。如图 4 所示,非挥发性记忆体装置 94 包括一晶体管结构 80 和一导电层 83。导电层 83 设置在晶体管结构 80 中并具有一顶表面 932,其中顶表面 932 具有是有限的一最小拟合曲率半径 RM 。例如,晶体管结构 80 包括一基板 81、一穿隧层 82、一沟槽隔离层 86、一控制栅极层 89 和一介电层 88。

[0114] 例如,导电层 83 更具有表面 9S 和在表面 9S 中的一拟合曲率半径分布 R1,其中表面 9S 包括顶表面 932 和耦合于顶表面 932 的一侧表面 83D。拟合曲率半径分布 R1 在顶表面 932 中具有最小拟合曲率半径 RM。例如,顶表面 932 和侧表面 83D 具有一倒置的 U 形横断面。例如,顶表面 932 是一穹形表面并平滑地延伸到侧表面 83D。例如,顶表面 932 具有一底部 9321 和耦合于底部 9321 的一顶部 9322,且顶部 9322 可以形成一圆形尖端(或者一圆顶)。底部 9321 平滑地延伸到侧表面 83D 和顶部 9322。

[0115] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

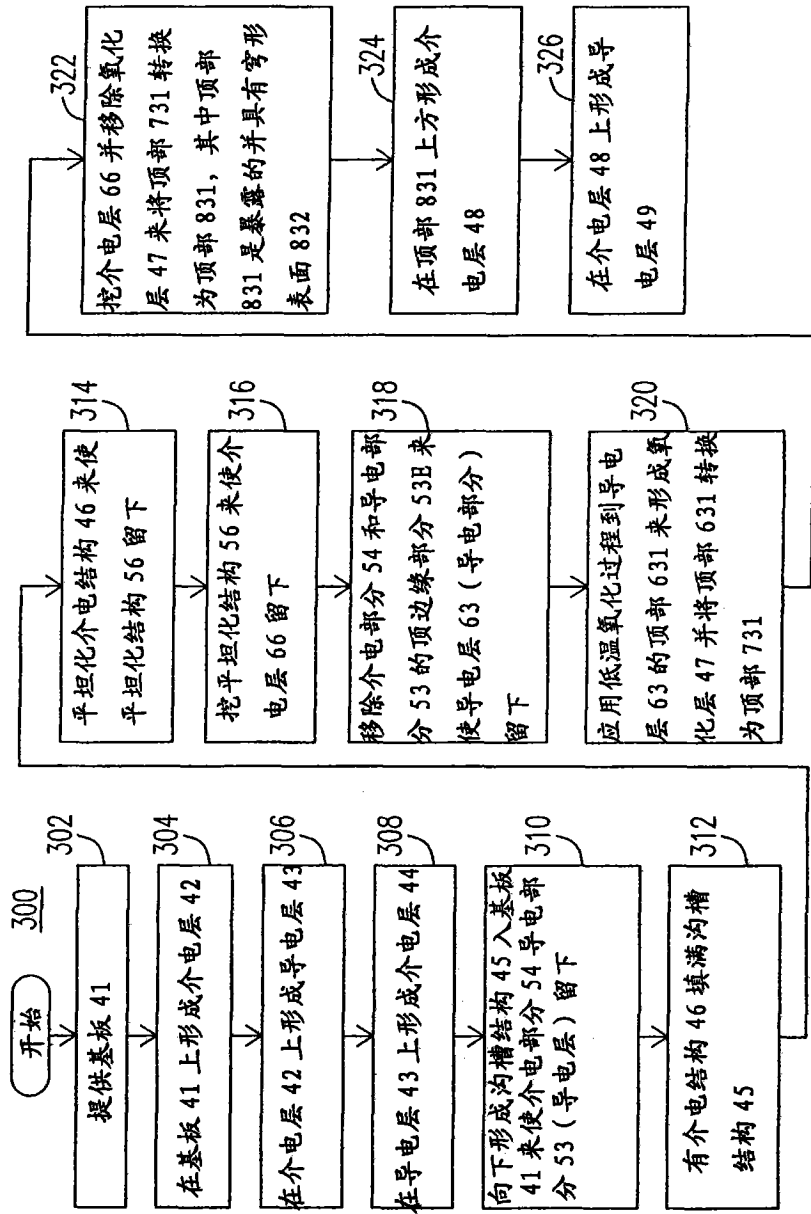


图 1

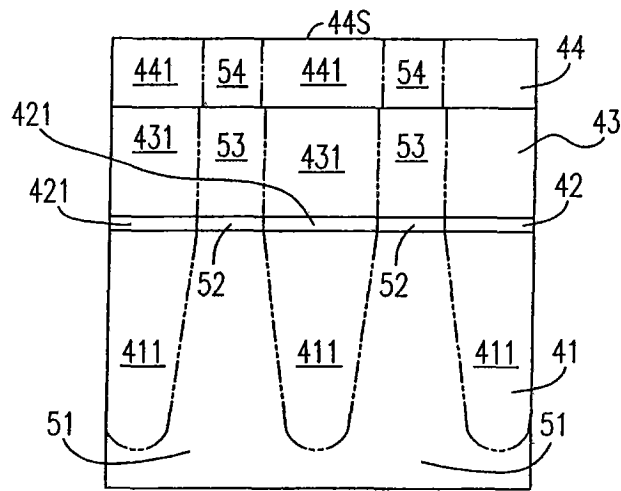


图 2A

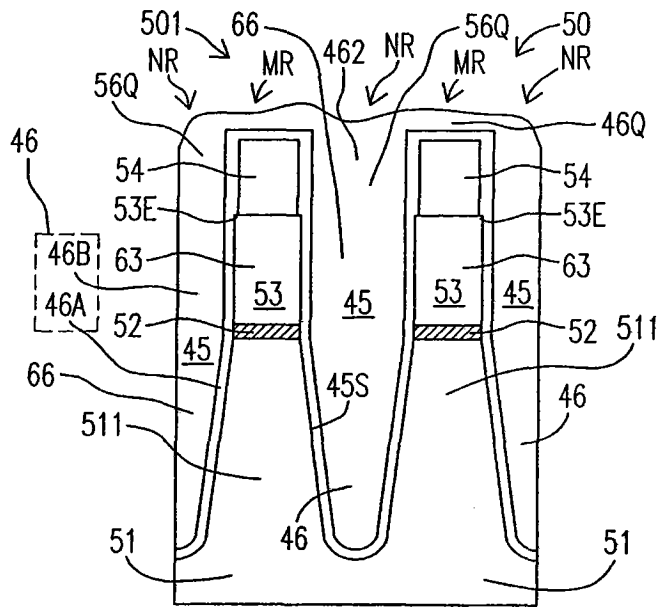


图 2B

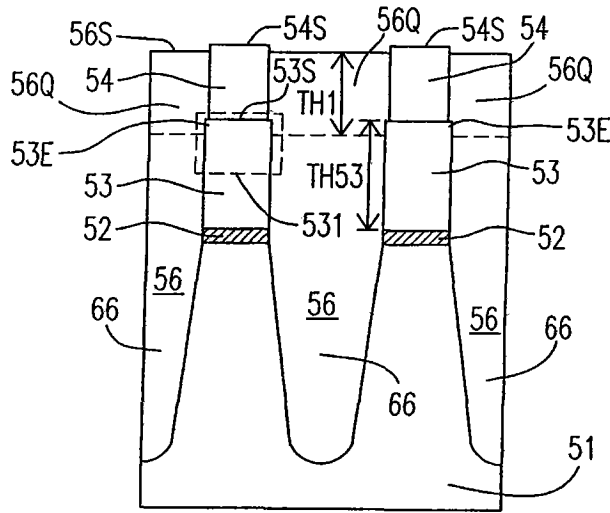


图 2C

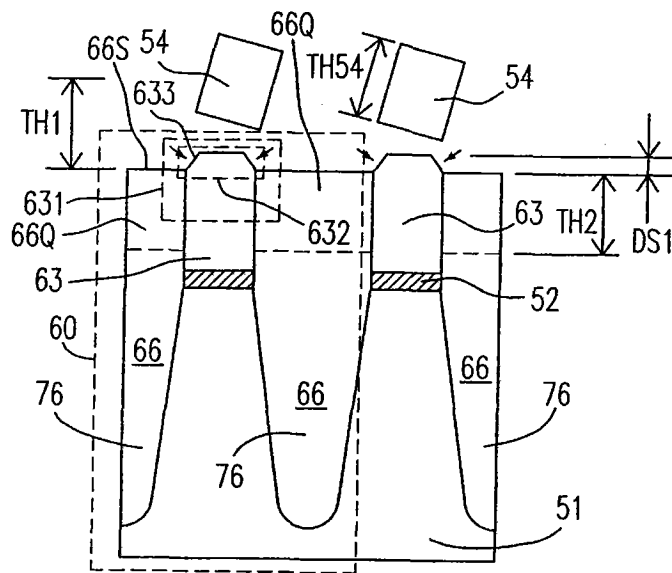


图 2D

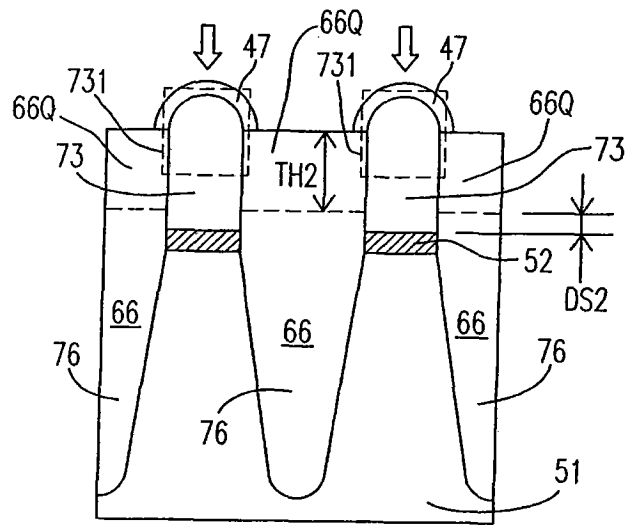


图 2E

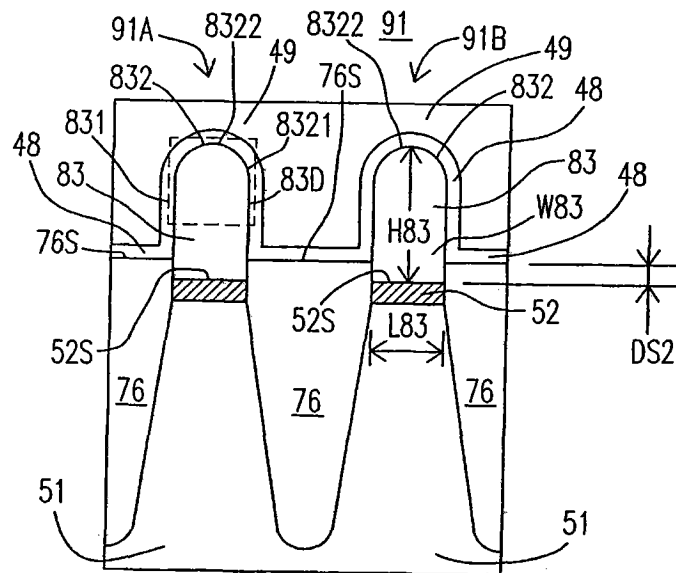


图 2F

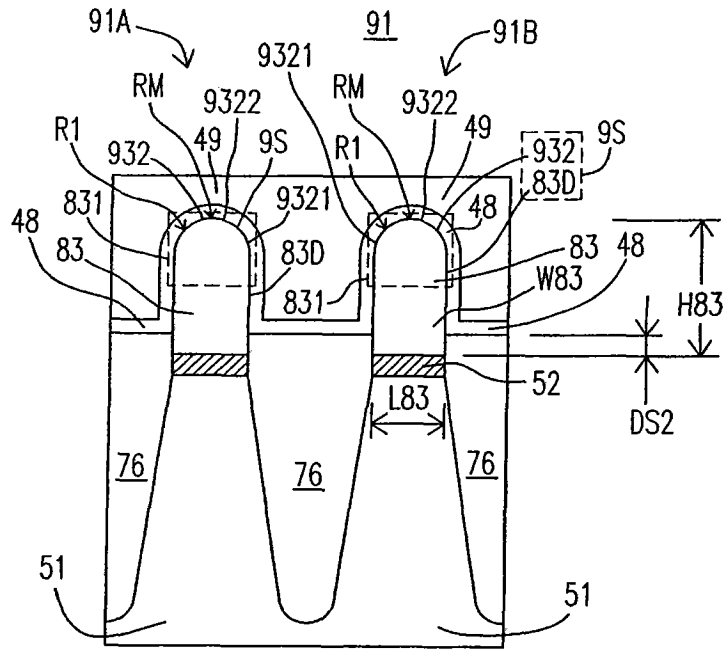


图 2G

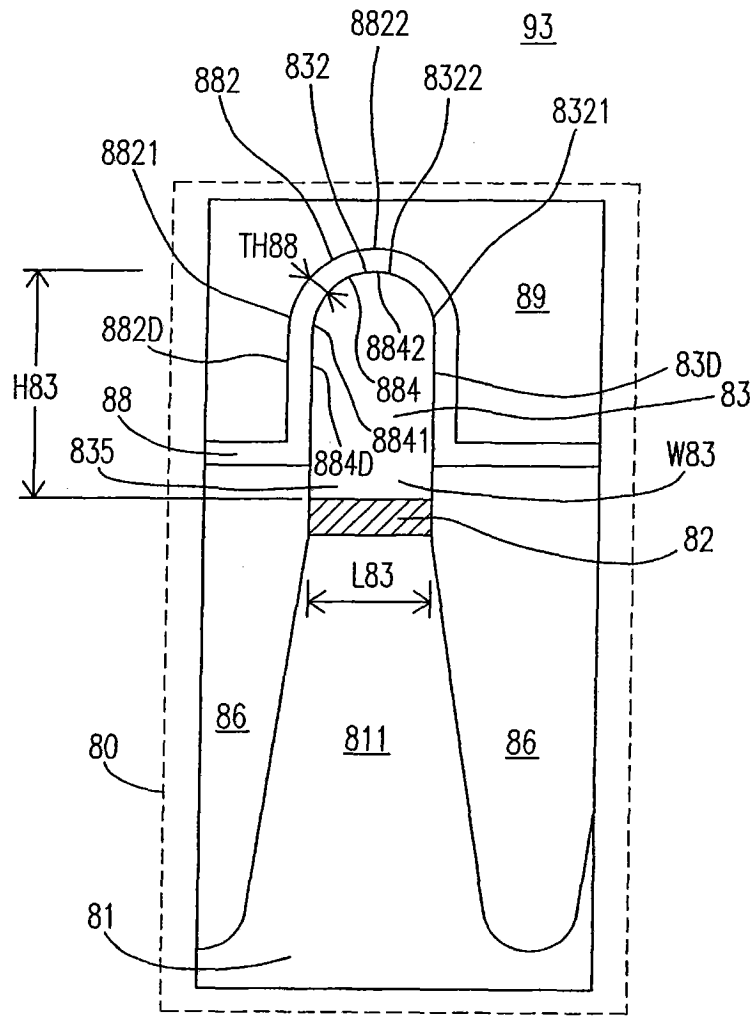


图 3

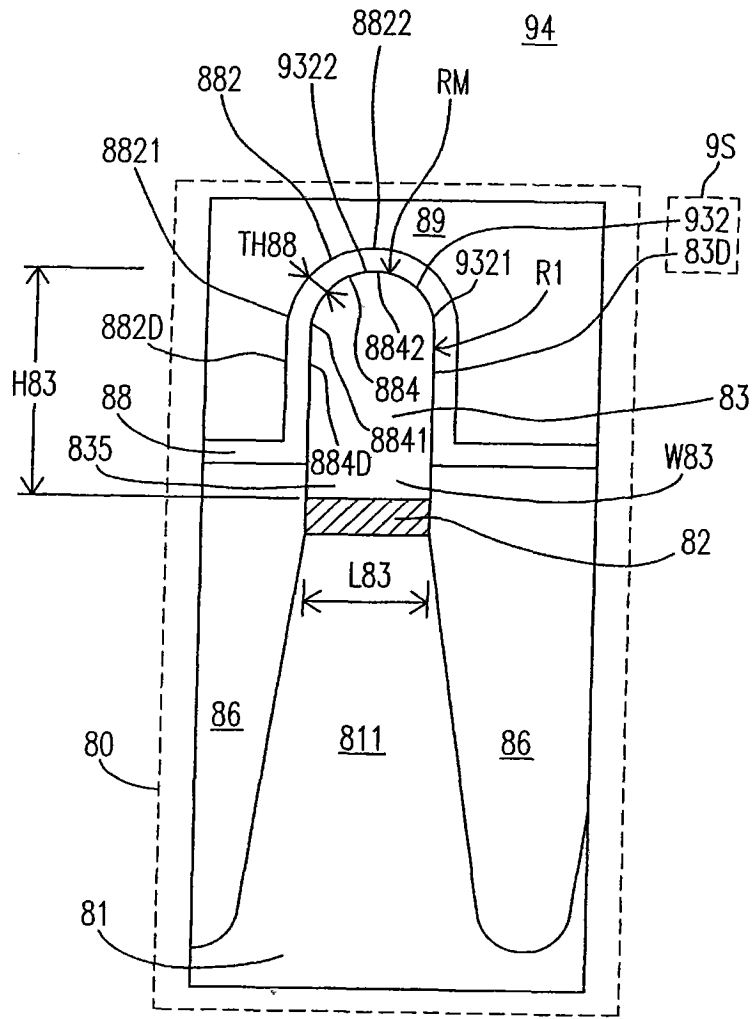


图 4