

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 21/00

[12] 发明专利申请公开说明书

[21] 申请号 98124366.5

[43]公开日 1999 年 4 月 21 日

[11]公开号 CN 1214531A

[22]申请日 98.9.25 [21]申请号 98124366.5

[30]优先权

[32]97.9.25 [33]JP [31]278296/97

[32]97.12.3 [33]JP [31]348641/97

[32]98.6.16 [33]JP [31]185567/98

[71]申请人 伊诺太科株式会社

地址 日本神奈川县

[72]发明人 吉田稔 土肥猛

[74]专利代理机构 柳沈知识产权律师事务所

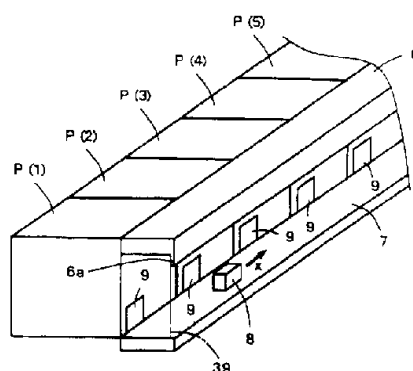
代理人 陶凤波

权利要求书 2 页 说明书 19 页 附图页数 11 页

[54]发明名称 半导体器件的制造装置

[57]摘要

本发明旨在通过简化半导体器件制造装置中的晶片衬底的传输路线来提高半导体器件的生产效率和提供避免使用大规模净化间的装置。单元处理组由多个处理机构构成,例如在形成晶片衬底的单独一层的工艺中的清洗和膜制造等,同时包括带有沿着用于传输晶片衬底的主传输路线(7)串联设置的这些多个处理组的单元处理组的总体。



ISSN 1008-4274

权 利 要 求 书

1. 一种制造半导体器件的装置, 其特征在于, 该装置包括单元处理组, 每个单元处理组(101 - 105, 101', 102', 104')分别具有多个处理机构(31 - 38), 处理机构包括在形成晶片衬底的单层的步骤中的清洗和膜形成, 并且其中这些多个单元处理组是沿着用于传输晶片衬底的主路线(7)串联设置的。

2. 一种制造半导体器件的装置, 其特征在于, 该装置包括与用于传输晶片衬底的主路线(7)相连接的单元处理组, 并且这些单元处理组(101 - 105, 101', 102', 104')包括多个处理机构(31 - 38), 该处理机构包括在形成晶片衬底的单层的那些步骤中的例如清洗和膜形成和其他处理机构, 这些处理机构按照晶片衬底的处理顺序串联设置。

3. 如权利要求 1 所述的装置, 其特征在于, 单元处理组包括具有按照晶片衬底处理顺序串联设置的多个处理机构(31 - 38)的单元处理组(101 - 105, 101', 102', 104')。

4. 如权利要求 2 所述的装置, 其特征在于, 多个处理组(101 - 105, 101', 102', 104')沿着用于传输晶片衬底的主路线(7)串联设置。

5. 如权利要求 1 - 4 任一项所述的装置, 其特征在于, 提供从主路线(7)引出的分支路线(24), 并且在该分支路线中安装选自所有处理机构的特殊处理机构。

6. 如权利要求 1 - 5 任一项所述的装置, 其特征在于, 沿着用于传输晶片衬底的传输路线(7)以预定间隔设置净化台, 并且该净化台(6)向传输路线注入净化空气, 由此在路线(7)和净化台之间形成净化空间(39)。

7. 如权利要求 6 所述的装置, 其特征在于, 沿着晶片衬底传输路线(7)的方向在净化台 6 的边缘提供向下延伸的空气导向器。

8. 如权利要求 6 或 7 的装置, 其特征在于, 在净化台(6)和传输路线(7)之间提供包围净化空间(39)的围墙部件。

9. 如权利要求 6 - 8 的任一项所述的装置, 其特征在于, 在净化台下面提供空气出口。

10. 如权利要求 1 - 9 的任一项所述的装置, 其特征在于, 其包括: 含有传输路线的传输装置, 其中传输路线基本上包括和在传输路线上可运动的且其上装有晶片衬底的运载工具(25)一起的一个或两个主路线(7)和分支路线



(24); 位置检测装置, 用于检测该传输机构具有的运载工具的位置; 和控制 CPU, 用于根据来自位置检测机构的检测信号让运载体运动或前进。

11. 如权利要求 10 的装置, 其特征在于, 位置检测机构包括表示沿着传输路线(7)提供的位置的地址 ID 和用于读取提供给运载工具的地址 ID (26)的 ID 检测器, 并且 ID 检测器把在传输过程中读取的地址 ID 传输给控制 CPU, 而控制 CPU 在发送给它的地址 ID (26)的基础上控制运载工具(25)的运动。

12. 如权利要求 10 - 11 的任一项所述的装置, 其特征在于, 沿着晶片衬底的传输路线提供适应于任何合适的产品类型的一个或多个单元处理组, 并且控制 CPU 只选择在运载工具(25)的传输过程中所要求的一个或多个单元处理组。

13. 如权利要求 10 - 12 任一项所述的装置, 其特征在于, 包括处理机构组和在对应沿着传输路线的处理机构组的部分设置的保护区(27), 其中处理机构组包括处理能力比沿着传输路线(7)提供的其它处理机构低的相同类型的多个连续处理机构, 控制 CPU 控制在传输路线(7)上运动的多个运载工具(25), 并对把晶片衬底运送到所述处理机构组的运载工具(25)起作用, 使其停止在保护区(27)中, 从而使其后面的运载工具(25)穿过停止的运载工具(25)。

14. 如权利要求 1 - 13 的任一项所述的装置, 其特征在于, 包括随机单元处理组, 其中处理机构在台系统中随机设置。

说明书

半导体器件的制造装置

5 本发明涉及半导体器件的制造装置。

下面参照图 9 - 12 说明一种现有的半导体器件的制造装置。

该制造装置是所谓的台式系统 (bay system)，它是由包括安装在其中的相同种类的多个处理机构的处理台构成的。

10 如图 9 所示，在净化间 40 中设置对应于各种处理步骤的多个处理台 11 - 18。

下面按照处理过程说明安装在各个处理台 11 - 18 中的处理机构。

用于清洗晶片衬底的表面的清洗机构 31 安装在清洗处理台 11 中。

氧化膜形成机构 32 安装在氧化膜形成处理台 12 中，其中氧化膜形成在晶片衬底表面上，作为保护膜。

15 另外，光敏材料涂敷处理台 13 和显影处理台 14 是用于实施光刻处理的处理台，其中在处理台 13 中安装光致抗蚀剂涂敷机构 33，显影机构 34 是在处理台 14 中。在显影处理台 14 中，所实行的处理包括根据曝光所需要的图形，形成光致抗蚀剂掩模，然后去掉没有感光的那些光致抗蚀剂部分。

20 在化学处理台 15 中，化学处理的实施包括去掉晶片衬底表面上的不需要的材料，例如一部分氧化膜。此处安装有用于这种处理的化学处理机构 35。

在杂质扩散处理台 16 上，安装杂质扩散处理机构 36，用于将杂质扩散进入晶片衬底。将根据要形成的层所需要种类的杂质气体导入该杂质扩散处理机构 36。

25 此外，用于形成薄膜的溅射机构 37 安装在溅射处理台 17 中，而晶片衬底检测机构 38 安装在检测处理台 18 中。

安装单轨条(monorail)19，用于在上述各个处理台之间连接。其中装有待处理晶片衬底的运载盒。未示出，在单轨条 19 上运动，用于把晶片衬底传输到各个处理台 11 - 18。

30 另外，在每个处理台 11 - 18 中提供专门用在处理台内部的自动运输装置。该自动运输装置可以从单轨条 19 上的运载盒取下晶片衬底并传递到处理



台内部，然后在那里进行所需要的处理。如此设置，以致于在完成这种处理之后，衬底又可以返回到运载盒中。

每个处理台也都如此设置，以使相同种类的多个处理机构安装在其中，由此可以一次传输多个晶片衬底，用于同时处理。

5 由于制造单个半导体器件需要的处理步骤的数量和顺序随产品类型而不同，因此提供控制 CPU，用于选择传递晶片衬底的传送路线。

下面说明根据图 10 的流程图，在台式系统型的制造装置中，制造图 12 中一种半导体器件的晶体管的方法。这里应注意，该晶体管是 P 型层 2 位于 N 型层 1，3 之间形成的，带有暴露于表面的电极 4，5 和由氧化膜 20 保护的剩余部分。

首先，在单轨条 19 上的运载盒中装入 N 型硅晶片衬底，用于向着处理台 11 传输。在步骤 1，清洗处理台 11 内的晶片衬底。

完成清洗后，晶片衬底通过单轨条 19 向处理台 12 运动，由此进行步骤 2。在步骤 2，在晶片衬底表面(见图 11(a))上形成氧化膜 20；然后将晶片衬底传输到处理台 13。

在步骤 3，在氧化膜 20 的整个表面上淀积和涂敷感光材料。

在处理台 14 中，在步骤 4 的显影处理中，用对于安装在感光材料 21 上的 P 型层 2 的掩模 22 进行曝光，如图 11(b)中所示；然后去掉那些未感光的部分，即：掩模 22 的那些感光材料部分，(见图 11(c))。

20 其次，把晶片衬底传输到处理台 15，通过在步骤 5 的化学处理工艺去掉没有感光材料的那些氧化膜部分。然后，如图 11(d)所示，得到带有直接暴露的 N 型层 1 的某些部分。在这个状态中，把晶片衬底传送到处理台 16，进行下一步骤 6。

在步骤 6，使用处理台 16 的杂质扩散处理机构 36，让 P 型杂质扩散。由于此扩散处理，在晶片衬底内形成 P 型层 2，如图 11(e)所示。

在步骤 7，把晶片衬底传送到处理台 11，再次进行清洗，由此去掉留在表面上的感光材料。

把晶片衬底传送到处理台 12；在步骤 8，形成氧化膜 20，从而使 P 型层 2 的表面也被氧化膜 20 保护，如图 11(f)所示。

30 然后在步骤 9 - 12，用上述步骤 3 - 6 相同的方式，通过感光材料涂敷工艺→显影工艺→化学处理的工艺→杂质扩散工艺形成 N 型层 3。这里应



注意，在步骤 10 的显影处理中，在安装对应 N 型层 3 的形状的掩模时，进行曝光。

再次，把晶片衬底传送到处理台 11；在步骤 13 进行清洗，用于去掉任何不需要的感光材料 21；然后，把它传送到处理台 12。

5 在步骤 14，再形成氧化膜 20。因而，晶片衬底的整个表面被氧化膜 20 覆盖，如图 11(g)所示。

此后，通过步骤 15 - 22 形成图 12 中的 Al(铝)电极 4、5。

为此，在步骤 15 - 18，在氧化膜 20 中确定窗口。为了直接把 Al 电极连接到 P 型层 2 和 N 型层 3 的表面上，这些窗口与用于去掉氧化膜 20 的某些部分对应。

首先，在步骤 15，在处理台 13 中在图 11(g)的氧化膜 20 上涂敷感光材料 21。

在步骤 16，把晶片衬底传送到处理台 14，其中曝光是在形成对应上述窗口的掩模 22 的同时进行的，如图 11(h)所示。

15 在步骤 17，进行化学处理以去掉对应窗口，即电极的那部分氧化膜 20；然后，形成窗口。另外，在处理台 11 中进行清洗，由此去掉剩余的感光材料 21(步骤 18)。

为了形成用作电极的 Al 膜 23，把晶片衬底传送到溅射处理台 17。在这里形成 Al 膜 23(步骤 19)。这里，在如图 11(i)所示整个表面上形成 Al 膜 23，其中存在的某些部分是以对应前面形成的窗口的方式分别在 P 型层 2 和 N 型层 3 与 Al 膜 23 直接接触，从而这些部分成为电极。

在步骤 20，在处理台 13(图 11(j))中在 Al 膜 23 上再次涂敷感光材料 21。

在步骤 21 的显影处理过程中，用如图 11(j)中所示安装的掩模 22 进行显影，留下电极形状的掩模作为暴露表面。

25 通过在步骤 22 的化学处理工艺，沿着下面的 Al 膜 23 去掉任何没有感光的感光材料 21 部分。

这样，就完成了 P 电极 4 和 N 电极 5。

另外，在步骤 23，进行清洗，以去掉剩余的感光材料 21，由此完成晶体管。

30 然后把如此得到的晶体管传送到处理台 18，用于检测。

在以上述方法制造作为半导体器件的晶体管情况下，要在图 9 的八个处



理台 11 - 18 中对晶片衬底进行图 10 所示的流程图中的二十四步的处理。处理步骤的数量比前面图中所示的处理台的数量多，这意味着单个处理台被用于进行多次处理。换言之，在运载盒把这样一个晶片衬底传送到相同处理台用于多次处理时，其中安装晶片衬底的运载盒必须多次经过单轨条 19 上的相同路线。例如，在上述处理中，单轨条 19 把晶片衬底传送到清洗处理台 11 五次，传送到氧化膜形成处理台 12 三次，传送到感光材料涂敷处理台 13 和显影处理台 14 的每个以及传送到化学处理的处理台 15 都是四次，传送到杂质扩散处理台 16 二次，传送到溅射处理台 17 和检测处理台 18 的每个都是一次。

- 5 使用连接到各个处理台的参考标记，把晶片衬底传送到这些处理台的顺序表示如下：11 → 12 → 13 → 14 → 15 → 16 → 11 → 12 → 13 → 14 → 15 → 16 → 11 → 12 → 13 → 14 → 15 → 11 → 17 → 13 → 14 → 15 → 11 → 18。

在把单个传输盒设计成把它多次传送到单个处理台的方式沿着复杂路线传送的情况下，在试图传送多个运载盒时，其路线会与另一运载盒的路线交叉。结果，这样“碰撞”的运载盒中的一个必须等待，同时另一个通过该路线。或者，在一次进行使用相同处理机构的处理步骤的情况下，由于一个处理台不能同时执行多个处理任务，所以其中一个必须等待。

特别是，在处理的总步骤数量增加时，利用相同处理机构或相同处理台的处理步骤的最后数量相应增加了。这导致传送路线长度的增加，这样生产率减少了。在生产率仅仅由于一个传送盒的路线长度增加而降低时，在由于路线交叉或沿着路线与其它运载盒碰撞而延长等待时间时生产率还可能进一步降低。

另外，该现有技术的装置必须严格要求使用能够容纳所有处理机构和与之相关的传送路线的大规模净化间。

- 25 因此本发明的目的是通过在半导体器件制造装置中简化晶片衬底的传送路线来提高半导体器件的生产效率。另一目的是提供能够不需要大规模净化间的装置。

根据第一发明的制造半导体器件的装置的特征是，多个单元处理组，分别由在形成晶片衬底的各层的步骤中包括清洗和膜形成等多个处理机构构成，并且所包括的多个单元处理组是沿着传输晶片衬底的主路线串联设置的。



第二发明的特征在于包括在用于传输晶片衬底的主路线上相连的单元处理组，还在于，这些处理组包括在形成晶片衬底的各层的那些处理步骤中的多个处理机构，例如清洗和膜形成等，这些机构按照处理晶片衬底的工序顺序串联设置。

5 第三发明是以第一发明为基础的并且特征在于多个单元处理组包括具有按照处理晶片衬底的工序顺序串联设置的多个处理机构的单元处理组。

第四发明是以第二发明为基础的，并且特征在于多个单元处理组沿着传输晶片衬底的主路线串联设置。

10 第五发明的特征在于提供从主路线引出的一个或多个分支路线，并且，从所有处理机构选择的特殊处理机构安装在分支路线上。

第六发明的特征在于沿着传输晶片衬底的路线以预定间隔设置净化台，该净化台对着传输路线注入净化空气，在路线和清洗台之间形成净化空间。

15 第七发明的特征在于沿着晶片衬底方向在净化台的边缘设置向下延伸的空气导向器。

第八发明的特征在于在清洗台和传输路线之间设置包围净化空间的围墙式部件。

第九发明的特征在于在净化空间下边设置空气排气口。

20 第十发明的特征在于，包括：传输机构，该机构包括由一个或两个主路线和分支路线组成的传输路线以及其上装有晶片衬底并沿着传输路线可移动的运载体；位置检测机构，用于检测传输机构具有的运载体的位置；和控制CPU，用于根据从位置检测机构检测的检测信号让运载体移动或前进。

25 第十一发明的特征在于位置检测机构包括沿着传输路线提供的表示位置的地址ID和用于读取提供给运载体的地址ID的ID检测器，ID检测器在运输过程中把读取的地址ID传输给控制CPU，而控制CPU根据输送给它的地址ID控制运载体的运动。

第十二发明的特征在于，沿着晶片衬底的传输路线设置容纳任何可能的产品类型单元处理组，控制CPU仅选择在运载体的运输过程中所需要的一个单元处理组或多个单元处理组。

30 第十三发明的特征在于包括：处理机构组，该处理机构组包括在处理能力上比沿着传输路线设置的其它处理机构小的同种的多个连续处理机构；和



在沿着传输路线对应处理机构组的部分设置的多于一个的保护区，特征还在于控制 CPU 用于控制在传输路线上可移动的多个运载体，并作用运载体把晶片衬底运送到处理机构组，且停止在保护区，由此能使它后面的运载体穿过该停止的运载体。

- 5 第十四发明的特征在于包括随机单元处理组，其中处理机构在台式系统中随机设置。

应该注意，本发明的半导体器件制造装置不应总是设置成包括半导体器件制造中的所有处理步骤，也可以设计成在原理上至少部分包括那些所需处理步骤。

- 10 还应注意到，沿着晶片衬底传输路线串联设置的单元处理组的排列可以按照晶片衬底制造处理步骤的工序顺序把单元处理组排成一行。

图 1 是第一实施例的制造装置的示意 3D 图。

图 2 是第一实施例的单元处理组的流程图。

图 3 是表示第一实施例单元处理组的结构方框图。

- 15 图 4 是示意地表示第二实施例的制造装置概要的方框图。

图 5 是表示第三实施例的制造装置的概要的方框图。

图 6 是表示第四实施例的制造装置的概要的方框图。

图 7 是表示第五实施例的制造装置的概要的方框图。

图 8 是表示第六实施例的制造装置的概要的方框图。

- 20 图 9 是一现有技术制造装置的示意图。

图 10 是现有技术的晶体管的制造流程图。

图 11 是用于解释晶体管的制造程序的示意图，其中(a)-(j)是表示在制造过程中连续状态的示意图。

图 12 是晶体管的截面图。

- 25 图 1 - 3 所示的第一实施例是包括沿着作为本发明的主路线的传输路径 7 单边排列的多个处理盒 P(1), P(2)…的制造装置。此传输路径 7 设计成允许自动运载工具 8 - 其上装有密封的净化盒 - 沿着传输路径 7 运动，用于传输放在净化盒中的晶片衬底。

而且，在传输路径 7 上设置清洁台 6。

- 30 此洁净台 6 对着下面的传输路径 7 注入净化空气，由此在净化台 6 和传输路径 7 之间形成由点划线围成的清洁空间 39。另外，净化台 6 具有向下的



空气导向器 6a 设置在其上的一个边缘部分，该导向器 6a 用于能够调整净化空气的向下流动。此沿着空气导向器 6a 的流动作为空气帘。因而，注入到清洁空间 39 的净化空气将不再试图从净化空间 39 逃出或流出。

这样就保证，沿着传输路径 7 运输的净化盒总是在净化气氛中运行。

- 5 各个处理盒 P(1), P(2)… 的内部应该如此：提供在晶片衬底上形成各层的工艺需要的几种处理机构的综合，构成一个单元处理组。这些单元处理组是沿着传输路径 7 串联设置的，由此构成本发明的多个单元处理组。这些都是用于根据上述单元处理组，即处理盒的布置顺序执行一系列的处理任务的。

10 这里，下面将描述用于制造在前面结合图 12 所述现有技术结构的晶体管的工艺。该制造工艺是与图 10 中所示流程相同的。

简言之，通过各个处理盒 P(1), P(2)… 中的单元处理组可以实现用于完成图 10 的流程的所有处理功能。

下面将解释构成本发明制造装置的各个处理组是怎样由一个或多个处理机构构成的。

- 15 各个单元处理组是通过把对应图 10 中所示所有处理任务的步骤 1 - 24 的二十四个处理功能分成五组构成的那些。这样设置的每个单元处理组内部的最终处理功能在工序上是与图 10 中的流程相同的。

20 应注意到，在鉴于处理功能而实施组的划分时，这不是绝对的一种。将被考虑作为用于形成晶片衬底的各层的一系列工艺的多个步骤被合并在一起并包含在相同组中。

相应地，在第一实施例中，图 10 的流程中步骤 1 - 步骤 24 设置成对应于如图 2 中所示由五个处理组 101 - 105 构成的流程。

- 25 第一处理组 101 对应用于形成晶体管的 P 型层 2 的步骤 1 - 6，而第二处理组 102 对应用于形成 N 型层 3 的步骤 7 - 12。另外，第三处理组 103 对应用于确定将形成电极的位置的步骤 13 - 15；第四处理组 104 是形成 Al 电极的处理；第五处理组 105 是检测处理。

注意到，Al 电极形成工艺由两组构成：通过半导体与电极接触的表面的一侧上的氧化膜中确定窗口而用于形成电极位置的第三处理组 103，和用于形成外部暴露面的形状的第四处理组。

- 30 如图 3 所示，每个处理盒 P(1) - P(5) 包括安装在其内的几个处理机构，它们是在每个处理中使用的必须的处理机构。



这里, 安装在每个处理盒 P(1) - P(5) 中的处理机构与安装在现有技术处理台 11 - 18 中的那些是同种的, 同种机构用相同参考标号表示。

第一处理组的处理盒 P(1) 包括安装在其内用于形成 P 型层 Z 需要的那些机构。具体地讲, 安装清洗机构 31、氧化膜形成机构 32、感光材料涂敷机构 33、显影机构 34、化学处理机构 35 和杂质扩散处理机构 36。

在第二处理组的处理盒 P(2) 中, 安装与第一处理组的处理盒 P(1) 中的相同种类的处理机构作为用于形成 N 型层 3 的处理机构。但是, 注意到, 在显影过程中使用的掩模图形和作为引入第二处理组中的杂质扩散处理机构 36 的气体种类是不同于第一处理组中的那些的。

在第三处理组的处理盒 P(3) 中, 安装用于在氧化膜中形成窗口以确定设置电极的位置的那些处理机构, 包括清洗机构 31、氧化膜形成机构 32、光致抗蚀剂涂敷机构 33、显影机构 34、和化学处理机构 35。

第四处理组是用于形成 Al 电极的工艺: 在处理盒 P(4) 中, 除了清洗机构 31、光致抗蚀剂涂敷机构 33、显影机构 34、和化学处理机构 35 以外, 还安装溅射机构 37。

在最后处理盒 P(5) 中, 安装清洗机构 31 和检测机构 38。

上述五个处理盒 P(1) - P(5) 是沿着用于运输净化盒的自动运载工具 8 的传输路径 7 线性排列的。另外, 在每个处理盒 P(1) - P(5) 中形成用于装载和卸载净化盒的进/出口 9。

应注意, 在各个处理盒 P(1) - P(5) 内部, 和上述处理机构一道设置晶片衬底传送机构(未示出)。此晶片衬底传送机构是用于接收由进/出口 9 来的净化盒, 并将其传送到每个处理机构。在其中还提供有能够把净化盒中的晶片衬底送至每个处理机构而不将其暴露于外边气体的现有技术公知的机构。

下面说明在如此安装的制造装置中制造图 12 中所示晶体管的方法。

其上安装封闭式洁净盒的自动运载工具 8 只在图 1 和 3 中箭头 x 的方向运动, 从而按照此顺序连续地把净化盒运输到处理盒 P(1) - P(5), 其中净化盒中装有晶片衬底。

首先, 净化盒通过处理盒 P(1) 的进/出口 9 进入处理盒 P(1) 的内部。在处理盒 P(1) 内部, 对如此传送的晶片衬底进行形成 P 型层 2 的处理。完成此处理过程后, 晶片衬底返回到净化盒, 然后净化盒通过自动运载工具 8 移动到附近的处理盒 P(2)。



而且在处理盒 P(2)中实行需要的处理, 使离开它的净化盒运动到下一处理盒 P(3)。

此后, 在处理盒 P(4)→P(5)重复执行处理程序的相同操作, 由此完成预计产品。

- 5 用这种方式, 由于所有处理步骤是在自动运载工具 8 只在一个方向运动的同时执行的, 因此对于自动运载工具 8 来说, 不再需要沿着传输路径 7 重复运动了。换言之, 在不需要运载工具通过一些“无效”传输路线部分的情况下, 就可以完成所需的处理。这样, 制造效率相应增加了。

- 10 而且, 即使是采用沿着传输路线 7 同时运动的多个自动运载工具 8, 也不可能发生保持这种自动运载工具 8 的传输路线以适当距离互相交叉的情况。

另外, 在现有技术不一样, 不会发生相同处理盒必须用于执行在不同步骤中的处理的情况; 因此, 也不会发生在相同处理盒中多个净化盒聚在一起, 结果在那里处理一个盒时形成许多盒排队等候的情况。

- 15 因此, 不再产生等候时间, 从而能够实现生产效率的提高。

虽然在第一实施例中, 只为了简化解释的目的, 用于制造图 12 中所示简单晶体管采用了一个特殊的制造装置作为例子, 但是容许在处理步骤增加时提供另外的单元处理组, 这样额外的处理盒也可以相应地采用。显然, 需要的话, 单元处理组的数量可以减少。

- 20 还注意到, 划分单元处理组的方案不只限于第一实施例, 在多个处理盒同样地由与处理盒 P(1)和 P(2)中相同的处理机构构成时, 设备成本可以减少。

- 25 还应注意, 在第一实施例中, 在传输路径 7 和净化台 6 之间形成净化空间 39 时, 在传输路径 7 上提供净化台 6, 用于使用净化盒运载晶片衬底, 由此避免了现有技术中使用的净化间。换言之, 在现有技术要求使用能容纳所有的处理机构和与之相关的传输路线的大型净化间时, 所示实施例不再需要这种大净化间了。

为了利用上述净化台 6 进一步有效地形成净化空间 39, 调整净化空气从净化台 6 的流动以使它们在向下的方向是有很有效的。

- 30 为此, 在本例中, 沿着传输路径 7 在净化台 6 的伸长边缘提供空气导向器 6a。还应考虑到, 通过在向下方向上增加其长度或在净化台 6 和传输路线



7 之间提供围墙(fence)例如墙(wall)或门,此空气导向器 6a 减小了空气流试图逃出到净化空间 39 的外边的可能。通过这种设置,在净化空间 39 内部可以实现有效的净化。

5 另外,如果在净化空间 39 下边提供空气出口,则这种出口对调整净化空气流是很有用的。例如,在净化空间完全被围墙封闭的情况下,可以通过在此围墙底部形成孔或通过传输路线 7 的表面中形成穿孔调整净化空气流。

可选择地,如果这种空气出口提供有压力空气排出装置,则可以进一步均匀地调整净化空气的流动方向。

10 如果净化空气被控制得面对带有很少浪费的传输路线表面,同样可以减少从净化台的净化空气的流量,这样就减小了净化台的尺寸。

应注意,在第一实施例中采用净化台 6 时,如果传输路线 7 和单元处理组安装在使用的净化间内部,则不需要这种净化台 6。

15 但是,注意到由于提供了能够在不将其暴露于外面空气的情况下把净化盒中的晶片衬底设置于每个处理机构上,所以不必严格要求用于安装这种制造装置的净化间的洁净度过分提高。在如图 9 中所示的现有技术半导体制造装置中,该装置必须安装在等级 1 或更高的净化间内;相反,对于用于安装本发明的装置的净化间来说,容许洁净度为约等级 1000。

20 而且,在第一实施例中,构成各个单元处理组 101 - 105 的处理机构按照晶片衬底被处理的顺序串联设置。由于这个原因,即使在对应各个单元处理组 101 - 105 的处理盒 P(1) - P(5)内部,也可以简单驱动晶片衬底在一个方向上运动,而不必通过复杂的传输路线部分。

25 注意到,每个单元处理组内的处理机构不总是这样:即它们所有的都按照处理步骤的顺序设置。使用仅仅某些这种单元处理组按照处理步骤顺序设置的结构,与现有技术相比,晶片衬底传输路线在结构上可以简化,从而可以增加生产效率。在这种情况下,剩余的单元处理组可以任意设置,而不是按照处理步骤顺序串联布置。

图 4 所示的第二实施例,其中的制造装置包括带有上述任意设置的处理机构的前面的随机单元处理组。

30 在第二实施例中,安装的是这种随机单元处理组的处理盒 P(6),可代替图 3 中所示第一实施例的处理盒 P(1), P(2)。沿着传输路线 7 安装的处理盒



P(6), P(3), P(4), P(5), 安装成构成以串联排列的单元处理组。

这种处理盒 P(6)采用台系统并在其内部安装与图 3 的处理盒 P(1)中安装的相同的处理机构。该处理盒 P(6)在其内进行第一实施例中所用的第一处理组 101 的处理和第二处理组 102 的处理。

5 换言之，形成晶体管的 P 型层 2 和 N 型层 3(见图 12)的处理步骤被表示为一个单元处理组，并且通过一个台式机构实现该处理组的处理。

下面说明使用按上述设置的制造装置制造图 12 中所示晶体管的方法。

首先，已经在传输路线 7 上传送的净化盒运载到处理盒 P(6)，用于在此处理盒 P(6)中在晶片衬底上形成 P 型层 2 和 N 型层 3。P 型层 2 和 N 型层 3
10 的形成程序与现有技术相同。完成此处理的晶片衬底返回到净化盒；然后，通过传输路线 7 上的自动运载工具 8 使净化盒向邻近的处理盒 P(3)运动。

然后，通过自动运载工具 8 运输晶片衬底，沿着传输路线 7 传输，以进行在处理盒 P(3) - P(5)中的几个处理，其方式与第一实施例的相同，从而完成预计产品。

15 用这种方式，使用沿着传输路线 7 单元处理组的串联排列，可以避免自动运载工具 8 在传输路线 7 上不必要的相互传输或“迁移”，由此可以实现半导体的高效率制造。

在第二实施例中，台式装置是由处理盒 P(6)构成，结果晶片衬底不得不在处理盒 P(6)内来回移动或“迁移”；但是，晶片衬底的传输路线不复杂，因
20 为不是所有的处理都在其中进行，这与现有技术不一样。

另外，由于处理盒 P(6)内的各个处理机构是用于只执行第一处理组 101 和第二处理组 102 的处理任务的，所以最终的结构在尺寸上比现有技术中的处理机构小。一般情况下，在进行所有处理任务时使用这种处理机构，所以
25 需要提供具有高处理能力的高特性处理机构。为此，处理机构尺寸增加了，结果需要大规模的净化间。

另外，在本例中，特别安装一个处理盒 P(6)，用以进行第一实施例的两单元处理组 101 和 102 的处理；因此，与采用相同处理盒 P(1), P(2)同样地布置的第一实施例相比，传输路线 7 可以缩短。

此外，还可能发生这样的情况：由于产品类型和/或所需的工艺，很难按
30 照处理顺序设置处理机构，或者，在处理机构当中来回运输是相当方便的。

例如，在缩短的时间周期内反复使用相同处理机构的处理中，反复使用



一个机构比使用在一个单元处理组内部排列的同种的几个处理机构的设备更有效。

5 应该注意到，在处理条件和程序相对于某处理未完成以致于必须反复进行尝试一误差试验的情况下，只有所有处理机构的按照处理顺序的串联布置要求在每次程序改变处理机构的布局的修改或替换。在此情况下，提供一个或多个随机单元处理组是比较方便的。

还应注意到，在确定晶片衬底工艺处理的部分将作为随机单元处理组，例如前述的处理盒 P(6)，进行时没有具体限制。

10 图 5 所示第三实施例是采用从定义为主路线的传输路线 7 转向的分支路线 24 的制造装置。在分支路线 24 中安装掺杂扩散处理机构 36。沿着分支路线 24 通过与传输沿线 7 中相同的方式也提供净化台 6，用于保持洁净度。其上安装净化盒的自动运载工具 8 能沿着分支路线 24 在箭头所指方向运动。

15 此装置中的第一处理组 101'是这样的：杂质扩散处理工艺从第一实施例的第一处理组 101 中排除；第二处理组 102'是带有从中排除的杂质扩散处理工艺的第一实施例的第二处理组。换句话说，图 5 的第一处理盒 P(1)和 P(2)没有和杂质扩散处理机构 36 在一起。对应处理盒 P(1) - P(5)的这些单元处理组构成本发明的单元处理组。

剩余晶片衬底在处理盒中的处理方法、传送方法等与第一实施例中的相同。而且，相同参考标记用于表示与第一实施例中相同的器件。

20 下面说明使用第三实施例的制造装置制造图 12 中所示晶体管的情况。

在其上安装净化盒的自动运载工具 8 把晶片衬底运到第一处理盒 P(1)和完成第一处理组 101'的处理之后，晶片衬底返回到净化盒。其上安装净化盒的自动运载工具 8 离开确定主路线的传输路线 7 的分支点“A”，进入一个分支 24。然后，把晶片衬底传输到安装在分支路线 24 中的杂质扩散处理机构 36。在这里，进行杂质扩散处理，用于形成 P 型层 2(见图 12)。完成此处理后，装有晶片衬底的净化盒又返回传输路线 7 的分支点“A”。自动运载工具 8 在箭头 x 方向沿着传输路线 7 传输并把晶片衬底送到邻近的第二处理盒 P(2)。

30 在第二处理盒 P(2)中，进行第二处理组 102'的处理。此后，其上安装净化盒的自动运载工具 8 离开传输路线 7 的分支点 B，进入分支路线 24。而且，它把晶片衬底送到杂质扩散处理机构 36，用于进行 N 型层 3(见图 12)



的杂质扩散处理。完成这个处理之后，自动运载工具 8 又返回传输路线 7 的分支点 B，然后在箭头 x 方向沿着传输路线 7 传输。

然后，按照第三处理盒 P(3)→第四处理盒 P(4)→第五处理盒 P(5)的顺序连续传送晶片衬底。此工艺与第一实施例中的相同，所以不再解释。

5 在第三实施例中，在使杂质扩散处理机构 36 从各个处理盒移到外部地去掉时，提供分支路线 24，使得其与分支路线 24 相联，其原因如下。

杂质扩散方法包括离子注入方法、气体扩散方法等方法，用于执行这种处理的离子注入装置和气体扩散炉是相对大规模的，而且能够在大多数情况
10 下一次处理多个晶片衬底。在高处理特性的这种装置与剩余低处理特性的装置直线排列使用的情况下，可能发生这样的情况：提前完成这种装置的处理由此装置静止的等候时间周期延长了。这将导致没有有效地使用这种高处理能力的装置。

但是，当在其中安装这些处理能力特别高的装置的同时提供与主传输路线 7 分开的分支路线 24 时，可以在多个步骤中使用这种处理机构。

15 例如，在第三实施例的情况下，在完成第一处理组 101'的处理之后立刻在杂质扩散处理机构 36 上进行处理；如果是这种情况，由于杂质扩散处理机构 36 的处理能力高，所以这种处理可以在较短时间周期内进行。因而，这种“空闲”的杂质扩散处理机构 36 可以用于处理已经进行过第二处理组 102'的处理的其它晶片衬底。

20 通过这种装置，可以毫不浪费地利用高处理能力的处理机构。

应该注意到，在第三实施例中具有高处理能力的杂质扩散机构 36 安装在分支路线 24 上时，操作上与分支路线 24 相关的这种处理机构可以是任何类型的处理机构，并且应该不排除地被限制于高特性处理机构。通过把性质不同的特殊处理机构从剩余处理机构中分离开，用于安装到分支路线上，可
25 以实现高效率的处理，因此这种处理装置的功能是没有问题的。

还应注意到，虽然在第三实施例中杂质扩散处理机构 36 单独安装在分支路线 24 上，但在需要的时候可以在分支路线 24 上安装多种类型的处理机构。

30 图 6 中所示第四实施例是在处理盒内部设有安装构成单元处理组的多个处理机构而沿着传输路线 7 直接安装各个处理机构的例子。

沿着传输路线 7 安装装置的处理机构与前面的第一到第三实施例中使用



的类型相同。这些处理机构按照半导体器件制造工艺步骤的工序顺序布置。

在传输路线 7 上提供衬底运载工具 25，运载工具 25 作为把晶片衬底传送到每个处理机构的传输装置，并且它在箭头 x 方向可移动。此衬底运载工具 25 及传输路线 7 构成本发明的传输装置，并安装成使其根据来自控制 CPU 5 的命令运动和停止，这里没有表示。

通过沿着传输路线 7 连接地址 IDs 26 的方式给每个处理机构分配用于确定其位置的地址。地址 IDs 26 象表示相关的各个地址的“信号”指示器。

另一方面，虽然这里没有特别说明，衬底运载工具 25 和用于读取地址 IDs 26 的 ID 检测器一起出现。地址 IDs 26 是由通过在传输路线 7 上运动的衬底运载工具 26 能够识别的器件构成，例如条型码等。然后，其上安装晶片衬底的衬底运载工具 25 容许它们的 ID 检测器读取地址 IDs 26，用于检测其所在的位置。当衬底运载工具 25 在传输路线 7 上运动的同时它把检测信号传输给控制 CPU。

通过这种方式，控制 CPU 利用从衬底运载工具 25 传送的地址 ID 的检测信号可以确认衬底运载工具 25 的位置。换言之，第四实施例是这样的：地址 IDs 26 和 ID 检测器构成本发明的位置检测装置。

而且，控制 CPU 根据要制造的半导体器件的产品类型在其中储存需要的处理机构的地址。当衬底运载工具 25 到达需要的处理机构的地址时，CPU 产生和发出命令或指示，用于使运载工具停止在该位置上。

下面说明利用第四实施例的制造装置制造与第一实施例相同的半导体器件的方法。

衬底运载工具 25 在传输路线 7 上在箭头 x 方向从左边运动。它沿着路线 7 运行的同时读取沿着传输路线提供的各个地址 ID；通过接收来自控制 CPU 的指示，运载工具在一个所需要的处理机构的前面的位置停止。每个处理机构可以从目前停止的衬底运载工具 25 取出晶片衬底，并对其进行处理，然后把它返回到衬底运载工具 25。这将重复进行所有处理步骤以至于可以制造预计的半导体器件。

用这种方式，可以在地址管理器的基础上识别衬底运载工具 25 所在的位置，同时能使控制 CPU 对衬底运载工具 25 起作用使其在带有提高的可靠性的任何需要的处理机构的前面的位置停止。

识别用于实行处理所需要的处理机构的能力通过反向探测可以导致识



别不必要的处理机构的能力。换言之，即使在沿着传输路线 7 排列不必要的处理机构的情况下，也可以传输晶片衬底，从而晶片衬底穿过这些处理机构。

例如，如此设置适于需要的处理步骤的处理机构，即构成制造装置，其中该处理步骤是制造任何适用的产品类型所需要的。在制造一种特殊类型的产品的情况下，控制 CPU 从处理机构中只选择制造这种产品类型所需要的那些机构，然后给衬底运载工具 25 发合适的指令，由此它可以容许衬底运载工具 25 把晶片衬底只传送到需要的处理机构。

通过这种安装，一个制造装置可以容纳各种类型产品，由此提高了制造装置的使用性和灵活性。

10 图 7 所示第五实施例是采用处理能力比其它处理机构小的多个处理机构串联连续排列的例子，其中这些处理机构可以以并联方式操作，由此提高其处理能力。

在所示第五实施例中，在用于在电极处理步骤中形成金属膜的溅射机构比其它处理机构的处理能力低的情况下，用于形成金属膜的三个溅射机构 15 37a, 37b, 37c 在一个单元处理组 104' 中并联安装。另外，在对应这些溅射机构的位置提供保护区或“避车道”区域 27，避车道区 27 提供有它们的地址 IDs 28。而且，传输路线 7 上运载多个衬底运载工具 25。其余的结构与第三实施例的相同。

三个溅射机构 37a, 37b, 37c 构成本发明的处理机构组。

20 在基于控制 CPU 地址的控制下，衬底运载工具 25a, 25b ... 可以传送晶片衬底。

首先，当“顶部”衬底运载工具 25a 上安装完成了清洗机构 31 的处理的晶片衬底时，它在传输方向上向上运动到三个溅射机构 37a, 37b, 37c 的之一，例如前端的溅射机构 37a。在这个溅射机构 37a，用与其它实施例相同的方式对晶片衬底进行溅射处理。

25 下一个衬底运载工具 25b 上安装完成了清洗机构 31 的处理的晶片衬底，然后把晶片衬底运送到处理机构组中空闲的溅射装置，例如在传输方向中的第二个溅射机构 37b。通过把晶片衬底运送到溅射机构 37b，衬底运载工具 25b 进入输出 27，并等候完成溅射处理。

30 如果溅射机构 37a, 37b, 忙于进行处理，第三溅射机构 37c 保持空闲；相应地，第三衬底运载工具 25c 把它的晶片衬底传送到溅射机构 37c，然后



进入避车道区 27，用于等候处理的完成。

当下一衬底运载工具 25b 的晶片衬底完成它的清洗机构 31 的预计处理时，通过设置定时，从而完成在最初溅射机构 37a 的处理，衬底运载工具 25d 可以把它的晶片衬底向溅射机构 37a 传送。此时，衬底运载工具 25b 和 25c 正留在避车道区 27 中。这样，衬底运载工具 25d 可以穿过停止避车道 27 区中的衬底运载工具 25b 和 25c，把它的晶片衬底向溅射机构 37a 运送。此衬底运载工具 25d 也进入避车道区 27，开始等候。

这是为了能使运载在溅射机构 37b, 37c 完成处理的晶片衬底的衬底运载工具穿过衬底运载工具 25d，同时在溅射机构 37a 中进行溅射处理。

通过这样设置，即使多个衬底运载工具 25 操作连续地运送晶片衬底，也不会发生这样的情况：下一个衬底运载工具 25 需要等候，直到它的目标处理机构在处理能力比其余机构小的这种处理机构的这边上的位置上空闲为止。这可以说是因为，任何衬底运载工具容许运载和传送它的晶片衬底，同时从处理机构组中选择空闲的处理机构。

也可以依次把晶片衬底向设置在附处理能力机构的后级中的处理能力高的那些处理机构运送，这就可以在没有任何间断的情况下连续地操作这种高处理能力的处理机构。

因而，可以在整体上提高处理能力。

应注意到，处理机构组不应仅限于溅射机构，还可以由处理能力比其它机构件的一系列多个机构构成。这个处理机构组不应该是单个提供的，可以是以多个形式安装的。即使在这种情况下，对应各个机构的任何保护区或避车道区域在分配给它的地址的基础上是可识别的；因此，对于控制 CPU 来说，可以引导衬底运载工具 25 停留任何适合的一个这样的避车道上。

另外，连接到单元处理组的一个或多个地址 IDs 分配给每个处理机构，或者每个处理盒。另外还可以把这些地址加到任何其它位置上。为了长话短说，那些保证晶片衬底位置的可靠识别性能和传输装置应该停在某位置的提高的识别性能的任何结构都是可采用的。

此外，在第四和第五实施例中，这些装置设计成使衬底运载工具 25 包括检测目前的运载工具位置的它的 ID 检测器，以把检测信号发送给控制 CPU，然后确认衬底运载工具 25 的所在位置。但是，用于检测运载工具 25 位置的装置不仅限于此。例如，还可以通过以预定间隔在传输路线上提供检



测器和检测衬底运载工具 25 的通过来确定目前运载工具的位置。应注意到，最好是这种检测器设置在传输装置的一侧而不是在传输路线上，因为后者可以减少所需检测器的总数量，这样可以节约制造成本。

上述第一到第五实施例被设计成，设置多个单元处理组以构成配备有在制造半导体器件时所要求的所有处理步骤的制造装置。但是，本发明的半导体器件制造装置还包括一种制造装置，该制造装置包括用于只形成半导体器件的特殊部分的选择的单元处理组。

图 8 表示用于形成半导体器件的整个结构的这种制造装置的一种应用形式，其中该装置是通过结合第六实施例的半导体器件制造装置构成的，第六实施例的半导体器件制造装置只具有带有不同于本装置的其它处理步骤的选择的处理步骤。

第六实施例的制造装置只配有对应于在电极位置预定步骤之后的那些步骤的处理组 103 - 105，它们是从图 2 中所示半导体器件制造流程中选择的。这些单元处理组 103 - 105 如此设置：各个单元处理以与图 6 中所示第四实施例的第三到第五处理组的相同的方式沿着传输路线 7 串联设置，从而构成本例的制造装置。同样，构成各个单元处理组的那些处理机构按照处理顺序排列。

本实施例与第四实施例在下面的情况是相同的：衬底运载工具 25 在传输路线 7 上运输，同时读取提供给传输路线 7 的各个地址 IDs 26，并且对晶片衬底依次进行所需的处理。

使用第六实施例的制造装置，可以在沿着传输路线 7 传输的晶片衬底上制造引线-布线层。

通过沿着传输路线 7 串联设置用于处理晶片衬底的处理机构，可以提高半导体器件制造效率，同时在引线层制造工艺过程中简化晶片衬底向传输路线。

另外，如图 8 所示，可以包括与上述制造装置分离的处理步骤 201、202、203。

这些处理步骤 201 - 203 是用于形成 P 型层和 N 型层的处理步骤。具体说，这些是进行对应图 2 的流程中 101, 102 的某部分的处理的步骤。这些处理步骤 201 - 203 的布置可以是任何一种。一个例子是，它们是按照处理顺序串联排列的各个处理机构，如图 6 中所示的第一和第二处理组 101, 102。



另一个例子是，它们可以是象现有技术那样的台式系统装置。另一例子是，它们可以是这些设备的结合。

概括地说，通过使用处理步骤 201, 202, 203 可以在晶片衬底上制造预定 P 型层和 N 型层的任何结构都是可以采用的。

5 这些处理步骤是用于形成分别适应于不同产品类型的 P 型层和 N 型层的处理。

下面说明通过沿着传输路线 7 并行设置对应不同产品类型的处理步骤 201 - 203 制造图 12 中所示晶体管的方法。

10 在处理步骤 201, 202, 203 中在晶片衬底上形成包括 N 型层和 P 型层的预定层之后，此衬底被安装在传输路线 7 上的衬底运载工具 25 上。然后安装在衬底运载工具 25 上的晶片衬底进行引线 - 布线层的制造和在单元处理组 103 - 105 中检测。

15 用这种方式，即使在使用这样的不同处理步骤 201 - 203 形成适应于各种产品类型的多层的情况下，也可使用第六实施例的单个制造装置形成预定的引线层。

注意到，还可以在提供处理步骤 201 - 203 的分离的净化间中进行处理。另外，完成了预定处理的晶片衬底可以被一次储存在晶片储料器中，未示出，然后取出它，并将其安装在传输路线 7 上的衬底运载工具 25 中。

20 虽然在第六实施例中制造装置设计成：处理机构或单元处理组在能通用于例如引线层的形成的各个产品类型的某处理部分沿着传输路线 7 设置，由此构成制造装置，处理机构的布局可以在将与本制造装置结合的剩余处理步骤中以任何适合的布置来完成。通过使用以方便适应于各个产品类型的合适形式构成的那些处理步骤，可以有效地制造多种类型的产品。

25 此外，由本发明的单元处理组构成的制造装置还可以是在半导体器件的制造中适应于任何处理部分的那些装置。

当第六实施例的制造装置是用于形成半导体器件的引线层的装置时，可以通过把处理步骤 201 - 203 连接到提供一个制造装置的传输路线 7 上的方式修改。在这种情况下，还可以在衬底运载顺 25 上自动安装处理完的晶片衬底，用于传输。

30 由于第一发明的半导体器件制造装置设置成包括使晶片衬底的传输方向在一个方向上延伸的串联排列的单元处理组，所以可以简化晶片衬底传输



路线的结构。这样，最终的传输路线减至最小。

另外，由于多个晶片衬底的传输路线不再互相交叉，所以不会产生任何等候时间的情况。

5 因而，与现有技术装置相比，任何重复或不能工作的路线部分和等候时间都被消除了，并提高了生产效率。

在第二发明中，由于它包括由按照晶片衬底处理顺序串联设置的处理功能构成的组，因此在这部分中任何死路线部分和等候时间都可以消除了，由此提高生产率。

10 根据第三和第四发明，单元处理组内部的晶片衬底传输路线可以和多个单元处理组当中的晶片衬底传输路线一起被简化，由此可以实现提高效率的制造。

15 根据第五发明，可以把一个或多个特殊处理功能从单元处理组内的剩余处理功能分离开，用于安装在分支路线上，从而可以在不必使高特性装置处于空闲状态的情况下有效地使用它们。另外，如果在分支路线上安装大规模机构，那么不再要求每个单元处理组提供这种大尺寸的设备。因而，该装置可以作为一个整体缩减尺寸。

根据第六-第九发明，由于沿着晶片衬底的传输路线设置净化台，由此形成净化空间，所以任何用于安装传输路线的净化间都不再需要。这同样可以减少制造成本。

20 特别是，在第七到第九发明中，由于可以均匀地调整净化空气的流动方向，从而使其朝向传输路线，由此可以使从净化台注入的净化空气在流量上减少，同时减少了净化台尺寸。

25 根据第十-第十三发明，可以使用位置检测机构确认在传输中的晶片衬底的位置，同时使控制 CPU 控制晶片衬底传输装置停止在所要求的任何位置上。这就可以从沿着传输路线设置的处理机构中选择一个用于进行预计的处理。

特别是，通过第十一发明，由于检测地址的检测器设置在传输装置本身上，所以与设置在传输路线一边上的情况相比，检测器的数量可以减少，结果成本降低。

30 另外，根据第十二发明，可以增加制造装置的使用性和灵活性。

而且，根据第十三发明，总的处理能力提高了。

根据第十四发明，具有在实现按照处理顺序的预计串联布置上很困难的那些处理机构的单元处理组也可以结合在该制造装置中，从而可提高生产效率。

说明书附图

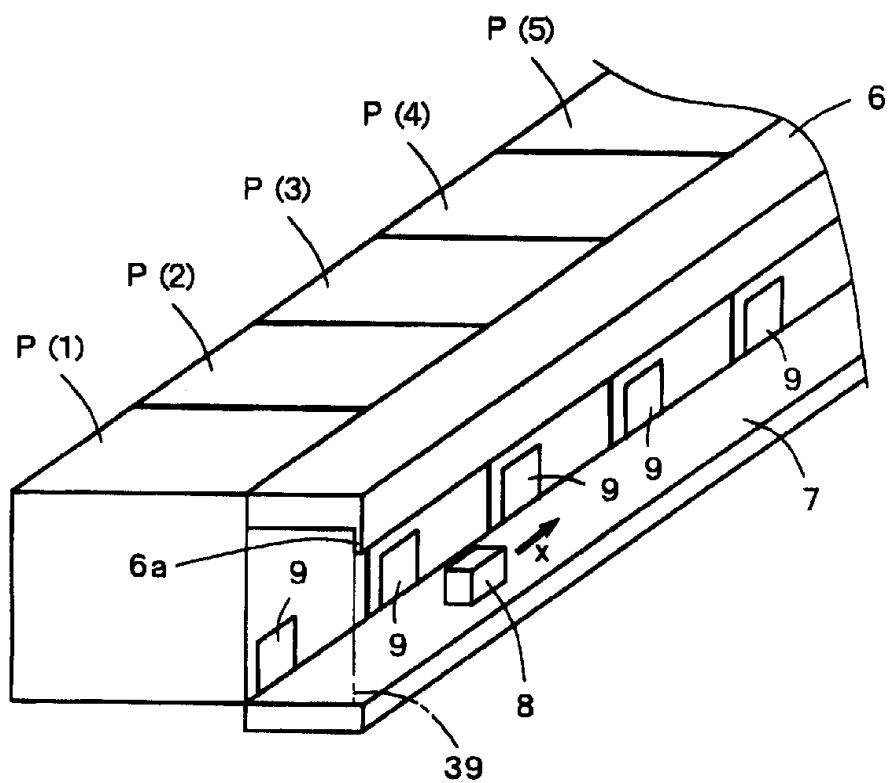


图 1

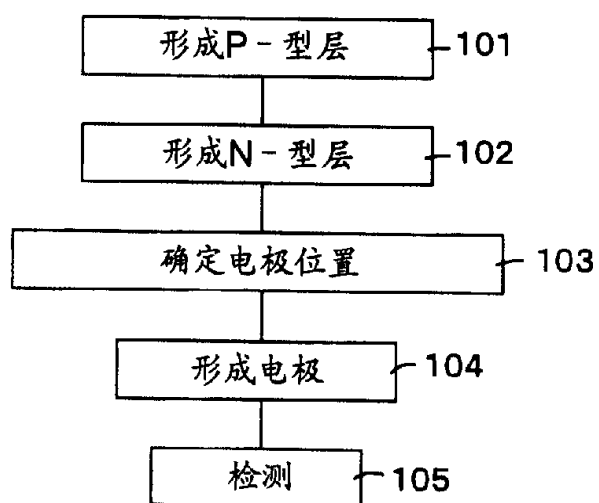


图 2

图 3

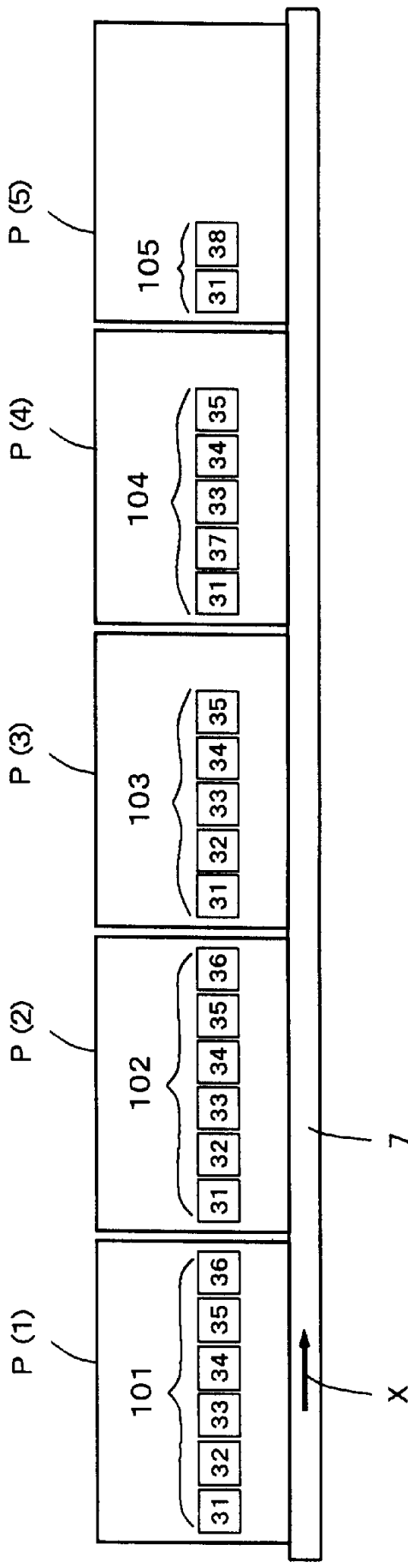
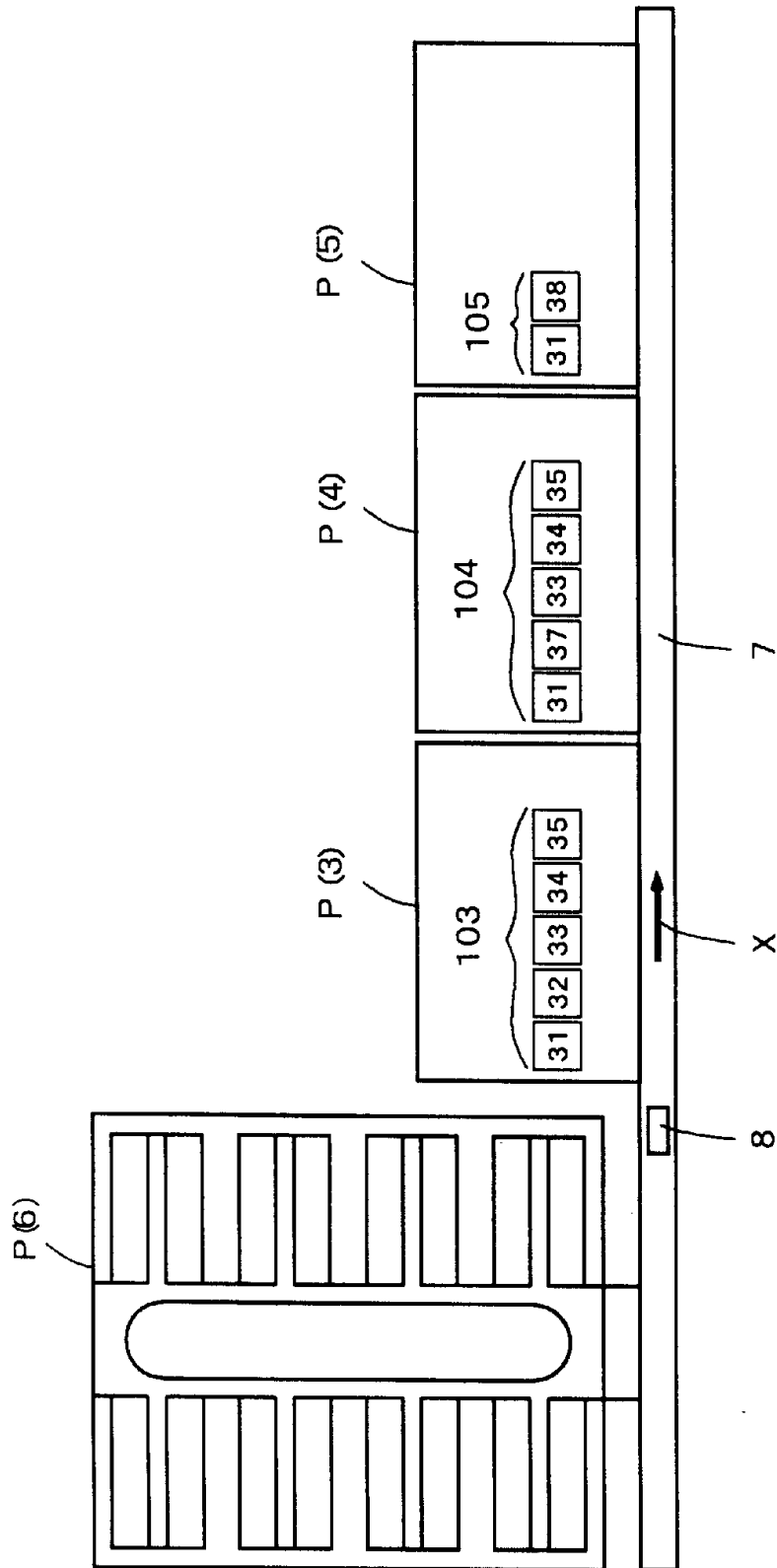
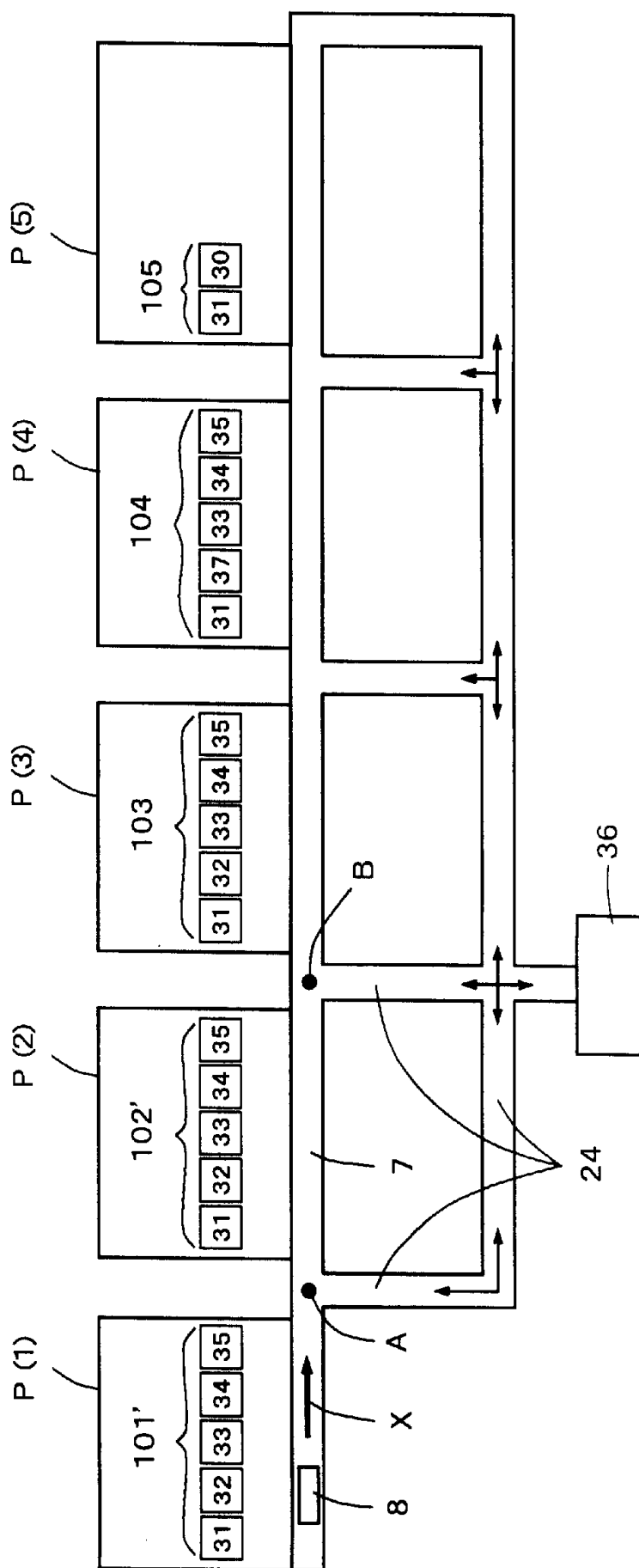


图 3

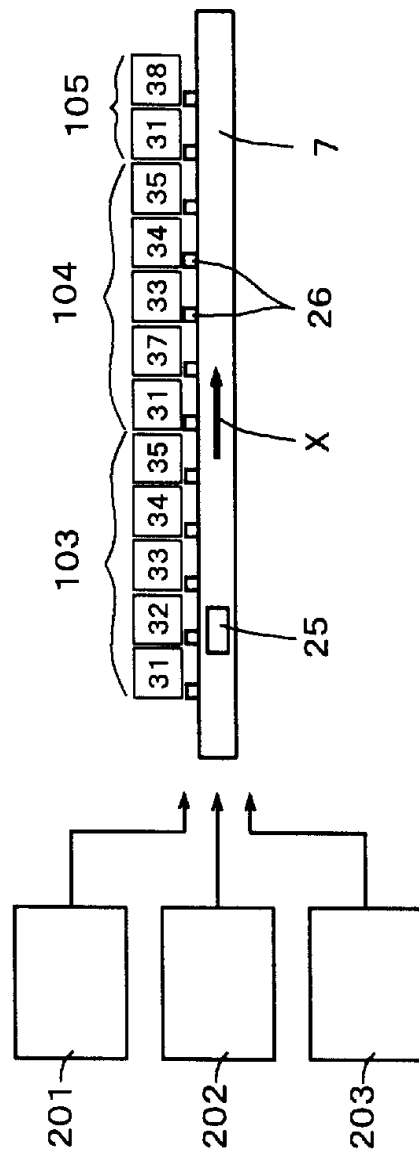


4
B



5
四





8
14

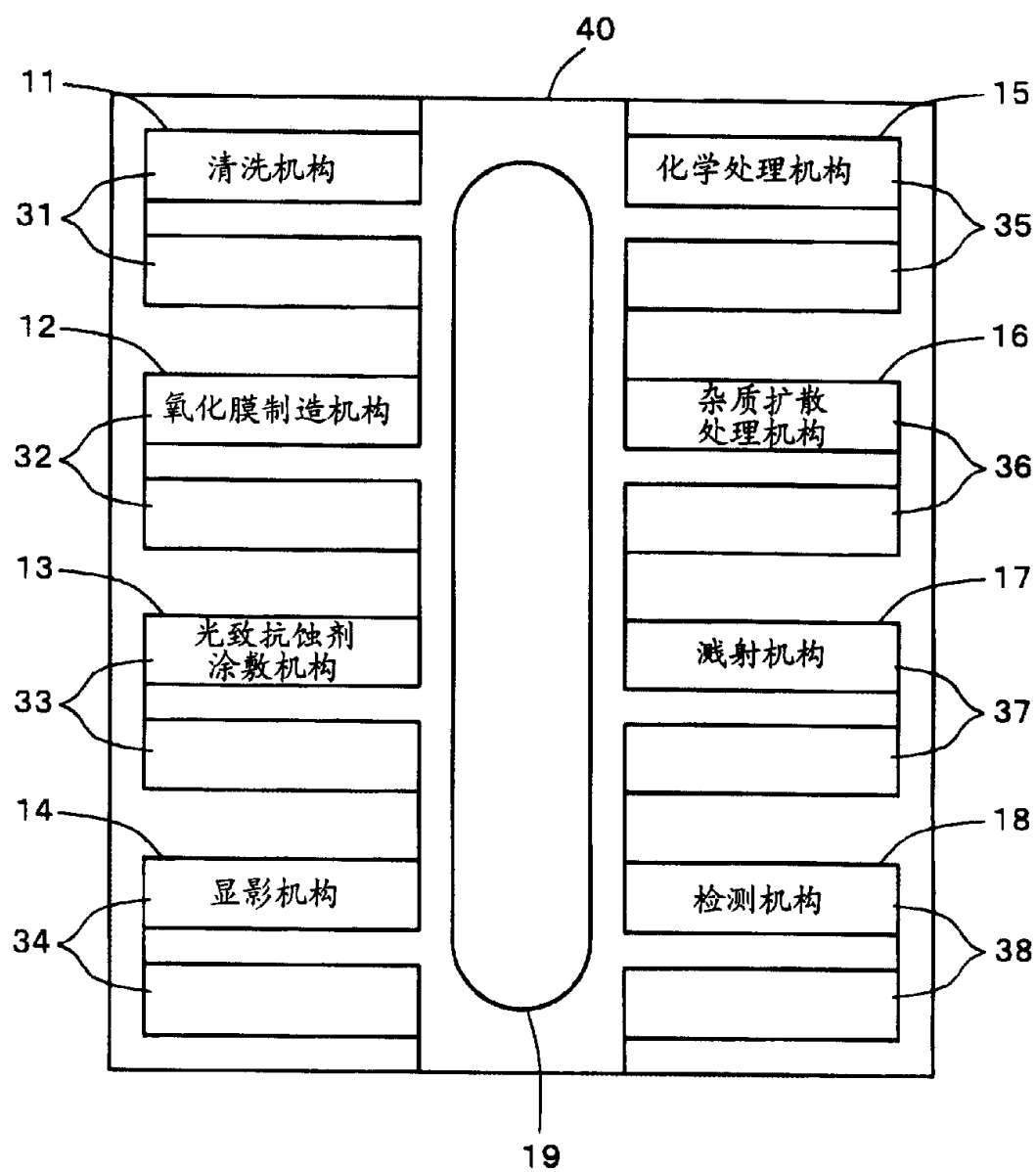


图 9

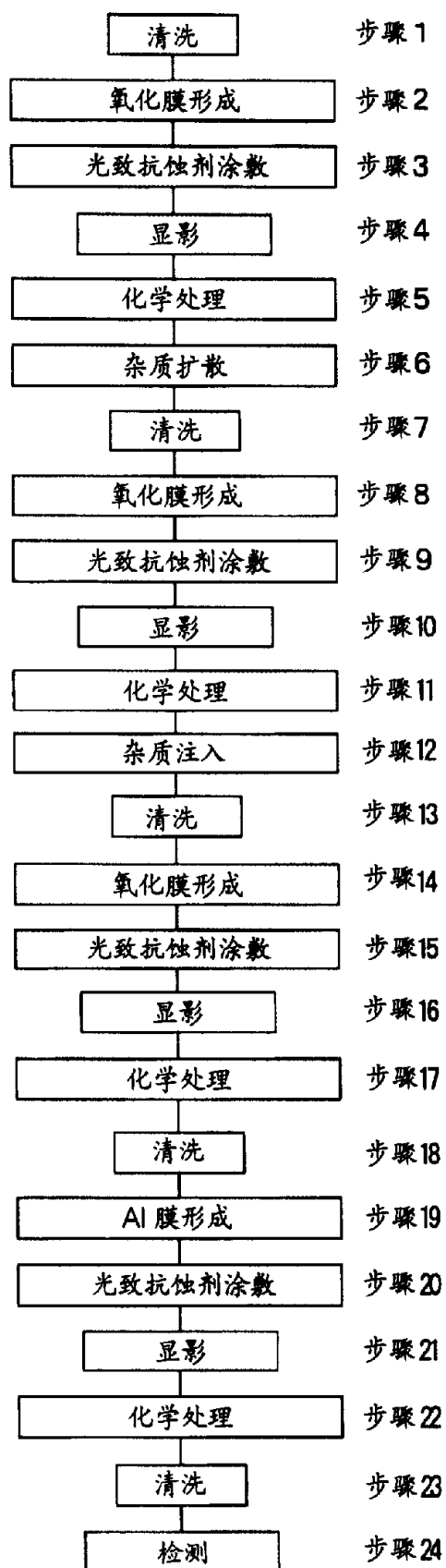


图 10

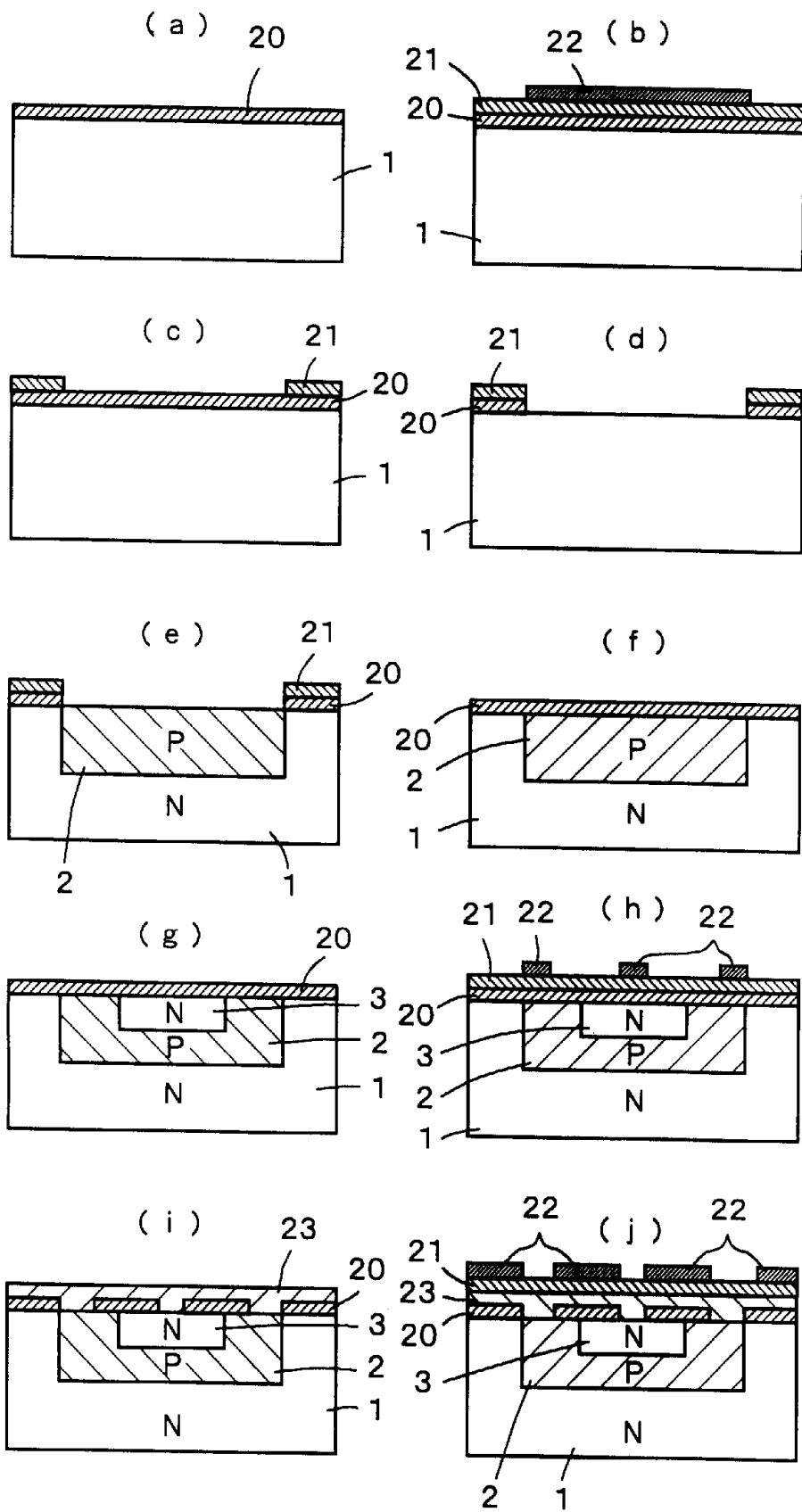


图 11

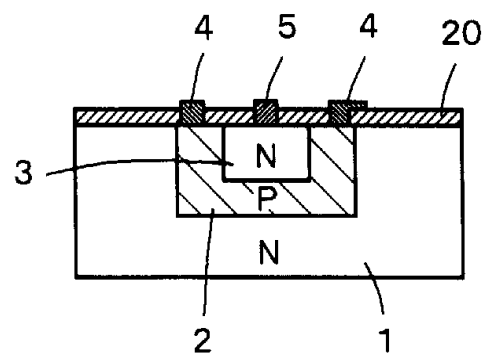


图 12