



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217517

(11)

(B1)

(51) Int. Cl.³

G 06 F 9/28

(22) Přihlášeno 13 03 81
(21) (PV 1835-81)

(40) Zveřejněno 26 03 82

(45) Vydáno 15 02 85

(75)

Autor vynálezu

KVASILOVÁ HELENA ing., LOUTOCKÝ DUŠAN ing., KUBÍN PAVEL ing., PRAHA

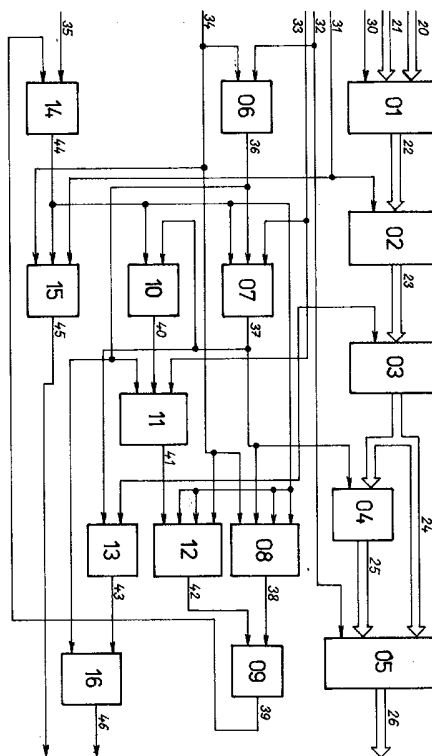
(54) Zapojení pro přenos dat mezi mikroprogramově řízeným řadičem
a autonomní paralelní datovou cestou

Předmětem vynálezu jsou elektronické číslicové počítače, vnější paměti, řídicí jednotky magnetických diskových pamětí, univerzální kanály.

Technický problém tvoří obvody, které synchronizují přenos dat mezi autonomně pracující paralelní datovou cestou a mikroprogramovým řadičem a tím umožňují monitorování dat přenášených paralelní datovou cestou obvody mikroprogramového řadiče.

Sestava a vzájemné zapojení registrů, v nichž jsou dočasně pamatována data přenášená autonomní paralelní datovou cestou tak, aby je bylo možno číst obvody mikroprogramového řadiče a obvodů řídicích činností těchto registrů a přenos dat mezi těmito registry.

Možné obory využití jsou elektronické číslicové počítače, řídicí jednotky magnetických diskových pamětí, přenosové jednotky číslicových počítačů.



Vynález se týká zapojení pro přenos dat mezi mikroprogramově řízeným řadičem a autonomní paralelní datovou cestou řídících modulů pro připojení přídatných zařízení s vysokou rychlostí přenosu dat k číslicovému počítači.

Při řešení řídících modulů pro připojení přídatných zařízení s vysokou rychlostí přenosu dat je v tom případě, že hlavním řídícím členem těchto modulů je mikroprogramem řízený řadič a data jsou přenášena autonomní paralelní datovou cestou zpracovávat alespoň část takto přenášených dat i prostředky mikroprogramem řízeného řadiče. To znamená, že je třeba separovat data přenášená vysokou rychlostí paralelní datovou cestou zasynchronizovat je tak, aby je bylo možno odebírat prostředky mikroprogramem řízeného řadiče s rychlostí odvozenou od cyklu mikroinstrukce tohoto řadiče.

Dosud známé řešení spočívá v tom, že data přenášená vysokou rychlostí z nebo do vnějšího zařízení jsou pamatována v paměti s poměrně značnou kapacitou, tato paměť je ve vhodných okamžicích činnosti zařízení čtena do vnitřních pamětí mikroprogramem řízeného řadiče. Požadovaná rychlost načítání je dosažena tím, že přenos dat je prováděn se značnou šířkou toku a tím, že po každém naplnění této paměti je přenos jejího obsahu do vnitřních pamětí mikroprogramem řízeného řadiče proveden okamžitě. Tímto způsobem se značně snižují možnosti využití mikroprogramem řízeného řadiče pro provádění jiných funkcí během přenosu dat, kromě toho to vyžaduje realizaci funkce rychlého mikropřerušení s okamžitým přenosem dat do vnitřní paměti mikroprogramového řadiče.

Výše uvedené nevýhody odstraňuje zapojení pro přenos dat mezi mikroprogramem řízeným řadičem a autonomní paralelní datovou cestou, sestávající z multiplexoru, prvního registru, druhého registru, třetího registru, výstupního obvodu sběrnice dat, prvního součtového obvodu, prvního klopného obvodu, druhého klopného obvodu, druhého součtového obvodu, prvního součinnového obvodu, třetího klopného obvodu, čtvrtého klopného obvodu, druhého součinnového obvodu, pátého klopného obvodu, šestého klopného obvodu a sedmého klopného obvodu podle vynálezu, jehož podstatou je, že vstupní sběrnice zapisovaných dat je připojena na první skupinu vstupů multiplexoru a dále vstupní sběrnice čtených dat je připojena na druhou skupinu vstupů multiplexoru a dále první skupina výstupů multiplexoru je spojena první vnitřní sběrnicí s první skupinou vstupů prvního registru a dále první skupina výstupů prvního registru je spojena druhou vnitřní sběrnicí s první skupinou vstupů druhého registru a dále první skupina výstupů druhého registru je spojena třetí vnitřní sběrnicí s první skupinou vstupů třetího registru a s první skupinou vstupů výstupního obvodu sběrnice a dále první skupina výstupů třetího registru je spojena čtvrtou vnitřní sběrnicí s druhou skupinou vstupů výstupního obvodu sběrnice a dále výstupní datová sběrnice je připojena na první skupinu výstupů výstupního obvodu sběrnice a dále první, vstupní vodič je připojen na první, řídící vstup multiplexoru a dále druhý, vstupní vodič je připojen na první vstup prvního registru a na první, hodinový vstup šestého klopného obvodu a dále třetí, vstupní vodič je připojen na první vstup prvního součtového obvodu a na první vstup výstupního obvodu sběrnice a dále čtvrtý, vstupní vodič je připojen na první, hodinový vstup prvního klopného obvodu a na první, hodinový vstup třetího klopného obvodu a dále pátý, vstupní vodič je připojen na druhý vstup prvního součtového obvodu a na třetí, nulovací vstup šestého klopného obvodu a na čtvrtý, nulovací vstup druhého klopného obvodu a na první, nulovací vstup čtvrtého klopného obvodu a dále šestý, vstupní vodič je připojen na první, nahazovací vstup pátého klopného obvodu a dále první výstup prvního součtového obvodu je spojen sedmým vodičem s druhým, nulovacím vstupem prvního klopného obvodu a s třetím nulovacím vstupem třetího klopného obvodu a s druhým, nulovacím vstupem sedmého klopného obvodu a dále první výstup prvního klopného obvodu je spojen osmým vodičem s prvním vstupem třetího registru a s třetím, hodinovým vstupem druhého klopného obvodu a s prvním vstupem prvního součinnového obvodu a s druhým vstupem druhého součinnového obvodu a dále první výstup druhého klopného obvodu je spojen devátým vodičem s prvním vstupem druhého součtového obvodu a dále první výstup druhého součtového obvodu je spojen desátým vodičem s druhým, nulovacím vstupem pátého klopného obvodu a dále první výstup prvního součinnového obvodu je spojen jedenáctým vodičem s druhým, datovým vstupem třetího klopného

obvodu a dále první výstup třetího klopného obvodu je spojen dvanáctým vodičem s prvním vstupem druhého registru a se čtvrtým, hodinovým vstupem čtvrtého klopného obvodu a s prvním vstupem druhého součinnového obvodu a dále první výstup čtvrtého klopného obvodu je spojen třináctým vodičem s druhým vstupem druhého součtového obvodu a dále první výstup druhého součinnového obvodu je spojen čtrnáctým vodičem s prvním, hodinovým vstupem sedmého klopného obvodu a dále první výstup pátého klopného obvodu je spojen patnáctým vodičem s druhým, datovým vstupem šestého klopného obvodu a s druhým vstupem prvního součinnového obvodu a se třetím, datovým vstupem prvního klopného obvodu a s prvním, datovým vstupem druhého klopného obvodu a s druhým, nahazovacím vstupem druhého klopného obvodu a s druhým, datovým vstupem čtvrtého klopného obvodu a s třetím, nahazovacím vstupem čtvrtého klopného obvodu a dále šestnáctý, výstupní vodič je připojen na první výstup šestého klopného obvodu a dále sedmnáctý, výstupní vodič je připojen na první výstup sedmého klopného obvodu.

Hlavní výhody vynálezu spočívají v tom, že obvody pro přenos dat mezi mikroprogramem řízeným řadičem a autonomní paralelní datovou cestou jsou tvořeny paměťovými obvody s poměrně malou kapacitou, šířka přenášených dat je malá a vyhovuje šířkám sběrnic mikroprogramem řízeného řadiče. Toto řešení umožňuje použití těchto obvodů i pro mikroprogramové řadiče, které nejsou vybaveny funkcí zvláště rychlého mikropřerušení a přenosem dat s velkou šířkou toku přímo do vnitřních pamětí řadiče. Synchronizace přenosu dat mezi autonomní paralelní datovou cestou a mikroprogramem řízeným řadičem je odvozena od cyklu mikroinstrukce tohoto řadiče a tím umožňuje přenášet informaci v okamžicích vyhovujících funkcím vykonávaným mikroprogramem řízeným řadičem a tím i využití mikroprogramem řízeného řadiče pro řízení činnosti zařízení i během přenosu dat.

Na připojeném výkresu je schematicky znázorněno blokové schéma zapojení pro přenos dat mezi mikroprogramem řízeným řadičem a autonomní paralelní datovou cestou.

Tyto obvody sestávají z multiplexoru 01, soustavy registrů sestávající z prvního registru 02, druhého registru 03, třetího registru 04, výstupního obvodu sběrnic dat 05 a obvodů řídících činnost těchto registrů a přenosy informace mezi nimi tvořených prvním součtovým obvodem 06, prvním klopným obvodem 07, druhým klopným obvodem 08, druhým součtovým obvodem 09, prvním součinnovým obvodem 10, třetím klopným obvodem 11, čtvrtým klopným obvodem 12, druhým součinnovým obvodem 13, pátým klopným obvodem 14, šestým klopným obvodem 15 a sedmým klopným obvodem 16.

Tyto obvody jsou navzájem propojeny tak, že vstupní sběrnice zapisovaných dat 20 je připojena na první skupinu vstupů multiplexoru 01 a dále vstupní sběrnice čtených dat 21 je připojena na druhou skupinu vstupů multiplexoru 01 a dále první skupina výstupů multiplexoru 01 je spojena první vnitřní sběrníci 22 s první skupinou vstupů prvního registru 02 a dále první skupina výstupů prvního registru 02 je spojena druhou vnitřní sběrníci 23 s první skupinou vstupů druhého registru 03 a dále první skupina výstupů druhého registru 03 je spojena třetí vnitřní sběrníci 24 s první skupinou vstupů třetího registru 04 a s první skupinou vstupů výstupního obvodu sběrnic 05 a dále první skupina výstupů třetího registru 04 je spojena čtvrtou vnitřní sběrníci 25 s druhou skupinou vstupů výstupního obvodu sběrnic 05 a dále výstupní datová sběrnice 26 je připojena na první skupinu výstupů výstupního obvodu sběrnic 05 a dále první, vstupní vodič 30 je připojen na první, řídící vstup multiplexoru 01 a dále druhý, vstupní vodič 31 je připojen na první vstup prvního registru 02 a na první, hodinový vstup šestého klopného obvodu 15 a dále třetí, vstupní vodič 32 je připojen na první vstup prvního součtového obvodu 06 a na první vstup výstupního obvodu sběrnic 05 a dále čtvrtý, vstupní vodič 33 je připojen na první, hodinový vstup prvního klopného obvodu 07 a na první, hodinový vstup třetího klopného obvodu 11 a dále pátý, vstupní vodič 34 je připojen na druhý vstup prvního součtového obvodu 06 a na třetí, nulovací vstup šestého klopného obvodu 15 a na čtvrtý, nulovací vstup druhého klopného obvodu 08 a na první, nulovací vstup čtvrtého klopného obvodu 12 a dále šestý, vstupní vodič 35 je připojen na první, nahazovací vstup pátého klopného obvodu 14 a dále první vý-

stup prvního součtového obvodu 06 je spojen sedmým vodičem 36 s druhým, nulovacím vstupem prvního klopného obvodu 07 a s třetím, nulovacím vstupem třetího klopného obvodu 11 a s druhým, nulovacím vstupem sedmého klopného obvodu 16 a dále první výstup prvního klopného obvodu 07 je spojen osmým vodičem 37 s prvním vstupem třetího registru 04 a s třetím, hodinovým vstupem druhého klopného obvodu 08 a s prvním vstupem prvního součtinového obvodu 10 a s druhým vstupem druhého součtinového obvodu 13 a dále první výstup druhého klopného obvodu 08 je spojen devátým vodičem 38 s prvním vstupem druhého součtového obvodu 09 a dále první výstup druhého součtového obvodu 09 je spojen desátým vodičem 39 s druhým, nulovacím vstupem pátého klopného obvodu 14 a dále první výstup prvního součtinového obvodu 10 je spojen jedenáctým vodičem 40 s druhým, datovým vstupem třetího klopného obvodu 11 a dále první výstup třetího klopného obvodu 11 je spojen dvanáctým vodičem 41 s prvním vstupem druhého registru 03 a se čtvrtým, hodinovým vstupem čtvrtého klopného obvodu 12 a s prvním vstupem druhého součtinového obvodu 13 a dále první výstup čtvrtého klopného obvodu 12 je spojen třináctým vodičem 42 s druhým vstupem druhého součtového obvodu 09 a dále první výstup druhého součtinového obvodu 13 je spojen čtrnáctým vodičem 43 s prvním, hodinovým vstupem sedmého klopného obvodu 16 a dále první výstup pátého klopného obvodu 14 je spojen patnáctým vodičem 44 s druhým, datovým vstupem šestého klopného obvodu 15 a s druhým vstupem prvního součtinového obvodu 10 a se třetím, datovým vstupem prvního klopného obvodu 07 a s prvním, datovým vstupem druhého klopného obvodu 08 a s druhým, nahazovacím vstupem druhého klopného obvodu 08 a s druhým, datovým vstupem čtvrtého klopného obvodu 12 a s třetím, nahazovacím vstupem čtvrtého klopného obvodu 12 a dále šestnáctý, výstupní vodič 45 je připojen na první výstup šestého klopného obvodu 15 a dále sedmnáctý, výstupní vodič 46 je připojen na první výstup sedmého klopného obvodu 16.

Obvody pro přenos dat mezi mikroprogramem řízeným řadičem a autonomní paralelní datovou cestou pracují takto:

Impulsem na pátém vodiči 34 se vynulují všechny klopné obvody. Tím, že je nulový patnáctý 44 vodič, se nahodí druhý 08 a čtvrtý 12 klopný obvod.

Impulsem na druhém vodiči 31 se zapíše data z první sběrnice 22 do prvního registru 02. Přes druhý registr 03 se informace objeví na třetí sběrnici 24 a přes třetí registr 04 na čtvrté sběrnici 25. Impulsem na šestém vodiči 35, který je odvozen z impulsu na vodiči druhém 31 se nahodí pátý klopný obvod 14. Tím se umožní nahození prvního klopného obvodu 07 hodinovým impulsem na čtvrtém vodiči 33. Náběžnou hranou na osmém vodiči 37 se vynuluje druhý klopný obvod 08 a ukončí se zápis dat do třetího registru 04, čímž se zafixují data na čtvrté sběrnici 25.

Vynulováním druhého klopného obvodu 08 se přes druhý součtový obvod 09 vynuluje pátý klopný obvod 14 a nahodí druhý klopný obvod 08. Dalším impulsem na druhém vodiči 31 se zapíše další byte dat do prvního registru 02, impulsem na šestém vodiči 35 se nahodí pátý klopný obvod 14. Přes otevřený první součtinový obvod 10 se nahodí třetí klopný obvod 11 hodinovým impulsem na čtvrtém vodiči 33. Náběžnou hranou na dvanáctém vodiči 41 se vynuluje čtvrtý klopný obvod 12, ukončí zápis dat do druhého registru 03 a zafixují se data na třetí sběrnici 24. Zároveň se přes druhý součtinový obvod 13 nahodí sedmý klopný obvod 16, což indikuje, že na třetí 24 a čtvrté 25 sběrnici jsou platná data. Signálem na třetím vodiči 32 se data odeberou přes výstupní obvod 05 sběrnice na výstupní datovou sběrnici 26 a přes první součtový obvod 06 se vynuluje první 07, třetí 11 a sedmý 16 klopný obvod.

Dokud se data signálem na třetím vodiči 32 neodeberou, zůstane první 07 a třetí 11 klopný obvod nahozen. Příchodem impulsu na druhém vodiči 31 se data zapíše do prvního registru 02. Impulsem na šestém vodiči 35 se nahodí pátý klopný obvod 14. Jestliže se ani nyní neobjeví signál na třetím vodiči 32, nahodí se příchodem impulsu na druhém vodiči 31 šestý klopný obvod 15, který indikuje přeplnění prvního registru 02.

PŘEDMĚT VYNÁLEZU

Zapojení pro přenos dat mezi mikroprogramově řízeným řadičem a autonomní paralelní datovou cestou, sestávající z multiplexoru, prvního registru, druhého registru, třetího registru, výstupního obvodu sběrnice dat, prvního součtového obvodu, prvního klopného obvodu, druhého klopného obvodu, druhého součtového obvodu, prvního součtinového obvodu, třetího klopného obvodu, čtvrtého klopného obvodu, druhého součtinového obvodu, pátého klopného obvodu, šestého klopného obvodu a sedmého klopného obvodu, vyznačující se tím, že vstupní sběrnice (20) zapisovaných dat je připojena na první skupinu vstupů multiplexoru (01) a dále vstupní sběrnice (21) čtených dat je připojena na druhou skupinu vstupů multiplexoru (01) a dále první skupina výstupů multiplexoru (01) je spojena první vnitřní sběrnicí (22) s první skupinou vstupů prvního registru (02) a dále první skupina výstupů prvního registru (02) je spojena druhou vnitřní sběrnicí (23) s první skupinou vstupů druhého registru (03) a dále první skupina výstupů druhého registru (03) je spojena třetí vnitřní sběrnicí (24) s první skupinou vstupů třetího registru (04) a s první skupinou vstupů výstupního obvodu (05) sběrnice a dále první skupina výstupů třetího registru (04) je spojena čtvrtou vnitřní sběrnicí (25) s druhou skupinou vstupů výstupního obvodu (05) sběrnice a dále výstupní datová sběrnice (26) je připojena na první skupinu výstupů výstupního obvodu (05) sběrnice a dále první, vstupní vodič (30) je připojen na první, řídicí vstup multiplexoru (01) a dále druhý, vstupní vodič (31) je připojen na první vstup prvního registru (02) a na první, hodinový vstup šestého klopného obvodu (15) a dále třetí, vstupní vodič (32) je připojen na první vstup prvního součtového obvodu (06) a na první vstup výstupního obvodu (05) sběrnice a dále čtvrtý, vstupní vodič (33) je připojen na první, hodinový vstup prvního klopného obvodu (07) a na první, hodinový vstup třetího klopného obvodu (11) a dále pátý, vstupní vodič (34) je připojen na druhý vstup prvního součtového obvodu (06) a na třetí, nulovací vstup šestého klopného obvodu (15) a na čtvrtý, nulovací vstup druhého klopného obvodu (08) a na první, nulovací vstup čtvrtého klopného obvodu (12) a dále šestý, vstupní vodič (35) je připojen na první, nahazovací vstup pátého klopného obvodu (14) a dále první výstup prvního součtového obvodu (06) je spojen sedmým vodičem (36) s druhým, nulovacím vstupem prvního klopného obvodu (07) a s třetím nulovacím vstupem třetího klopného obvodu (11) a s druhým, nulovacím vstupem sedmého klopného obvodu (16) a dále první výstup prvního klopného obvodu (07) je spojen osmým vodičem (37) s prvním vstupem třetího registru (04) a s třetím, hodinovým vstupem druhého klopného obvodu (08) a s prvním vstupem prvního součtinového obvodu (10) a s druhým vstupem druhého součtinového obvodu (13) a dále první výstup druhého klopného obvodu (08) je spojen devátým vodičem (38) s prvním vstupem druhého součtového obvodu (09) a dále první výstup druhého součtového obvodu (09) je spojen desátým vodičem (39) s druhým, nulovacím vstupem pátého klopného obvodu (14) a dále první výstup prvního součtinového obvodu (10) je spojen jedenáctým vodičem (40) s druhým, datovým vstupem třetího klopného obvodu (11) a dále první výstup třetího klopného obvodu (11) je spojen dvanáctým vodičem (41) s prvním vstupem druhého registru (03) a se čtvrtým, hodinovým vstupem čtvrtého klopného obvodu (12) a s prvním vstupem druhého součtinového obvodu (13) a dále první výstup čtvrtého klopného obvodu (12) je spojen třináctým vodičem (42) s druhým vstupem druhého součtového obvodu (09) a dále první výstup druhého součtinového obvodu (13) je spojen čtrnáctým vodičem (43) s prvním, hodinovým vstupem sedmého klopného obvodu (16) a dále první výstup pátého klopného obvodu (14) je spojen patnáctým vodičem (44) s druhým, datovým vstupem šestého klopného obvodu (15) a s druhým vstupem prvního součtinového obvodu (10) a se třetím, datovým vstupem prvního klopného obvodu (07) a s prvním, datovým vstupem druhého klopného obvodu (08) a s druhým, nahazovacím vstupem druhého klopného obvodu (08) a s druhým, datovým vstupem čtvrtého klopného obvodu (12) a s třetím, nahazovacím vstupem čtvrtého klopného obvodu (12) a dále šestnáctý, výstupní vodič (45) je připojen na první výstup šestého klopného obvodu (15) a dále sedmnáctý, výstupní vodič (46) je připojen na první výstup sedmého klopného obvodu (16).

