

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5148076号  
(P5148076)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 0 1 Z
HO 1 L 21/8247 (2006.01)	G 1 1 C 17/00 6 2 1 Z
HO 1 L 27/115 (2006.01)	

請求項の数 4 外国語出願 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2006-154455 (P2006-154455)	(73) 特許権者	591060898
(22) 出願日	平成18年6月2日(2006.6.2)		アイメック
(65) 公開番号	特開2006-352111 (P2006-352111A)		I MEC
(43) 公開日	平成18年12月28日(2006.12.28)		ベルギー、ペー-3001ルーヴァン、カ
審査請求日	平成21年5月8日(2009.5.8)		ペルドリーフ75番
(31) 優先権主張番号	60/687,076	(74) 代理人	100081422
(32) 優先日	平成17年6月3日(2005.6.3)		弁理士 田中 光雄
(33) 優先権主張国	米国 (US)	(74) 代理人	100098280
(31) 優先権主張番号	60/704,859		弁理士 石野 正弘
(32) 優先日	平成17年8月1日(2005.8.1)	(74) 代理人	100113170
(33) 優先権主張国	米国 (US)		弁理士 稲葉 和久
(31) 優先権主張番号	05109600.6	(72) 発明者	アルノー・アドリアン・フルネモン
(32) 優先日	平成17年10月14日(2005.10.14)		ベルギー、ペー-5600フィリップヴィ
(33) 優先権主張国	欧州特許庁 (EP)		ル、リュ・オー・デュ・ヴィラージュ8番

最終頁に続く

(54) 【発明の名称】 半導体デバイスに格納された電荷の分布を抽出するための方法

(57) 【特許請求の範囲】

【請求項1】

有効長 $L_{eff}$ を持つ電荷トラッピング層(4)の下方にあるチャンネル(8)および、電荷トラッピング層(4)の上方で、チャンネル層(8)の反対側に配置されたゲート電極(3)を持つ半導体デバイスの電荷トラッピング層(10)に格納された電荷の空間的な分布(Nnt)を抽出するための方法であって、

a) 半導体デバイス(1)をプログラミング動作に供し、電荷トラッピング層(10)内でチャンネル長(8)に沿って電荷が単調に増加し、その結果、チャンネル長(8)に沿って単調に変化するしきい値プロファイル $V_{th}(x)$ とすることにより、半導体デバイス(1)を基準状態にするステップと、

b) 前記基準状態にある前記半導体デバイスについて、電圧パルス列を前記ゲート電極に印加して、電圧( $V_{bot}$ )の関数として電荷ポンピング電流 $I_{cp}(V_{bot})$ を測定することによって、第1電荷ポンピングカーブを決定し、この場合、このパルス列での各パルスが同じトプレベル電圧を有し、パルスのベースレベル電圧を低下させることによって、パルスの振幅は時間とともに単調に増加するようにし、そして、電圧パルス列を前記ゲート電極に印加して、電圧( $V_{top}$ )の関数として電荷ポンピング電流 $I_{cp}(V_{top})$ を測定することによって、第2電荷ポンピングカーブを決定し、この場合、このパルス列での各パルスが同じベースレベル電圧を有し、パルスのトプレベル電圧を上昇させることによって、パルスの振幅は時間とともに単調に増加するようにしたステップと、

c) 前記半導体デバイスを動作させるステップと、

d) 前記動作中の半導体デバイスについて、電圧パルス列を前記ゲート電極に印加して、電圧(V<sub>bot</sub>)の関数として電荷ポンピング電流 I<sub>cp</sub>(V<sub>bot</sub>)を測定することによって、第1電荷ポンピングカーブを決定し、この場合、このパルス列での各パルスが同じトップレベル電圧を有し、パルスのベースレベル電圧を低下させることによって、パルスの振幅は時間とともに単調に増加するようにし、そして、電圧パルス列を前記ゲート電極に印加して、電圧(V<sub>top</sub>)の関数として電荷ポンピング電流 I<sub>cp</sub>(V<sub>top</sub>)を測定することによって、第2電荷ポンピングカーブを決定し、この場合、このパルス列での各パルスが同じベースレベル電圧を有し、パルスのトップレベル電圧を上昇させることによって、パルスの振幅は時間とともに単調に増加するようにしたステップと、

e) 前記決定した電荷ポンピングカーブからのデータを結合して、前記空間的な分布を取得するステップと、を含み、

ステップ e) は、

r) 開始値および電荷ポンピング電流 I<sub>cp</sub>の範囲を選択し、電荷ポンピング電流 I<sub>cp</sub>の前記選択した値について全ての前記決定した電荷ポンピングカーブにおいて、対応するデータポイントを決定するステップと、

s) 電荷ポンピング電流 I<sub>cp</sub>の前記開始値および前記範囲から、前記対応したデータポイントを用いて、下記の数式

【数1】

$$(V_{th\_ref}(x) - V_{fb\_ref}(x)) - (V_{th\_cyc}(x) - V_{fb\_cyc}(x)) = \frac{q\Delta N_{it}(x)}{C}$$

および

【数2】

$$\int_{x_{i-1}}^{x_i} qfN_{it}(x)dx \approx ((N_{it}(x_i) - N_{it}(x_{i-1}))(\frac{x_i - x_{i-1}}{2})) \approx I_{cp}(V_{th\_cyc}(x_i)) - I_{cp}(V_{th\_cyc}(x_{i-1}))$$

を解くとともに、下記の数式

【数3】

$$\Delta V_{th}(x) = V_{th\_ref}(x) - V_{th\_cyc}(x) = \frac{\Delta Q_{nt}(x) - \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) - q\Delta N_{it}(x)}{2C}$$

または

【数4】

$$\Delta V_{fb}(x) = V_{fb\_ref}(x) - V_{fb\_cyc}(x) = \frac{\Delta Q_{nt}(x) + \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) + q\Delta N_{it}(x)}{2C}$$

の少なくとも1つを解いて、これにより、計算したチャンネル長 L<sub>calc</sub>および電荷分布を取得するステップと、を含み、

ここで、V<sub>th\_ref</sub>(x)は、基準デバイスのしきい値電圧カーブ、

V<sub>fb\_ref</sub>(x)は、基準デバイスのフラットバンド電圧カーブ、

V<sub>th\_cyc</sub>(x)は、少なくとも1つのプログラム/消去動作後の半導体デバイスのしきい値電圧カーブ、

V<sub>fb\_cyc</sub>(x)は、少なくとも1つのプログラム/消去動作後の半導体デバイスのフラットバンド電圧カーブ、

qは、電子電荷の絶対値、

N<sub>it</sub>(x)は、インターフェーストラップ数(個/cm<sup>2</sup>)、

N<sub>nt</sub>(x)は、電荷トラッピング層(10)に存在する荷電キャリア数(個/cm<sup>2</sup>)、

fは、変化するレベルの電圧信号の周波数、

10

20

30

40

50

Q<sub>nt</sub>は、電荷トラッピング層(10)に存在する電荷(C/cm<sup>2</sup>)、  
Q<sub>it</sub>は、インターフェーストラップに存在する電荷(C/cm<sup>2</sup>)、  
xは、半導体デバイスのチャンネルに沿った座標、  
Cは、誘電体スタック(4)のキャパシタンス(F/cm<sup>2</sup>)であり、  
さらに、t)その後、取得したチャンネル長L<sub>calc</sub>が、前記半導体デバイスの前記有効  
チャンネル長L<sub>eff</sub>と実質的に等しいか否かを比較するステップと、  
u)等しくなければ、ステップr)~t)を繰り返すステップと、を含む方法。

【請求項2】

前記電荷ポンピングカーブからの前記データはさらに結合されて、チャンネル(8)と、  
電荷トラッピング層(10)をチャンネル層(8)から分離する誘電体スタック(11)との間のイ  
ンターフェースに存在するトラップ内の電荷空間分布(N<sub>it</sub>)を得ることを特徴とする請求  
項1記載の方法。

10

【請求項3】

前記計算で得たチャンネル長L<sub>calc</sub>と、前記有効長L<sub>eff</sub>との差が1%未満である請求  
項1または2記載の方法。

【請求項4】

電荷ポンピングカーブからトラップ内の前記電荷空間分布(N<sub>it</sub>)を得ることは、  
y)電荷ポンピングカーブの1つにおいて、開始ポイントを選択するステップと、  
z)電荷ポンピングカーブの選択された部分についての開始ポイントから下記の数式

【数5】

20

$$N_{it}(x_i) = N_{it,ref} + \frac{C}{q} [(V_{th\_ref}(x) - V_{fb\_ref}(x)) - (V_{th\_cyc}(x) - V_{fb\_cyc}(x))]$$

および

【数6】

$$N_{it}(x_i) = \frac{2[I_{cp}(V_{th\_cyc}(x_i)) - I_{cp}(V_{th\_cyc}(x_{i-1}))]}{x_i - x_{i-1}} - N_{it}(x_{i-1})$$

30

を解くステップと、

a a)下記の数式

【数7】

$$\Delta V_{th}(x) = V_{th\_ref}(x) - V_{th\_cyc}(x) = \frac{\Delta Q_{nt}(x) - \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) - q\Delta N_{it}(x)}{2C}$$

または

【数8】

$$\Delta V_{fb}(x) = V_{fb\_ref}(x) - V_{fb\_cyc}(x) = \frac{\Delta Q_{nt}(x) + \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) + q\Delta N_{it}(x)}{2C}$$

40

の少なくとも1つを解くステップと、を含む、

ここで、V<sub>th\_ref</sub>(x)は、基準デバイスのしきい値電圧カーブ、

V<sub>fb\_ref</sub>(x)は、基準デバイスのフラットバンド電圧カーブ、

V<sub>th\_cyc</sub>(x)は、少なくとも1つのプログラム/消去動作後の半導体デバイスのしきい値電圧カーブ、

V<sub>fb\_cyc</sub>(x)は、少なくとも1つのプログラム/消去動作後の半導体デバイスのフラットバンド電圧カーブ、

qは、電子電荷の絶対値、

50

$Nit(x)$ は、インターフェーストラップ数(個/cm<sup>2</sup>)、  
 $Nnt(x)$ は、電荷トラッピング層(10)に存在する荷電キャリア数(個/cm<sup>2</sup>)、  
 $f$ は、変化するレベルの電圧信号の周波数、  
 $Qnt$ は、電荷トラッピング層(10)に存在する電荷(C/cm<sup>2</sup>)、  
 $Qit$ は、インターフェーストラップに存在する電荷(C/cm<sup>2</sup>)、  
 $x$ は、半導体デバイスのチャンネルに沿った座標、  
 $C$ は、誘電体スタック(4)のキャパシタンス(F/cm<sup>2</sup>)である、請求項2記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体の処理およびデバイス、特に不揮発性の電荷トラッピングメモリデバイスの分野にある。特にこの発明は、第1のクレームの序文に基づく、半導体デバイスの電荷トラッピング層に記憶された空間分布を抽出するための方法に関する。

【背景技術】

【0002】

不揮発性のメモリ(NVM)は、メモリセルに1ビットが一旦、保存されると、このビットは、メモリセルがもはや給電されない時でも、保有されるという事実によって特徴付けられる。また、電界がメモリセルの消去およびプログラミングに使用されるとき、NVMデバイスはEEPROM (Electrically Erasable and Programmable-Read-Only-Memory) デバイスとして知られている。フローティングゲートのEEPROMデバイスでは、電荷は二重キャパシタ構造の一部であるので導電層中に保存されるが、電荷トラッピングEEPROMデバイスでは、単一のキャパシタ構造の一部であるので電荷は、絶縁性の層の中に保存される。そのような絶縁性の電荷保存層では、例えば、窒化物、ポリシリコン、ナノクリスタルか金属ナノ粒子を含む酸化物では、電荷は、電荷格納層全体に対して一様に広がらず、この絶縁性電荷保存層に電荷が注入された箇所に実質的に閉じこめられる。電荷保存のために、導電層が1つの連続した電荷トラップとして使用されるフローティングゲートメモリデバイスに対し、電荷トラッピングメモリデバイスは、メモリ要素として個別の電荷トラッピングの存在によって特徴付けられる。EEPROMデバイスは集積化を容易にし、かつ、ストレス起因のリーケージを減じるので、EEPROMデバイスでの開発は、ますます、局所的な電荷トラッピングに焦点が合わされている。特に例えば、B. Eitan による国際出願 W099/070000(特許文献1)で開示されたように、絶縁性電荷保存層として窒化物を用いたNROMTMデバイスは、1メモリセルあたり物理的な2ビット(各ビットは、それぞれに窒化物充電保存層中で異なった位置にある)の格納を許可するので、極めて魅力的である。キャリア、例えば電子を注入することによって、窒化物層中にて、NROM(商標名)セルがプログラムされる。NROM(商標名)セルを消去するためには、既存の電子を相殺するために、反対種類のキャリアが窒化物層に注入される。しかしながら、反復(つまりセルの反復性のプログラミングと消去)の後では、耐久性と不十分な保有がNROM(商標名)の大きな欠点である。

【0003】

現在、不揮発性の電荷トラッピングメモリデバイス、特にNROM(商標名)デバイスの低い耐久性と低い電荷保有の特性の正確な原因は、まだ知られておらず、これらの特性の改善を妨害している。MOSFET-タイプのデバイスでの電荷の横方向の分布を決定する1つの方法は、電荷ポンピング(CP)として知られた技術である。この方法は、最初、MOSFET-タイプのデバイスにおいて、ホットキャリアによる退化の機構を研究するために開発された。MOSFET-タイプのデバイスでデバイスのチャンネルに沿ってしきい値電圧をスキャンすることによってトラップされた電荷に関する情報を得るために、電荷ポンピング測定は、効果的な方法である。M. Rosmeulenその他は「電荷ポンピング技術を用いて、ローカルの電荷トラッピングメモリ素子での空間的な電荷分布の特徴付け」(ソリッドステートエレクトロニクス ジャーナル、冊48(2004)1525-1530頁)において、トラッピング媒体およびメモリセルをプログラミングするための電子の注入として、電荷の局所的なトラッピングに基づく不揮発性のメモリデバイス、特にn-タイプNROM TMデバイスへの電荷ポンプ技術

10

20

30

40

50

の適用を教示している。特に、その開示のセクション3.3(参考のためにその全体をここに示す)は、デバイスでトラップされる全体の電荷の横方向の分布が、非旋回ベースの手順を用いた電荷ポンピング測定から、いかにして直接に計算できるかを教示する。この測定手順は、プログラミングステップの間にデバイスに注入された電子の横方向の分布の抽出を可能にするが、それは、チャンネルと誘電体スタックとのインターフェースに存在する電荷トラップの密度の変化を考慮に入れておらず、そして、その密度をチャンネルに沿って一様であるべきと仮定する。更に、デバイスが複数のプログラム/消去のステップに供せられるとき、電気的な作用によって、そのインターフェースは劣化するであろう。追加のインターフェースのトラップNitは、特に正孔の注入により、メモリデバイスを消去する時、不均等な方法で形成されるであろう。このインターフェースの劣化への電荷ポンピング測定の感度のために、劣化したデバイスでのプログラミングまたは消去のステップの間に、トラッピング媒体に注入された電荷の横方向の分布の正確な抽出は、従って、インターフェーストラップの不均一な分布のために不可能である。

10

【特許文献1】国際出願 W099/070000

【発明の開示】

【発明が解決しようとする課題】

【0004】

他方、Chimその他は、「物理学ベースのアルゴリズムを使用する金属酸化膜半導体の電界効果トランジスタのインターフェース状態およびトラップされた電荷の空間的な分布の抽出」(Journal Applied Physics、冊81(4)(1997)、頁1993-2001)にて、ホットキャリアにより引き起こされたMOSFETの劣化の機構の洞察を獲得するために、および、インターフェースのトラップNitと酸化物の電荷Notの双方を抽出するために、電荷ポンピングの測定データに基づく電荷抽出アルゴリズムを教示する。しかしながら、この技術が、インターフェースのトラップの値、ローカルな電圧などから繰り返しのスキームに基づくので、その精度は疑問である。

20

【0005】

したがって、誘電体および、MOSFET-タイプデバイスのインターフェースのトラップでトラップされた電荷の空間的な分布を決定する方法の必要がある。この発明の目的は、揮発性の電荷トラッピングのメモリデバイスでの電荷分布を決定するための方法を開示することである。この目的は、請求項1のステップを備える方法で達成される。

30

【課題を解決するための手段】

【0006】

この発明の方法は、与えられた有効長 $L_{eff}$ を持つ電荷トラッピング層の下のチャンネルを有する半導体デバイスの電荷トラッピング層の中に保存された電荷の空間的な分布を抽出するために開発された。この方法は以下のステップを含む。電荷ポンピング技術において、1つは、変化するベースレベルの電圧測定値を用いることにより、他の一つは、変化するトップレベルの電圧測定値を用いることにより、2つの電荷ポンピングのカーブが決定される。より特別には、第1のカーブは、半導体デバイスでの第1の電荷ポンピング測定値により決定され、これにより、電荷ポンプパルスの上側のレベルのみが変更され、そして、第2のカーブは、半導体デバイスでの第2の電荷ポンピング測定値により決定され、これにより、電荷ポンプパルスの下側のレベルのみが変更される。第1と第2の電荷ポンピング測定値からのデータは、電荷トラッピング層内で電荷の空間的な分布を得るために結合される。

40

【0007】

カーブからのデータのこの結合は以下のように実施される。電荷ポンピング電流 $I_{cp}$ の複数の値に対する電荷ポンピングカーブから、空間的な電荷分布の見積もり値を再構築することにより、電荷ポンピング電流 $I_{cp}$ と、半導体デバイスの計算されたチャンネル長 $L_{calc}$ との間の関係が確立される。望ましくは、これらの値は、電荷ポンピングカーブの上側の範囲内で選ばれ、より望ましくは、仮定した最大電荷ポンピング電流 $I_{cp\_max}$ にできる限り接近して選択される。複数の $I_{cp}$ の値から、対応する計算されたチャンネル長 $L_{ca}$

50

lkが半導体デバイスの有効チャンネル長 $L_{eff}$ と実質的に等しいその値が選択される。最後に、空間的な電荷分布は、この $I_{cp}$ の値を使用することで電荷ポンピング値カーブから再構築される。

【0008】

ベースレベルを変えること、およびトップレベルの電荷ポンピングの測定値を変えることを実行することによって、電荷トラッピング層が格納された、空間的な電荷分布を抽出できるだけでなく、インターフェースのトラップに格納された電荷の空間的な電荷分布も抽出できる。このように、誘電体層内の電子および正孔の双方の空間的な分布が得られる。このように得られた電子および正孔の分布カーブは、物理的な理解および、電荷トラッピングデバイスの別の最適化に用いられる。特に、より正確で効率的な方法で、不揮発性の電荷トラッピングのメモリデバイスの電荷保有特性への電氣的ストレスの衝撃を特徴付けるためにそのカーブを使用することができる。この発明の抽出方法は、メモリデバイスの電荷トラッピング層に注入された電子および正孔の分布を抽出することを可能にし、従って、選択された電荷の分布を得るために要求される電圧設定を決定する。この抽出方法を適用することによって、プログラミング動作の後に分布した電子だけではなく、消去動作の後に分布した正孔も抽出することができる。その結果、インターフェース状態の劣化が考慮に入れられるとき、この抽出はより正確である。

10

【0009】

この発明の方法の都合のよい具体化では、電荷ポンピングカーブからのデータの結合は、以下のステップを備える。最初に、電荷ポンピング電流 $I_{cp}$ として1つの値が、電荷ポンピングプロフィールの1つで選択される。次に、選択された電荷ポンピング電流 $I_{cp}$ に対応する計算されたチャンネル長 $L_{calc}$ は、この電荷ポンピング電流 $I_{cp}$ に対して、空間的な電荷分布見積もりを再構築することにより、決定される。そして、計算されたチャンネル長 $L_{calc}$ は、有効長 $L_{eff}$ と比較される。不整合の場合には、選択を改善するために不整合な情報を用いてその電荷ポンピング電流 $I_{cp}$ に対して新たな値が決定される。これらのステップは、不整合が実質的に0になるまで繰り返し替えされる。

20

【0010】

別の具体化では、実質的に有効長 $L_{eff}$ と等しいチャンネル長 $L_{calc}$ に対応する電荷ポンピング電流 $I_{cp}$ は、データポイント( $L_{calc}$ 、 $I_{cp}$ )の直線的な補間により、または、データポイント( $L_{calc}$ 、 $I_{cp}$ )から決定される解析関数 $L_{calc}(I_{cp}) - L_{eff} = 0$ を解くことにより、得ることができる。

30

【発明の効果】

【0011】

この方法の好ましい具体化では、電荷ポンピングカーブからのデータは、チャンネルと誘電体スタック(これは電荷トラッピング層をチャンネルから隔離する)との間のインターフェースに存在するトラップ内の電荷の空間分布を得るために更に結合される。この具体化は、電荷トラッピングデバイスの電荷トラッピング層に格納された電荷および、インターフェーストラップに格納された電荷の空間分布を個別に抽出するための方法である。これらの2つの電荷分布が公知なら、インターフェーストラップの不均等な分布が正孔の注入により生成されても、また、この電荷トラッピング層への正孔の注入を特徴付けることができる。その結果、また、この方法は、別々に、電荷トラッピングデバイスの電荷トラッピング層内の電子と正孔とを別々に抽出することを可能にする。

40

【発明を実施するための最良の形態】

【0012】

模範的な具体化は、図面中の関連した図面で例証される。ここで明らかにされた具体化と図面は、限定するというよりむしろ説明に役立つものとして意図されている。

【0013】

図1~5はMOSFET-タイプのデバイスの概略断面図を示す。このデバイス(1)は、ゲート誘電体(4)によって基板(2)から切り離されたゲート電極(3)を備える。通常、ゲート電極は、必要な動作機能、および/または、伝導率を得るためにドーピングされた多結晶シリ

50

コンなどの半導体の材料から形成される。この半導体材料は、当業者には周知のように、完全にまたは部分的に珪素化されるか、または、例えば、Al, TiN, TaNのような金属も使用される。ゲート誘電体(4)は、窒化珪素、シリコン含有酸化物、シリコンオキシナイトライド、半導体材料の微結晶、例えば多結晶シリコンを等の酸化被膜などの誘電性の電荷トラッピング層(10)を備える。選択的に、この電荷トラッピング層は、例えばシリコン酸化物のようなトラッピング能力が低いか全くない別の誘電体の層(11)により、基板(2)から隔てることことができる。ゲート電極(3)から電荷トラッピング層(10)を切り離すために、層(11)としての同様の材料での別の層(9)を使用することができる。基板(2)は、半導体基板、例えば、シリコン、絶縁体上のシリコン(SOI)、絶縁体上のゲルマニウム(GOI)である。ゲート電極(3)およびゲート誘電体(4)に接近して、シリコン酸化物、シリコン窒化酸化物、シリコンカーバイトなどの誘電体材料内に形成された側壁スペーサ(5)が存在できる。スタックのソース(6)およびドレイン領域(7)は基板(2)内に整列して形成される。ソース(6)とドレイン領域(7)は基板(2)に対し反対の電導率タイプである。ソース(6)およびドレイン領域(7)は、チャンネル領域(8)が接触するように、スペーサ(5)の下方に延在する。このチャンネル領域(8)は、ゲート電極(3)の誘電性の制御下にある。製造半導体デバイス、特に不揮発性メモリデバイスの分野の当業者には公知の処理ステップおよび材料を用いて、図1のデバイスを製造することができる。

#### 【0014】

発明を教示する目的のために、デバイス(1)が、ドーピングされたn-タイプであるポリシリコンゲート電極(3)を備えるnMOSデバイスであると仮定される。また、ソース(6)およびドレイン(7)領域は、n-タイプにドーピングされるが、基板(2)はp-タイプにドーピングされる。シリコン酸化物で形成された側壁のスペーサ(5)が存在する。ゲート誘電体(4)は、シリコン酸化物による2つの層(9、11)の間に積層された電荷トラッピング層(10)として使用される窒化物層から成る。しかしながら、この発明はこの例に限定されない。可能な多数の変形および変更があることに気付くであろう。このデバイスは、p-タイプにドーピングされたポリシリコンゲート電極(3)を備えるデバイスであるpMOSデバイスであるかもしれない。また、ソース(6)とドレイン(7)領域は、p-タイプにドーピングされるが、基板(2)はn-タイプにドーピングされる。図1で示したようなスタック化のゲートデバイスの替わりに、そのデバイスは、HIMOSメモリセルなどのゲート分離のデバイスであるかもしれない。そのメモリセルは、US 5,583,811に開示され、参考のためにここに示す。従って、その記述は範囲を制限する記述と考えるべきではない。

#### 【0015】

一般に半導体デバイス(1)の電荷トラッピング層(10)の中に格納された電荷 $N_{nt}$ の空間的な分布を抽出するためのすべての方法は、以下に述べられるが、次のステップを備える。変化するベースレベル電圧 $V_{base}$ の電荷ポンピングカーブを決定するステップ、変化するトップレベル電圧 $V_{top}$ の電荷ポンピングカーブを決定するステップ、および、格納された電荷 $N_{nt}$ の空間分布を得るために、電荷ポンピングカーブからのデータを結合するステップ。このデータの結合は、電荷ポンピング電流 $I_{cp}$ の複数の値に対する電荷ポンピングカーブから空間電荷分布の見積もりを再構築することにより、電荷ポンピング電流 $I_{cp}$ と、半導体デバイスの計算されたチャンネル長 $L_{calc}$ との間の関係を確認することにより実行される。これらの複数の $I_{cp}$ の値から、対応する計算されたチャンネル長 $L_{calc}$ が半導体装置の有効チャンネル長 $L_{calc}$ と実質的に等しい値を得ます。この電荷ポンピング電流 $I_{cp}$ は、最大電荷ポンピング電流 $I_{cp\_max}$ である。最後に、その電荷の空間分布は、 $I_{cp} = I_{cp\_max}$ の値を用いて、電荷ポンピングカーブから電荷の空間分布を再構築することにより、抽出される。

#### 【0016】

以下に述べる全ての具体化では、電荷トラッピングデバイスの電荷トラッピング層内およびこの層のインターフェースに位置するトラップ内の電荷の空間分布が個別に抽出される。好ましくは、この電荷トラッピングデバイスは、不揮発性の電荷トラッピングメモリデバイスである。

## 【 0 0 1 7 】

電荷ポンピングカーブを決定するために使用できる電荷ポンピング測定の機構は、図 1 に概略で示される。ソース(6)、ドレイン(7)、および基板(2)の領域は、固定電圧、望ましくは0Vまたはグラウンドにバイアスされる。電圧ソース(例えばパルス発生器)はゲート電極に接続され、電流は基板で測定される。また、この測定機構は、ゲート電極に印加された電圧パルスの振幅が測定の間、増大するような、振幅掃引の電荷ポンピング機構として公知である。

## 【 0 0 1 8 】

以下に述べる具体化では、測定シーケンスは、2つのステップ：参照のために、2つの電荷ポンピング測定がデバイスで実施される第1のステップと、同様な電荷ポンピング測定がテスト下のデバイス(DUT)で実施される第2のステップを備える。

## 【 0 0 1 9 】

基準デバイスは、基準状態を除き、通常、研究されたデバイスと同じである。研究されたデバイスは、チャンネルに沿って、または、測定方法に供される、少なくともチャンネルの一部、典型的にはチャンネルの半分に沿って、しきい値電圧の単調な増加か減少を持つ必要がある。この場合、それぞれのしきい値電圧は電荷ポンピングカーブの1点に対応する。このデバイスの基準状態、より正確には、そのしきい値電圧の分布は、研究されたデバイスで既にトラップされた電荷に依存する。研究された装置でのしきい値電圧の分布が単調に増加するなら、しきい値電圧分布で同様の増加を持つ基準状態を持つことがより好ましい。例えば、初期のデバイスを、軽いプログラミング操作に供して、電荷トラップ層内で電荷の単調な増加をもたらすことができ、しきい値プロファイル  $V_{th}(x)$  は、図6で点線  $V_{th\ ref}(x)$  で示したように、チャンネルに沿って単調に変化する。この図では、基準状態の装置のしきい値電圧はドレインdの近くでわずかに増える。インターフェーストラップの数と分布は本質的には影響を受けず、本質的にチャンネル上に一定のまま留まるべきである。しきい値電圧の分布が単調に減少するなら、減少するしきい値電圧の分布を持つ基準状態を持つこともより好ましい。最も自然な基準状態はこの場合、最初のデバイスであり、しきい値電圧は次第にチャンネル中心から接合部に向かって減少する。

## 【 0 0 2 0 】

図2および3で示した第1の電荷ポンピング測定は、電氣的に応力をまだ受けていない(つまり、インターフェース分布がチャンネルに沿って一様と考えられる)基準状態のデバイスで実施される。最初のパルス列は、ゲート電極(3)に印加され、これにより、このパルス列の各パルスには、同じ下部レベル  $V_{bot}$  を持つ。パルスの振幅  $V_p$  は、パルスの先端平らな  $V_{top}$  を増大させることによって、時間に従って単調に増加する。図2に示した模範的なパルス列は、3組のセットで分類された9パルスを備える。第1の組みのパルスは、最低の振幅を持ち、第2の組みのパルスはより高い振幅を持ち、最後の組みのパルスは最高の振幅を持つ。したがって、パルス順におけるパルスの振幅または、各パルスの電圧スイングが漸増する。パルス列でのパルスの個数、それらのデューティサイクル、各パルスの振幅、振幅  $V_p$  がパルス列で増大する様子(例えば、段階的に、次第に)、および上側のレベル  $V_{top}$  は、選択パラメータであり、要求される制度および測定解像度の観点から選択できる。

## 【 0 0 2 1 】

パルスの下部レベル  $V_{bot}$  が、デバイス(1)のフラットバンド電圧  $V_{fb\_H}$  より下であり、かつ、パルスの上部レベル  $V_{top}$  が、デバイス(1)のしきい値電圧  $V_{th\_L}$  より高いとき、蓄積層および反転層は、チャンネル(8)とゲート誘電体(4)とのインターフェースで連続的に形成されるであろう。ソース(6)、および/または、ドレイン(7)領域からの反転層の電子は、高いパルスバイアスの間に、インターフェースの状態  $N_{it}$  を満たすであろう。これらのインターフェースの状態はその結果、負に電荷される。電圧がフラットバンド電圧  $V_{fb\_ref}(x)$  より下回る時、基板(2)からの蓄積層の正孔は、トラップされた電子と急速に再結合し、電荷ポンプ電流  $I_{cp}$  を生じる。電荷ポンプ電流は、パルス周波数および、チャンネル

10

20

30

40

50

ルで形成された反転域内のインターフェースの状態の個数  $N_{it}$  に比例する。この電荷ポンピングの測定から、図3で示されるように、パルス列の上位レベル  $V_{top}$  の関数として、電流  $I_{cp}$  または、1パルスあたりの電荷で与えられた基準状態のこのデバイスの電荷ポンプカーブ  $I_{cp}(V_p)$  が得られる。 $I_{cp}$  をチャンネルに沿って位置  $x$  に取り替えることによって、このカーブの縦軸を変えることができる。0電流は、チャンネルの一端、例えば  $x = 0$  のソースに対応し、一方、最大電流  $I_{cp\_max}$  は、チャンネルの他端、 $x = 100\%$  (チャンネル有効長  $L_{eff}$ ) のドレインに対応する。Maarten Rosmeulen その他より、参考のためにここに照会したSolid-State Electronics journal, 冊48(2004)頁1525-1530の「電荷ポンピング技術を用いてローカルの電荷トラッピングメモリデバイスにおける電荷空間分布の特徴付け」の3.3節で開示された方法を適用して、この電荷ポンピングカーブを再形成することによって、ソースおよびドレインに関してその相対的な位置  $x$  の関数として、このデバイスに印加された電圧の変化を示す、しきい値プロフィールカーブ  $V_{th,ref}(x)$  が得られる。

10

## 【0022】

第2の電荷ポンピング測定は、基準状態のデバイスに対し実行される。パルス列はゲート電極(3)に適用され、それにより、このパルス列の各パルスは、同じトップレベル  $V_{top}$  を持つ。パルスの振幅  $V_p$  は、パルスの下部レベル  $V_{bot}$  を下げることによって、時間に従って、単調に増加する。図4で示された模範的パルス列は、3つに分類された9パルスを備える。第1の組みのパルスは最低の振幅または電圧スイングを持ち、第2の組みのパルスはより高い振幅を持ち、最後の組みのパルスは最高の振幅を持つ。パルス列のパルス数、それらのデューティサイクル、各パルスの振幅、振幅  $V_p$  がパルス列に対して増大する様子(例えば段階的に、次第に)、上位レベル  $V_{top}$  は、パラメータの選択であり、要求される精度および測定の解像度の観点で選択できる。固定されたトップレベル  $V_{top}$  および変化するベースレベル  $V_{bot}$  を有するこのパルスは、 $V_{bot}$  がフラットバンド電圧  $V_{fb\_H}$  を下回った時、トップのタイム  $t_{up}$  の間の電子およびパルスの底部のタイム  $t_{dn}$  の間に正孔でインターフェースの状態を満たす。パルスのより低いレベル  $V_{bot}$  のフラットバンド電圧  $V_{fb\_H}$  を超えている限り、チャンネルは、反転層に留まり、そして、インターフェーストラップは常に電子で満たされる。チャンネル(8)は、次第に増大するパルス振幅である低レベル  $V_{bot}$  がこのフラットバンド  $V_{fb\_H}$  を上回るか下回るかに依存して、反転層と蓄積層との間で切り替わり、そして、インターフェーストラップは、電荷ポンピング測定のために、電子と正孔とで交互に満たされる。この電荷ポンピング測定から、図5で示された基準状態のこのデバイスの電荷ポンプカーブ  $I_{cp}(V_p)$  には、パルス列の底部のレベル  $V_{bot}$  の関数として、電流  $I_{cp}$  または、1パルスあたりの電荷が与えられる。 $I_{cp}$  をチャンネルに沿って位置  $x$  に取り替えることによって、このカーブの縦軸を変えることができる。最大電流  $I_{cp\_max}$  は、チャンネルの一端、例えば  $x = 0$  のソースに対応し、一方、0電流は、チャンネルの他端、 $x = 100\%$  (チャンネル有効長  $L_{eff}$ ) のドレインに対応する。Maarten Rosmeulen その他より、参考のためにここに照会したSolid-State Electronics journal, 冊48(2004)頁1525-1530の「電荷ポンピング技術を用いてローカルの電荷トラッピングメモリデバイスにおける電荷空間分布の特徴付け」の3.3節で開示された方法を適用して、この電荷ポンピングカーブを再形成することによって、ソースおよびドレインに関してその相対的な位置  $x$  の関数として、このデバイスに印加された電圧の変化を示す、フラットバンドプロフィールカーブ  $V_{th,ref}(x)$  が得られる。

20

30

40

## 【0023】

テスト中のデバイスは、電気的に応力を受け、チャージされたキャリアが電荷トラッピング層(10)に注入される。これらの注入されたキャリアは正または負にチャージされ得る。この場合、デバイスはメモリセルとして用いられ、1つのキャリアタイプがメモリセルをプログラムするために使用され、一方、反対にチャージされたキャリアは、そのプログラムされた電荷の分布プロフィールを相殺することにより、メモリセルを消去するために使用される。このデバイスでは、この発明による電荷ポンピング測定は、電荷トラッピング層(10)に格納された電荷  $Q_{nt}$  およびインターフェーストラップ  $N_{it}$  により発生された電

50

荷  $Q_{it}$  のしきい値電圧への貢献を決定するために実施される。電荷トラッピング層(10)の中に格納された電荷  $Q_{nt}$  は、しきい値電圧  $V_{th\_Qnt}$  の一定のオフセットを発生させ、一方、インターフェーストラップ内に格納された電荷により発生されたオフセット  $V_{th\_Qit}$  は、正または負の電荷がこれらのインターフェーストラップに格納されるかどうか、およびインターフェーストラップの個数  $N_{it}$  に依存する。反転層では、インターフェーストラップは、電子で満たされて、しきい値電圧が上方にシフトし、一方、蓄積層では、正孔で満たされて、しきい値電圧が下方にシフトする。例えばデバイスに印加される反復性の電氣的応力によるデバイスの劣化は、インターフェーストラップの数および、したがって、しきい値電圧オフセット  $V_{th\_Qit}$  を変えるであろう。図6で示されたしきい値電圧の分布は、負のチャージ、例えば、nMOSデバイスの電荷トラッピング層(10)の中に存在する負の電荷に起因する。同様な図面は、このデバイスのフラットバンド電圧分布に対して描くことができる。図1のデバイスが不揮発性のメモリセルとして使用されるなら、当業者で周知なチャンネル・ホット電子注入により、メモリセルをプログラムするステップの間に、この層(10)に電子を注入することができる。メモリセルを消すステップの間に、例えば、当業者で周知な、帯域間のトンネリングによるホット正孔注入により、正孔を注入することができる。例えば、 $x_1 \sim d$  の間の領域で、しきい値電圧で局部的に  $V_{th\_ref}(x) - V_{th\_cyc}(x)$  の増大および、フラットバンド電圧  $V_{th\_ref}(x) - V_{th\_cyc}(x)$  の増大となる。この発明の教示目的のために、負の電荷  $Q_{nt}$  が、nMOSメモリセル(1)の電荷トラッピング層(10)に格納され、負の電荷  $Q_{nt}$  が格納されたそれらの箇所では、しきい値電圧およびフラットバンド電圧の正へのシフトが生じ、つまり、しきい値電圧およびフラットバンド電圧がより正になる。現実のデバイスでは、接合部の存在および、チャンネルに沿って分布した他のインターフェーストラップ  $N_{it}$  の存在のために、チャンネルに沿ったしきい値電圧の分布は、図6に示唆したように鋭く限定されることはなく、チャンネルに沿って変化する。

#### 【0024】

第1の電荷ポンピング測定は、テスト中のデバイスに実施される。図7に示したデバイスでは、負に帯電された粒子( $x_1$ から $d$ のドットを記した領域)が電荷トラッピング層(10)に格納され、その結果、 $s \sim x_1$  の箇所 비해、 $x_1 \sim d$  の箇所では、しきい値電圧およびフラットバンド電圧が増大する。インターフェース状態の数  $N_{it}$  が存在する(チャンネル内のドット)。図8に示された、基準状態のデバイスでの第1の測定のパルス列に似たパルス列は、このデバイスにも印加される。基準電圧を測定する第1のステップで述べたように、固定された底のレベル  $V_{bot}$  および、変化するトップレベルを持つこのパルスは、インターフェース位置に、パルスのアップの時間  $t_{up}$  の間に電子を満たし、パルスのダウンの時間  $t_{do}$  に正孔を満たす。インターフェース状態の数または、しきい値電圧がチャンネル(8)にわたって一定であるなら、 $V_{top}$  がしきい値電圧  $V_{th}$  より高い限り、パルスの振幅の如何にかかわらず、各パルスで同じ電荷ポンプ電流を得るであろう。しかしながら、パルス振幅  $V_p$  が増大する図6で示されるように、しきい値電圧がチャンネルにわたって一様でないなら、チャンネルの増大部は、電荷ポンプ電流に貢献するであろう。パルスのより高いレベル  $V_{up}$  は、局所的なしきい値電圧  $V_{th\_H}$  より低い限り、 $x_1 \sim d$  の間のチャンネル部分は、電荷ポンピング電流に貢献しないであろう。それまで、より高いしきい値電圧  $V_{th\_H}$  を持つチャンネル(8)の一部は、蓄積に留まり、そして、対応するインターフェーストラップは、図7にてシンボル  $h+$  により示されるように正孔で常に満たされるであろう。より低いしきい値電圧  $V_{th\_L}$  を持っているチャンネル(8)の一部は、より上側のレベル  $V_{top}$  が上か下にあるかにより、反転層と蓄積層との間で切り換えるであろう。このより低いしきい値電流および対応するインターフェーストラップは電荷ポンピングの測定の間電子および正孔で交互に満たされるであろう。図8の順でパルスが図7のデバイスに印加されたなら、しきい値電圧  $V_{th}(x)$  がソースからドレインへ単調に増大するとき、チャンネルはソースからドレインへスキャンされる。チャンネルの半分のみが低下しているなら、 $V_{th}(x)$  は、半分のチャンネルのみで単調である必要がある。テスト中のデバイスに対し、電荷ポンピング電流からしきい値電圧のプロフィール  $V_{th}(x)$  を抽出する第1のステ

10

20

30

40

50

ップにおいて電荷ポンピング信号に適用したのと同じ手順が、図9に示したように、作用下のデバイスに印加される。しきい値電圧のプロフィール $V_{th}(x)$ とチャンネル内の位置 $x$ との間の関係は、チャンネル内の1つの位置 $x_1$ から別の位置 $x_2$ への電荷ポンプ電流の増大は、これらの位置の間のチャンネル領域内に位置するインターフェーストラップ $N_{it}$ の個数に貢献できるという事実により確立できる。この関係は次式で示される。

【数9】

$$\int_{x_1}^{x_2} qfN_{it}(x)dx \approx I_{cp}(V_{th}(x_2)) - I_{cp}(V_{th}(x_1))$$

10

$q$  は電荷の絶対値、 $f$  はパルスの周波数である。この図では、点線は、基準電荷ポンプ電流を示し、実線は、作用下のデバイスで得られた電荷ポンピング電流を示す。双方の電荷ポンプカーブ間の偏差および、従って対応するしきい値電圧間の偏差は、チャンネルに沿った各位置 $x$ に対して存在する合計の電荷( $Q_{nt}+Q_{it}$ )により引き起こされ、次式のように示される。

【数10】

$$\Delta V_{th}(x) = V_{th\_ref}(x) - V_{th\_cyc}(x) = \frac{\Delta Q_{nt}(x) - \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) - q\Delta N_{it}(x)}{2C}$$

$C$  は誘電体スタックのキャパシタ値( $F/cm^2$ )、 $q$  は電荷の絶対値である。電子がトラップされるなら、電荷格納層  $N_{nt}(x)$  ( $\#/cm^2$ ) 層における、電荷の集合は正であり、一方、インターフェーストラップの局所的な集合も ( $\#/cm^2$ ) である。このパラグラフで説明されたようにゲートに印加された電圧のトップレベルを変えることによって、当業者に周知な古典的な電荷ポンプカーブが得られる。この電荷ポンピング測定のために、与えられた箇所でのしきい値電圧およびフラットバンド電圧は、前記箇所での電荷(電荷トラッピング層(10)に格納された電子および、インターフェース状態にトラップされた正孔)により決定される。しきい値電圧のシフトは図9に示される。

20

【0025】

第2の電荷ポンピング測定は、テスト中のデバイスに対し実行される。図10は、負にチャージされた粒子(位置 $x_1$ からドレイン $d$ の間のドットを付した領域)の個数 $N_{nt}$ が、電荷トラッピング層(10)に格納されるようなデバイスを示す。インターフェース状態の個数 $N_{it}$ が存在(チャンネル内のドット)する。基準状態のデバイスへの第2の測定のために印加されたパルスに似たパルス列は、ゲート電極3に印加され、それにより、パルス列の各パルスは、同じトップレベル $V_{top}$ を持つ。図11で示された模範的パルス列は、3組に分類された9パルスを備える。第1の組みのパルスは最低の振幅または電圧スイングを持ち、第2の組みのパルスはより高い振幅を持ち、最後の組みのパルスは最高の振幅を持つ。パルス列におけるパルス数、それらのデューティサイクル、各パルスの振幅、振幅 $V_p$ がパルス列に対して増大する様子(例えば、段階的に、次第に)、およびより高いレベル $V_{top}$ は、選択のパラメータであり、かつ、要求される精度および測定解像度の観点から選択できる。固定のトップレベル $V_{top}$ および変化するベースレベル $V_{bot}$ を持つこのパルスは、インターフェースの位置に、パルスのアップタイム $t_{up}$ の間に電子を満たし、そして、パルスのダウンの時間 $t_{do}$ の間に正孔を満たす。このパルスは、対応するフラットバンド電圧を掃引したものである。パルスのより低いレベル $V_{bot}$ が、局部的に、フラットバンド電圧 $V_{fb\_L}$ を上回る限り、 $x_1$ から $d$ の間のチャンネルの部分は、反転層に留まり、インターフェーストラップは図10に示されるように、シンボル $e^-$ の電子で満たされる。より低いフラットバンド電圧 $V_{fb\_L}$ を持つチャンネル(8)のこの部分は、次第に増大する、より低いレベルの $V_{bot}$ パルスの振幅が、フラットバンド電圧を上回るか下回るかに依存して、反転層と蓄積層との間で切り替わり、そして、この領域の対応するインターフェースのトラップは、電荷ポンピング測定のために、電子と正孔で交互に満たされる。図11のパルス順が図10のデバイスに印加されたとき、フラットバンド電圧 $V_{fb}(x)$ がソー

30

40

50

スからドレインまで単調に増大するなら、チャンネルがドレインからソースまでスキャンされる。テスト中のデバイスに対する電荷ポンピング電流からフラットバンド電圧  $V_{fb}(x)$  を抽出するために第 1 のステップにおける電荷ポンピング信号に印加されたのと同じ手順が、図 1 2 で示したようなこの作用下のデバイスに印加される。フラットバンド電圧プロファイル  $V_{fb}(x)$  と、チャンネル内の位置  $x$  との関係が、チャンネル内の 1 つの位置  $x_1$  から他の位置  $x_2$  まで電荷ポンプ電流の増大が、これらの位置の間のチャンネルエリアに存在するインターフェーストラップの個数  $N_{it}$  に貢献できるという事実により確立される。この関係は次式で示される。

【数 1 1】

$$\int_{x_1}^{x_2} qfN_{it}(x)dx \approx I_{cp}(V_{fb}(x_2)) - I_{cp}(V_{fb}(x_1))$$

10

$q$  は電荷の値、 $f$  はパルスの周波数である。この図面では、点線は基準デバイスの電荷ポンプカーブを示し、太い点線は、作用下のデバイスで得られた電荷ポンプカーブを示す。双方の電荷ポンプカーブの差異および、従って対応するしきい値電圧間の差異は、チャンネルに沿った各位置  $x$  に対して存在する合計の電荷 ( $Q_{nt} + Q_{it}$ ) により引き起こされ、次式のように示される。

【数 1 2】

$$\Delta V_{fb}(x) = V_{fb\_ref}(x) - V_{fb\_cyc}(x) = \frac{\Delta Q_{nt}(x) + \Delta Q_{it}(x)}{2C} = \frac{q\Delta N_{nt}(x) + q\Delta N_{it}(x)}{2C}$$

20

$C$  は、誘電体スタックのキャパシタンス ( $F/cm^2$ ) であり、 $q$  は電荷の絶対値である。電子がトラップされるなら、電荷格納層の電荷の集中  $N_{nt}(x)$  ( $\#/cm^2$ ) は、正であるが、局所的なインターフェーストラップの集中  $N_{it}(x)$  も ( $\#/cm^2$ ) である。このパラグラフで説明されるように、ゲートに印加された電圧パルスの下部レベルを変えることによって、図 1 2 の電荷ポンプカーブが得られる。この電荷ポンピングの測定の間、与えられたいずれかのポイントでのしきい値電圧およびフラットバンド電圧は、前記ポイントでの電荷 (電荷トラッピング層 (10) に格納された電子およびインターフェース状態にトラップされた電子) により決定される。

30

【0 0 2 6】

作用下のデバイスで得られた電荷ポンピングカーブは、基準デバイスか未作用のデバイスの電荷ポンピングカーブと比較される。一方での基準カーブと、対応する作用下のカーブとの間の差異は、電荷トラッピング層 (10) での電荷およびインターフェース状態での電荷により生じたしきい値変化またはフラットバンド電圧変化全体に起因する。2 つの逸脱の差異はインターフェース状態のみでの電荷に起因する。図 1 3 は、作用下のデバイスで得られた 2 つの電荷ポンプカーブを結合する。双方の場合で、測定された最大電流  $I_{cp\_max}$  は、実質的に同じであり、その結果、チャンネル内のあらゆる箇所で次の関係がある。

【数 1 3】

$$I_{cp}(X) (\text{変化するトップレベル}) + I_{cp}(X) (\text{変化する底のレベル}) = I_{cp\_max}$$

40

【0 0 2 7】

作用下のデバイスへの 2 つの測定値の間の相関関係は  $I_{cp\_mzx}$  に依存し、そのことは、抽出結果を、この値に対して極めて敏感にする。パルスのトップレベルが完全に十分高いなら (または、測定のタイプによっては、パルスのベースレベルが十分に低いなら)、電荷ポンピングカーブは、理論的に完全に飽和する。図 1 4 の測定値は、飽和が実際に完全でないことを示し、カーブは、高電圧に対してわずかに増加が続く。これは  $I_{cp\_max}$  で不確実を引き起こす。  $I_{cp\_max}$  の最も良い選択は後でこのテキストで説明される。

【0 0 2 8】

基準状態のデバイス (図 3、図 5) で実行された、または反復するデバイス (図 9、図 1 2)

50

で実行された、トップと底部でそれぞれが変化する電荷ポンピング測定からのデータおよび、上記の数式 9、10、11、12、13 からのデータを用いて、しきい値電圧を変更するために、電荷トラッピング層(10)での電荷の貢献および、インターフェース状態での電荷の貢献を決定できる。

【0029】

数式 10 と 12 とを結合して次式が得られる。

【数 14】

$$(V_{th\_ref}(x) - V_{fb\_ref}(x)) - (V_{th\_cyc}(x) - V_{fb\_cyc}(x)) = \frac{q\Delta N_{it}(x)}{C}$$

10

数式 9 は以下のように書き換えできる。

【数 15】

$$\int_{x_{i-1}}^{x_i} qfN_{it}(x)dx \approx ((N_{it}(x_i) - N_{it}(x_{i-1}))(\frac{x_i - x_{i-1}}{2})) \approx I_{cp}(V_{th\_cyc}(x_i)) - I_{cp}(V_{th\_cyc}(x_{i-1}))$$

【0030】

開始ポイント  $x_0$  から終了ポイント  $x_{end}$  に向けて数式 14 および 15 を続けて解くことにより、数式 14 からのインターフェース状態  $N_{it}(x_i)$  に対応する数式 15 から位置  $x$  を見つけることができる。電荷トラッピング層内の変化のプロフィールは、数式 10 または 12 を解くことによって見出される。

20

【0031】

この方法は、抽出されたプロフィールの精度をチェックする簡単な方法を許容する。実際に、最後に計算された位置  $x_{end}$  は、チャンネルの有効長に対応しなければならない。

【数 16】

$$x_{end} = L_{eff}$$

30

以前に説明したように、その結果は、 $I_{cp\_max}$  に対して極めて敏感である。 $I_{cp\_max}$  は、従って数式 16 が検証されるように、選択される。変数としての  $I_{cp\_max}$  の使用および数式 16 の追加は、抽出されたプロフィールにより高い精度を許容する。これは、数式 13 から 15 を解決するために、新しい直接的な方法で可能にする。

【0032】

以下の節で、さらに詳細に抽出手順について議論する。基準状態のデバイスのインターフェーストラップの数  $N_{it,ref}$  が一定であり、そして、 $(I_{cp\_max}/L_{eff})$  の比に等しいために、数式 14 で  $(V_{th\_ref}(x) - V_{fb\_ref}(x))$  の差異が一定なら、この差異は、それぞれ図 3 と 5 によって与えられたしきい値電圧プロフィールとフラットバンド電圧プロフィールを結合することによって、与えられる。対応する電荷ポンプ電流の合計が最大電荷ポンプ電流  $I_{cp\_max}$  に等しくなければならないので、基準状態のデバイスのために、数式 13 は、フラットバンド電圧  $V_{fb\_cyc}$  に対して、対応するフラットバンド電圧  $V_{fb\_cyc}$  を決定することを可能にする。しきい値電圧  $V_{th\_cyc}(x_0)$  はシフトせず、かつ、インターフェース状態の数  $N_{it}(x_0)$  が、基準状態のデバイスにおけるインターフェース状態の数  $N_{it,ref} = (I_{cp\_max}/L_{eff})$  に等しくなるように、開始ポイント  $x_0$  が選択される。開始ポイント  $x_i = x_0$  から  $x_i = x_{end}$  までの電荷ポンプカーブにおける全ての測定ポイントに対して、連続的に等式 6 および 7 を直接に解くことにより、数式 14 からのインターフェース状態  $N_{it}(x_i)$  に対応した、数式 15 から位置  $x_i$  を見つけることができる。電荷トラッピング層における電荷のプロフィールは、数式 10 か 12 を解くことによって見つけ出すことができる。

40

50

## 【 0 0 3 3 】

数式 1 4 における  $(V_{th\_ref}(x) - V_{fb\_ref}(x))$  の差異が一定でないなら、数式 1 4 および 1 5 を直接に解くことができない。両数式は、数学的に解法できる “  $N_{it}(x_i) =$  ” の形態に書き換えられる。

## 【 数 1 7 】

$$N_{it}(x_i) = N_{it,ref} + \frac{C}{q} [(V_{th\_ref}(x) - V_{fb\_ref}(x)) - (V_{th\_cyc}(x) - V_{fb\_cyc}(x))]$$

## 【 数 1 8 】

10

$$N_{it}(x_i) = \frac{2[I_{cp}(V_{th\_cyc}(x_i)) - I_{cp}(V_{th\_cyc}(x_{i-1}))]}{x_i - x_{i-1}} - N_{it}(x_{i-1})$$

## 【 0 0 3 4 】

従って、この発明による抽出技術は、しきい値電圧を変更するために、電荷トラッピング層(10)の貢献およびインターフェース状態における電荷の貢献の決定を可能にする。

## 【 0 0 3 5 】

図 1 3 では、先の実施例の抽出方法に使用された 2 つの電荷ポンピングカーブが示される。理想では、電荷ポンピング電流  $I_{cp}$  は、電圧バイアス  $V_{top}$  または  $V_{bot}$  に対応する最大電荷ポンピング電流  $I_{cp\_max}$  に達し、チャンネル(8)の全体のエリアは、電荷ポンピング電流に貢献する既知のチャンネル長  $L_{eff}$  を持つ。この明確な最大電荷ポンピング電流  $I_{cp}$  のために、半導体デバイス(1)の電荷トラッピング層(10)に格納された空間的な分布を再構築することができる。しかし、実際の測定では、変化するベースレベルまたはトップレベルの電圧パルス列を印加した時に測定された電流は、最大値に達せず、変化するパルス電流に追従するかもしれない。そのような電荷ポンピングカーブが得られた時、種々の方法(そのいくつかは以下の実施例で述べる)で、有効電荷ポンピングカーブから既知のチャンネル長  $L_{eff}$  を持つチャンネル(8)の全体のエリアに対応する最大電荷ポンピング電流  $I_{cp\_max}$  を決定できる。

20

## 【 0 0 3 6 】

30

抽出方法の都合のよい具体化では、電荷ポンピングカーブは以下のように結合される。先に述べたように、電荷ポンピング電流  $I_{cp}$  と、半導体デバイスの計算されたチャンネル長  $L_{calc}$  との間の関係が確立される。この実施例では、それは、電荷ポンピングカーブの 1 つで、少なくとも 2 つの電荷ポンピング電流  $I_{cp}$  を選択し、そして、電荷ポンピング電流  $I_{cp}$  の各々に対し、空間的な電荷分布の見積もりを再構築することにより、電荷ポンピング電流  $I_{cp}$  の各々に対応する、計算されたチャンネル長  $L_{calc}$  を決定することにより、なされる。このようにして、少なくとも 2 つのデータポイント( $L_{calc}$ ,  $I_{cp}$ )の組みが得られる。この組みのデータポイントから、有効長  $L_{eff}$  に実質的に等しいチャンネル長を持つ電荷ポンピング電流  $I_{cp}$ 、つまり、最大ポンピング電流  $I_{cp\_max}$  は、以下のようにして得られる。

40

## 【 0 0 3 7 】

例えば、存在する様々な計算技術を用いて、この少なくとも 2 つのデータポイント( $L_{calc}$ ,  $I_{cp}$ )の組みから、データポイント( $L_{calc} = L_{eff}$ ,  $I_{cp} = I_{cp\_max}$ )を決定できる。このデータポイント( $L_{eff}$ ,  $I_{cp\_max}$ )を決定するために、レニア補間またはバイナリサーチのような既知の計算解析技術を使用できる。当業者は、電荷ポンピング電流の第 1 の値が、測定された電荷ポンピングカーブの上側電流の範囲から、抽出プロセスの速度向上するように、選択されることに気付くであろう。

## 【 0 0 3 8 】

代替として、解析関数  $L_{calc}(I_{cp}) - L_{eff} = 0$  は、少なくとも 2 つのデータポイント( $L_{calc}$ ,  $I_{cp}$ )の組みから決定でき、そして、この解析関数を解くことにより、有効長

50

$L_{eff}$ に実質的に等しいチャンネル長を持つ電荷ポンピング電流  $I_{cp}$ 、つまり、最大電荷ポンピング電流  $I_{cp\_max}$ を決定できる。その後、電荷の空間分布  $N_{nt}$ は、 $I_{cp} = I_{cp\_max}$ の値を用いて、電荷ポンピングカーブから空間電荷分布を再構築することにより、抽出される。当業者は、電荷ポンプ電流  $I_{cp}$ の第1の値が、測定された電荷ポンピングカーブの上側電流の範囲から、抽出プロセスの速度向上するように、選択されることに気付くであろう。

【0039】

別の代替では、以下のように、電荷ポンピングカーブからのデータを結合することができる。電荷ポンピング電流  $I_{cp}$ と、半導体デバイスの計算されたチャンネル長  $L_{calc}$ との間の関係は、電荷ポンピングカーブの1つで、電荷ポンピング電流  $I_{cp}$ の値を選択し、そして、電荷ポンプ電流  $I_{cp}$ に対して、空間電荷分布の見積もりを再構築して、電荷ポンピング電流  $I_{cp}$ に対応する、計算されたチャンネル長  $L_{calc}$ を決定することにより、確立される。この実施例で、しかしながら、計算されたチャンネル長  $L_{calc}$ は、有効長  $L_{eff}$ と比較され、不整合の場合、不整合によって与えられた情報を用いて、電荷ポンピング電流  $I_{cp}$ に対する新たな値が決定される。つまり、電荷ポンピング電流  $I_{cp}$ に対する値の選択が最適化される。このステップのシーケンスは、計算されたチャンネル長  $L_{calc}$ と、有効長  $L_{eff}$ との間の不整合が0になるまで繰り返し替えられ、このケースの場合、決定された電荷ポンピング電流  $I_{cp}$ は最大電荷ポンピング電流  $I_{cp\_max}$ に対応する。その後、電荷の空間分布  $N_{nt}$ は、 $I_{cp} = I_{cp\_max}$ の値を用いて、電荷ポンピングカーブから空間電荷分布を再構築することにより、抽出される。当業者は、電荷ポンプ電流  $I_{cp}$ の第1の値が、測定された電荷ポンピングカーブの上側電流の範囲から、抽出プロセスの速度向上するように、選択されることに気付くであろう。

【0040】

上述した抽出方法では、計算により得たチャンネル長  $L_{calc}$ と有効長  $L_{eff}$ との差異が、有効チャンネル長  $L_{eff}$ の2%未満、好ましくは1%未満の時、決定された電荷ポンピング電流  $I_{cp}$ は、最大電荷ポンピング電流  $I_{cp\_max}$ に対応すると言われている。

【0041】

この出願による抽出方法は、メモリデバイス(1)の電荷トラッピング層(10)に格納された空間的な電荷の分布の抽出に特に有用であるが、これらの抽出方法は、誘電体のスタック(4)が電極(3)と半導体領域(2)との間に積層されるいずれの種類半導体デバイス(1)にも適用できる。開示した抽出方法は、この誘電体のスタック(4)に格納された電荷を抽出するために用いることができる。例えばMOSFETでは、ロジックトランジスタとして使用された時、電荷はゲートの誘電体(4)に意図することなく、導入される。典型的に、この導入された電荷は、デバイスの動作、例えば、ホットキャリアに由来し、または、固定されたまたは可動の電荷をゲート誘電体に導入する半導体製造プロセスに由来する。このゲートの誘電体は、当業者で周知のシリコン酸化物、シリコン窒化酸化物、アルミナ酸化物などの高いkの誘電体、ハフニウム酸化物などの単一の誘電体からなることができる。同様にこのゲートの誘電体は、誘電体のスタック、例えば、シリコン酸化物上に形成された高いkの誘電体であることができる。先の具体化では、メモリデバイスに対するケースなので、この電荷  $N_{nt}$ は、ロジックトランジスタのしきい値電圧プロファイル  $V_{th}(x)$ とフラットバンド電圧プロファイル  $V_{fb}(x)$ に影響を及ぼすであろう。したがって、開示した方法は、導入された電荷の空間的分布  $N_{nt}$ を決定するために、そのようなロジックトランジスタに適用することもできる。

【0042】

開示した抽出方法では、空間的な電荷分布  $N_{nt}$ は、空間的な分布を得るために、これらの電荷ポンピング電流からのデータを結合することにより、電荷ポンピングカーブから再構築される。チャンネル(8)と誘電体のスタック(4)とのインターフェースに存在するトラップにおける、空間的な電荷の分布( $N_{it}$ )を得るために、電荷ポンピングカーブからのデータが更に結合される。したがって、この抽出方法は、電荷が誘電体スタック(4)内に存在する時にも、このインターフェース電荷  $N_{it}$ の空間的な分布を決定することも可能にす

10

20

30

40

50

る。その結果、半導体プロセスかデバイス操作のパラメータにおけるこのインターフェース電荷の依存は、より正確に決定することができる。

【0043】

図14から16は、この発明の好ましい実施例を示す。図14は、それぞれ上で説明された変化するトップレベルおよび変化するベースレベルのパルス列を使用することで得られた2組の電荷ポンピングカーブを示す。上昇しているカーブは、固定されたベース/変化するトップのレベルのパルス列を使用することで得られる。下降するカーブは、固定されたベース/変化するベースレベルのパルス列を使用することで得られる。各組みは、基準デバイス、つまり、ゲート誘電体としてONO層を有する未作用のnMOSデバイスに対するカーブを含み、そして、それぞれが50 $\mu$ s, 500 $\mu$ s および 10msの正孔注入に供される同じnMOSデバイス(1)に対するカーブを含む。窒化物は電荷トラッピング層として使用される。正孔は、典型的な周知な電圧設定(ソースを接地し、ゲートへの-5Vとドレインへの5Vを印加する)を用いて注入される。注入時間が長い程、より多くの正の電荷がデバイスに格納され、そして、未使用のデバイスに比べ、電荷ポンピングカーブにおいて、より長いシフトが生じる。

10

【0044】

これらのカーブから、この発明の抽出技術で、窒化物層(Nnt)とそれぞれのデバイスのためのインタフェーストラップ(Nit)における、電荷の分布を抽出することができる。図15は対応する分布カーブを示す。正孔の進歩的な注入により、インターフェースは、より劣化するようになる。

20

【0045】

この発明の電荷ポンピング技術の使用は、窒化物層内で電荷の分布プロファイルを抽出することを可能にし、その窒化物層内では電子または正孔がトラップされるが、インターフェース状態の劣化を招く。図16は、電子がいつトラップされるかのプログラミング操作後のnMOSメモリセルの窒化物層における電荷の分布プロファイル、および、正孔がいつトラップされるかの消去動作後のnMOSメモリセルの窒化物層内の電荷の分布プロファイルを示す。nMOSメモリセルのプログラミングは、最先端の電圧設定を用いて実施される。つまり、ソースと基板をグランドに接続し、ゲートに9V、ドレインに3.5Vを印加する。nMOSメモリセルの消去は、最先端の電圧設定を用いて実施される。つまり、ソースと基板をグランドに接続し、ゲートに-5V、ドレインに5Vを印加する。

30

【0046】

公知の電荷ポンピング測定技術は、インターフェーストラップがしきい値電圧に影響を与えないと仮定して、電荷トラッピング層(10)内に、例えば、メモリセルのプログラミングの間に注入された電子の分布を抽出のみを行う。特に、このインターフェース劣化への電荷ポンピング測定の感度のために、電荷トラッピング層(10)に正孔を注入する時、例えばメモリセルを消去する時に生成された別のインターフェーストラップにより、電荷トラッピング層内の電荷分布の抽出で従来の電荷ポンプ技術の使用を不能にする。変化するトップレベルとベースレベルのそれぞれに2つの電荷ポンピング測定を用いることにより、この発明はしかしながら、誘電体層(10)内の電子および正孔の双方の分布プロファイルが得られるように、誘電体の電荷およびインターフェーストラップの抽出を可能にする。このようにして得られた正孔と電子の分布プロファイルは、電荷トラッピングデバイスの物理的な理解とさらなる最適化に使用される。この抽出方法は、メモリデバイスの電荷トラッピング層(10)に注入された電子および正孔の分布の抽出を可能にする。この抽出方法を適用することにより、プログラミング動作後の電子の分布だけでなく、消去動作後の正孔の分布も抽出できる。インターフェース状態の劣化が考慮に入れられるとき、この抽出は、より正確である。

40

【図面の簡単な説明】

【0047】

【図1】この発明の第1の態様に基づく電荷トラッピング半導体デバイスの電荷ポンピング測定を実行するための測定設定の断面図を示す。

50

【図 2】第 1 のパルスシーケンスを示す。

【図 3】この発明の第 1 の態様に基づき得られた電荷ポンプカーブ。

【図 4】第 2 のパルスシーケンスを示す。

【図 5】この発明の第 1 の態様に基づき得られた電荷ポンプカーブ。

【図 6】この発明の第 1 の態様の実施例を示すために、プログラムされた電荷トラッピング半導体デバイスのチャンネルに沿ったしきい値電圧の変化を示す。

【図 7】この発明の第 1 の態様の実施例を示す。

【図 8】この発明の第 1 の態様の実施例を示す。

【図 9】この発明の第 1 の態様の実施例を示す。

【図 10】この発明の第 1 の態様の実施例を示す。

10

【図 11】この発明の第 1 の態様の実施例を示す。

【図 12】この発明の第 1 の態様の実施例を示す。

【図 13】この発明の第 1 の態様の実施例を示す。

【図 14】この発明の第 1 の態様の実施例に基づく、変化するトップレベルまたは底のレベルに対する電荷ポンピングカーブを示す。

【図 15】この発明の第 1 の態様の実施例に基づく、電荷トラッピング層の電荷およびインターフェーストラップの電荷の分布プロフィールを示す。

【図 16】この発明の第 1 の態様の実施例に基づく、プログラムおよび消去の動作の後のそれぞれの電子および正孔に対するトラッピング層の電荷およびプロフィールを示す。

【符号の説明】

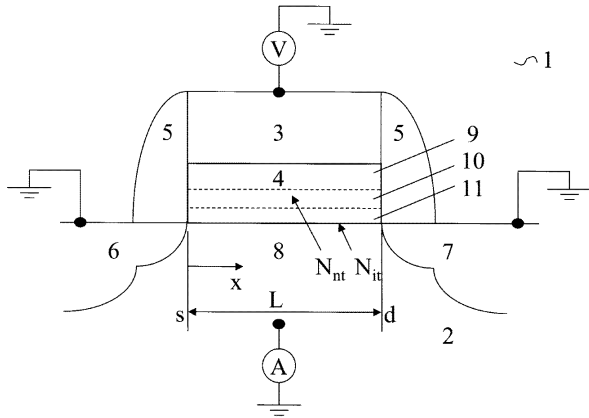
20

【0048】

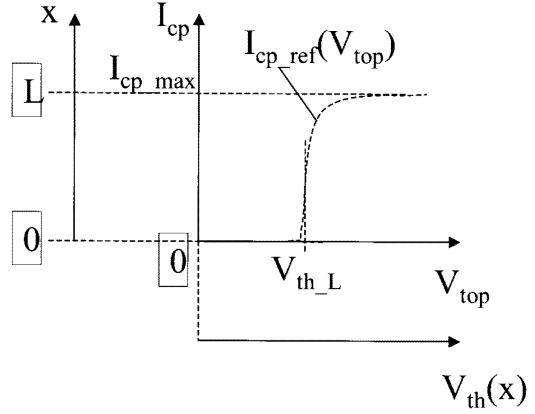
- 1 デバイス
- 2 基板
- 3 ゲート電極
- 4 ゲート誘電体
- 5 スペーサ
- 6 ソース
- 7 ドレイン
- 8 チャンネル領域
- 9 別の層
- 10 電荷トラッピング層
- 11 別の誘電体の層

30

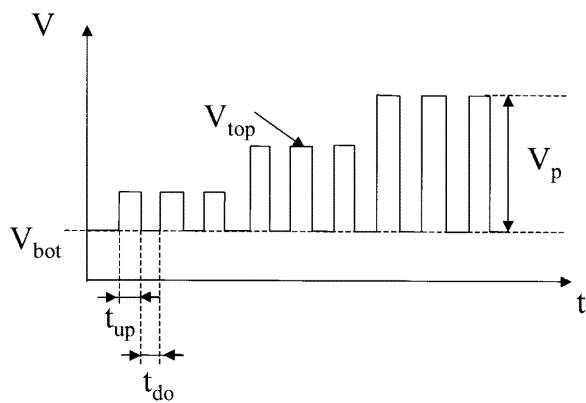
【図1】



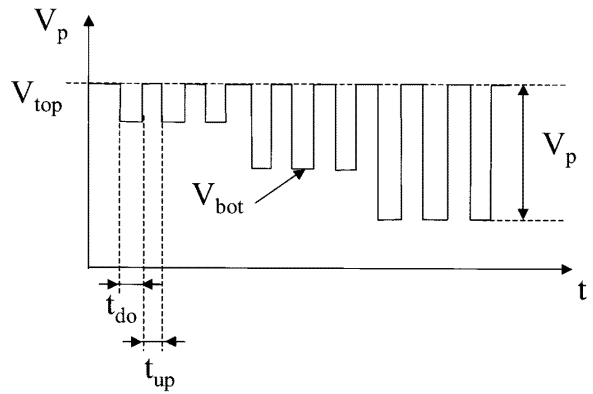
【図3】



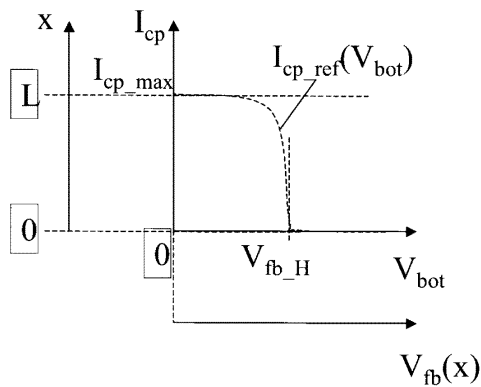
【図2】



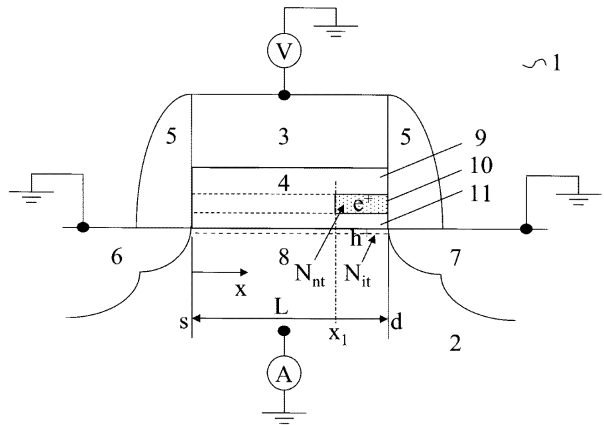
【図4】



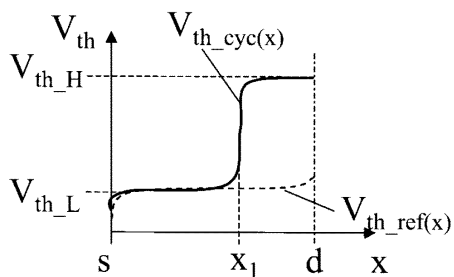
【図5】



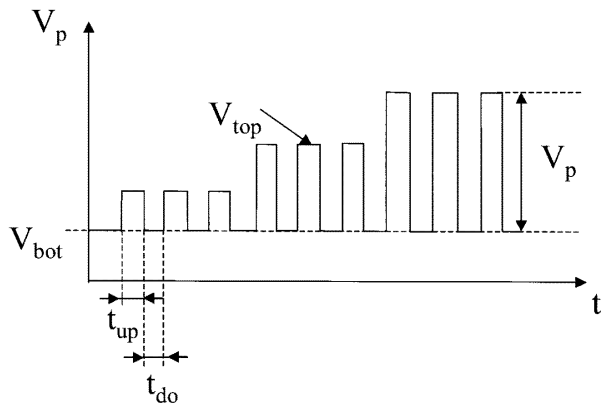
【図7】



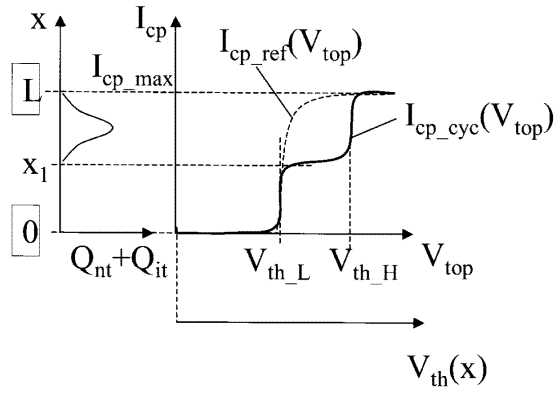
【図6】



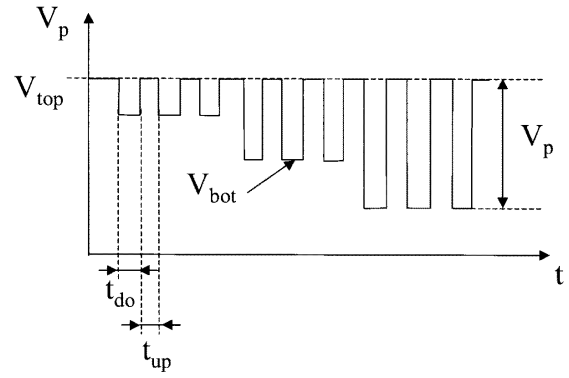
【図8】



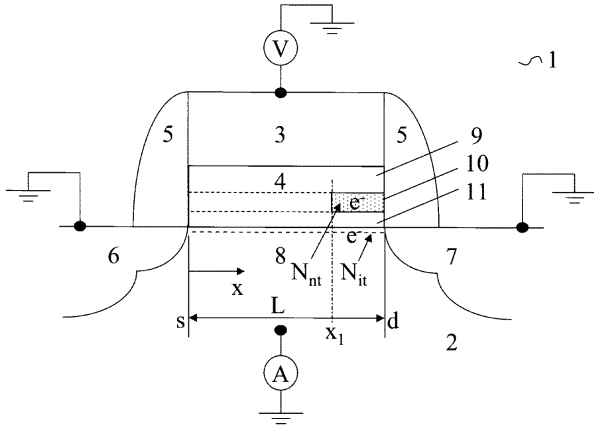
【図9】



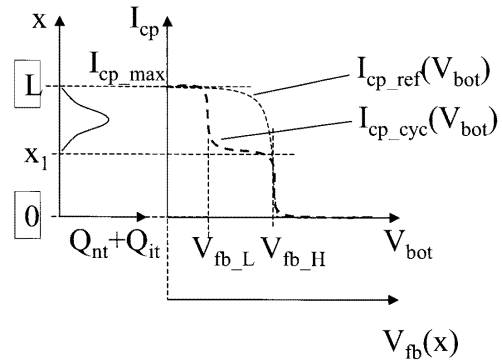
【図11】



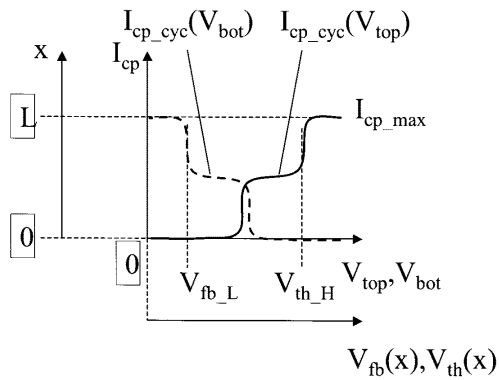
【図10】



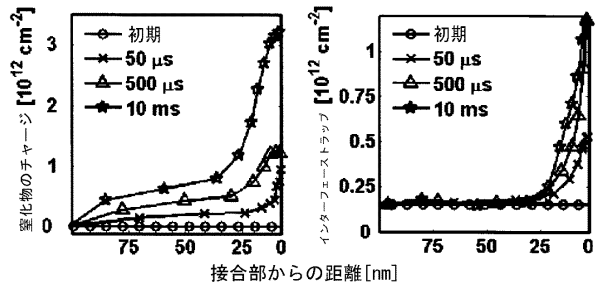
【図12】



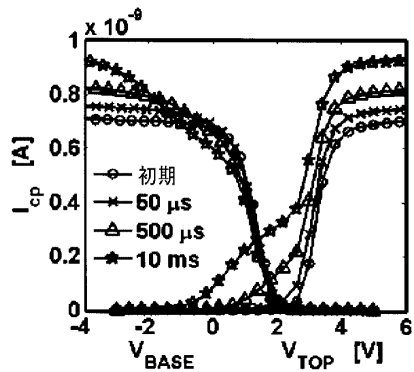
【図13】



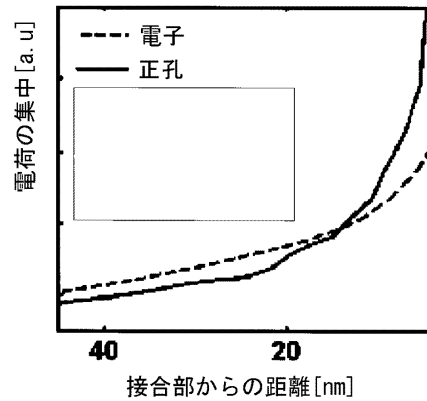
【図15】



【図14】



【図16】



---

フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

審査官 井原 純

(56)参考文献 特開平04 - 302452 (JP, A)

Maarten Rosmeulen, et al, Characterization of the spatial charge distribution in local charge-trapping memry devices using the charge-pumping technique, SOLID-STATE ELECTRO NICS, 2004年 9月, Vol.48, Issue 9, p.1525-1530

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

G 1 1 C 1 6 / 0 2

G 1 1 C 1 6 / 0 4

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2