

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3672384号
(P3672384)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

G11C 11/409

F I

G11C 11/34 353E

請求項の数 5 (全 18 頁)

<p>(21) 出願番号 特願平8-195004 (22) 出願日 平成8年7月24日(1996.7.24) (65) 公開番号 特開平10-40681 (43) 公開日 平成10年2月13日(1998.2.13) 審査請求日 平成14年12月19日(2002.12.19)</p>	<p>(73) 特許権者 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号 (74) 代理人 100086807 弁理士 柿本 恭成 (72) 発明者 須山 淳一 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内 (72) 発明者 福留 和清 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内 (72) 発明者 ▲廣▼田 彰宏 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内</p>
---	---

最終頁に続く

(54) 【発明の名称】 センス回路

(57) 【特許請求の範囲】

【請求項1】

2つの電極のうちの一方向の電極が第1の電源電位と第2の電源電位との間の第1の基準電位に設定された容量素子をそれぞれ有したメモリセルがアレイ化されて構成されたメモリセルアレイと、前記容量素子の他方の電極に接続されて前記メモリセルアレイ中の複数のメモリセルにデータをそれぞれ送受するビット線対と、前記ビット線対を前記第1の電源電位と前記第2の電源電位との間の第2の基準電位にプリチャージするイコライズ回路とを備えたメモリ回路に設けられ、

前記ビット線対の間に接続され、選択した前記メモリセルの保持データに対するアクセスで該ビット線対の間に表れる微小電位差を感知するN型チャンネルMOSトランジスタで構成された第1のセンスアンプとP型チャンネルMOSトランジスタで構成された第2のセンスアンプと、

前記ビット線対と前記第1及び第2のセンスアンプの間の導通制御を行うトランスファゲートと、

与えられた制御信号に基づき、論理レベルが互いに相補的な第1の活性化信号と第2の活性化信号とを生成する活性化信号生成回路と、

ソースが前記第1の電源電位に接続されると共にドレインが前記第1のセンスアンプに接続され、ゲートに入力された前記第1の活性化信号に基づきオン、オフし、このオン状態のとき該第1のセンスアンプを活性化する第1のMOSトランジスタと、

ソースが前記第2の電源電位に接続されると共にドレインが前記第2のセンスアンプに

10

20

接続され、ゲートに入力された前記第2の活性化信号に基づきオン、オフし、このオン状態のとき該第2のセンスアンプを活性化する第2のMOSトランジスタとを備えたセンス回路において、

前記活性化信号生成回路は、

前記制御信号をゲートに入力して該制御信号のレベルに応じた論理レベルの前記第1の活性化信号を出力する第1手段と、

ソースが前記第2の電源電位に接続されて前記第1の活性化信号をゲートに入力するP型チャンネルMOSトランジスタと、ドレインが該P型チャンネルMOSトランジスタのドレインに接続されると共にソースが前記第1の基準電位または前記第2の基準電位に接続され、前記第1の活性化信号をゲートに入力して該ドレインから前記第2の活性化信号を出力するN型チャンネルMOSトランジスタとを備えた第2手段とで構成したことを特徴とするセンス回路。

10

【請求項2】

請求項1記載のメモリ回路に設けられ、

前記ビット線対の間に接続され、選択した前記メモリセルの保持データに対するアクセスで該ビット線対の間に表れる微小電位差を感知するN型チャンネルMOSトランジスタで構成された第1のセンスアンプとP型チャンネルMOSトランジスタで構成された第2のセンスアンプと、

前記ビット線対と前記第1及び第2のセンスアンプの間の導通制御を行うトランスファゲートと、

20

与えられた制御信号に基づき、論理レベルが互いに相補的な第1の活性化信号と第2の活性化信号とを生成する活性化信号生成回路と、

ソースが前記第1の電源電位に接続されると共にドレインが前記第1のセンスアンプに接続され、ゲートに入力された前記第1の活性化信号に基づきオン、オフし、このオン状態のとき該第1のセンスアンプを活性化する第1のMOSトランジスタと、

ソースが前記第2の電源電位に接続されると共にドレインが前記第2のセンスアンプに接続され、ゲートに入力された前記第2の活性化信号に基づきオン、オフし、このオン状態のとき該第2のセンスアンプを活性化する第2のMOSトランジスタとを備えたセンス回路において、

前記活性化信号生成回路は、

30

前記制御信号をゲートに入力して該制御信号のレベルに応じた論理レベルの前記第1の活性化信号を出力する第1手段と、

ソースが前記第2の電源電位に接続されて前記第1の活性化信号をゲートに入力する第1のP型チャンネルMOSトランジスタと、ドレインが該第1のP型チャンネルMOSトランジスタのドレインに接続されると共にソースが前記第1の基準電位または前記第2の基準電位に接続され、前記制御信号をゲートに入力して該ドレインから前記第2の活性化信号を出力する第2のP型チャンネルMOSトランジスタとを備えた第2手段とで構成したことを特徴とするセンス回路。

【請求項3】

請求項1記載のメモリ回路に設けられ、

40

前記ビット線対の間に接続され、選択した前記メモリセルの保持データに対するアクセスで該ビット線対の間に表れる微小電位差を感知するN型チャンネルMOSトランジスタで構成された第1のセンスアンプとP型チャンネルMOSトランジスタで構成された第2のセンスアンプと、

前記ビット線対と前記第1及び第2のセンスアンプの間の導通制御を行うトランスファゲートと、

与えられた制御信号に基づき、論理レベルが互いに相補的な第1の活性化信号と第2の活性化信号とを生成する活性化信号生成回路と、

ソースが第1の電源電位に接続されると共にドレインが前記第1のセンスアンプに接続され、ゲートに入力された前記第1の活性化信号に基づきオン、オフし、このオン状態の

50

とき該第 1 のセンスアンプを活性化する第 1 の MOS トランジスタと、

ソースが前記第 2 の電源電位に接続されると共にドレインが前記第 2 のセンスアンプに接続され、ゲートに入力された前記第 2 の活性化信号に基づきオン、オフし、このオン状態のとき該第 2 のセンスアンプを活性化する第 2 の MOS トランジスタとを備えたセンス回路において、

前記活性化信号生成回路は、

前記制御信号をゲートに入力して該制御信号のレベルに応じた論理レベルの前記第 1 の活性化信号を出力する第 1 手段と、

ソースが前記第 2 の電源電位に接続されて前記第 1 の活性化信号をゲートに入力する第 1 の P 型チャンネル MOS トランジスタと、ドレインが該第 1 の P 型チャンネル MOS トランジスタのドレインに接続されると共にソースが前記第 1 の基準電位または前記第 2 の基準電位に接続され、前記制御信号をゲートに入力する第 2 の P 型チャンネル MOS トランジスタと、ドレインが該第 1 及び第 2 の P 型チャンネル MOS トランジスタのドレインに接続されると共にソースが前記第 1 の基準電位または前記第 2 の基準電位に接続され、前記第 1 の活性化信号をゲートに入力する第 1 の N 型チャンネル MOS トランジスタとを有し、前記第 2 の P 型チャンネル MOS トランジスタ及び前記第 1 の N 型チャンネル MOS トランジスタのドレインから前記第 2 の活性化信号を出力する第 2 手段とで構成したことを特徴とするセンス回路。

【請求項 4】

前記第 1 の基準電位と前記第 2 の基準電位を接続する手段を有したことを特徴とする請求項 1、2 または 3 記載のセンス回路。

【請求項 5】

請求項 1、2 または 3 記載の第 1 のセンスアンプ、第 2 のセンスアンプ及びトランスファゲートと、

前記第 1 の基準電位と前記第 2 の基準電位とは独立に第 3 の基準電位を出力するソース電位発生回路と、

前記制御信号をゲートに入力して該制御信号のレベルに応じた論理レベルの第 1 の活性化信号を出力する第 1 手段と、ソースが前記第 2 の電源電位に接続されて前記第 1 の活性化信号をゲートに入力する P 型チャンネル MOS トランジスタと、ドレインが該 P 型チャンネル MOS トランジスタのドレインに接続されると共にソースが前記第 3 の基準電位に接続され、前記第 1 の活性化信号をゲートに入力して該ドレインから、該第 1 の活性化信号とは相補的な論理レベルの第 2 の活性化信号を出力する N 型チャンネル MOS トランジスタとを有した第 2 手段とで構成された活性化信号生成回路と、

ソースが前記第 1 の電源電位に接続されると共にドレインが前記第 1 のセンスアンプに接続され、ゲートに入力された前記第 1 の活性化信号に基づきオン、オフし、このオン状態のとき該第 1 のセンスアンプを活性化する第 1 の MOS トランジスタと、

ソースが前記第 2 の電源電位に接続されると共にドレインが前記第 2 のセンスアンプに接続され、ゲートに入力された前記第 2 の活性化信号に基づきオン、オフし、このオン状態のとき該第 2 のセンスアンプを活性化する第 2 の MOS トランジスタとを、

備えたことを特徴とするセンス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体メモリに接続されたビット線間の電位差を検知してそれを増幅するセンス回路に関するものである。

【0002】

【従来の技術】

図 2 は、従来の DRAM の要部を示す回路図である。

DRAM では、メモリセルアレイ 1 中に複数のメモリセル M1, M2, ... を備えている。

各メモリセル M1, M2, ... は同様の構成であり、平行平板容量 2 と N チャンネル型 MOS

10

20

30

40

50

トランジスタ（以下、NMOSという）3とを有している。各容量2の一方の電極は、NMOS3のソースに接続され、該容量2の他方の電極には、セルプレート電位を設定する基準電位 V_{CP} が与えられる接続になっている。図2中のメモリセルM1におけるNMOS3のドレインは、ビット線BLに接続され、該NMOS3のゲートがワード線WL0に接続されている。メモリセルM2のNMOS3のドレインは、ビット線BLBに接続され、この該NMOS3のゲートが、ワード線WL1に接続されている。

メモリセルアレイ1から導出されたビット線対BL, BLBには、イコライズ回路4が接続されている。イコライズ回路4は各ビット線BL, BLBの電位を同一レベルに設定するものであり、ビット線プリチャージ用の基準電位 V_{BL} がソースに接続された2個のNMOS4a, 4bを備えている。各NMOS4a, 4bのドレインは、ビット線対BL, BLBにそれぞれ接続され、これらNMOS4a, 4bのゲートには、制御信号EQMが共通に与えられるようになっている。各基準電位 V_{CP} 及び基準電位 V_{BL} は、共に電源電位 V_{CC} の約1/2の中間電位であり、 V_{CP} 発生回路5及び V_{BL} 発生回路6でそれぞれ生成されて与えられる構成である。

【0003】

ビット線対BL, BLBの先に、センス回路10が接続されている。センス回路10において、ビット線対BL, BLBはトランスファゲートを構成する2つのNMOS11, 12を介してセンスアンプノードNA, NABにそれぞれ接続されている。即ち、各NMOS11, 12のゲートには、制御信号TGが入力され、該制御信号TGに基づきNMOS11, 12がオンして各ノードNA, NABとビット対BL, BLBとが、それぞれ接続される構成である。

ノードNAとノードNABの間には、ソース同士が接続された2つのPチャンネル型MOSトランジスタ（以下、PMOSという）13a, 13bで構成されたセンスアンプ13と、ソース同士が接続された2つのNMOS14a, 14bで構成されたセンスアンプ14とが、設けられている。ノードNAは、PMOS13a及びNMOS14aのドレインと、PMOS13b及びNMOS14bのゲートに接続されている。ノードNABは、PMOS13b及びNMOS14bのドレインと、PMOS13a及びNMOS14aのゲートに接続されている。

【0004】

PMOS13a, 13bのソースは、ソースが電源電位 V_{CC} に接続されたPMOS15のドレインに接続されている。NMOS14a, 14bのソースは、ソースが電源電位 V_{SS} に接続されたNMOS16のドレインに接続されている。NMOS16のゲートには、センス開始信号SLNGBがインバータ17を介して信号SLNGとなって与えられる構成になっている。NMOS15には、信号SLNGがインバータ18を介して信号SLPGとなって与えられる構成である。各インバータ17, 18は、電源電位 V_{CC} と電源電位 V_{SS} 間に接続され、入力信号のレベルに応じて出力信号のレベルを電位 V_{CC} または電位 V_{SS} に設定する構成である。

実際のDRAMでは、メモリセルアレイ1からは複数組のビット線対BL, BLBが導出されているので、それらに対応して複数のセンス回路10がアレイ化されている。ただし、PMOS15、NMOS16、及びインバータ17, 18は、複数のセンス回路10で共用される構成である。

図3は、図2の動作を示す波形図であり、この図3を参照しつつ、DRAMの動作を説明する。

【0005】

制御信号EQMが“H”レベルから“L”レベルに変化することで、イコライズ回路4中のNMOS4a, 4bがオフ状態になり、ビット線対BL, BLBが基準電位 V_{BL} から切り離される。この状態で、ワード線WL0が選択されて昇圧レベルの電位 $V_{CC} + V_t +$ に立ち上がると、ビット線対BL, BLBの間に、メモリセルの情報に応じた微小電位差が生じる。ワード線WL0の立ち上がるのと同時に、制御信号TGも昇圧レベルの電位 $V_{CC} + V_t +$ に立ち上がり、NMOS11, 12がオンする。これにより、ビット線対BL,

10

20

30

40

50

B L B がノード N A , N A B に接続される。

【 0 0 0 6 】

センス動作は、センス開始信号 SLNGB が “ H ” レベルから “ L ” レベルに変化することで開始される。センス開始信号 SLNGB が “ L ” レベルに変化すると、インバータ 1 7 により、センスアンプ活性化信号 SLNG が “ L ” レベルから “ H ” レベル（電位 V C C）に変化し、センスアンプ活性化信号 SLPG が “ H ” レベルから “ L ” レベル（電位 V S S）に変化する。これにより、P M O S 1 5 と N M O S 1 6 が共にオン状態になって、センスアンプ 1 3 , 1 4 が活性化する。活性化したセンスアンプ 1 3 , 1 4 によって、ビット線対 B L , B L B とノード N A , N A B における微小電位差が感知され、ビット線対 B L , B L B に対する P M O S 1 5 と N M O S 1 6 を介した充放電が行われて微小電位差が増幅される。

10

【 0 0 0 7 】

【 発明が解決しようとする課題 】

しかしながら、従来の D R A M では、次のような課題があった。

センス回路 1 0 のセンス動作で発生するビット線対 B L , B L B の充放電電流と、P M O S 1 5 と N M O S 1 6 に電源電位 V C C , V S S を供給する配線の寄生抵抗とによる電圧降下のため、電源電位 V C C , V S S に電源ノイズが発生する。この電源ノイズのため、従来の D R A M では、周辺回路の動作マージンが悪化していた。

【 0 0 0 8 】

【 課題を解決するための手段 】

センス回路は、ビット線対に接続され、メモリセルの保持データに応じた該ビット線対の間の微小電位差を感知する第 1 及び第 2 の センスアンプ と、そのビット線対と第 1 及び第 2 のセンスアンプの間の導通制御を行うトランスファゲートとを有している。さらに、センス回路は、与えられた制御信号に基づき、論理レベルが互いに相補的な第 1 の活性化信号と第 2 の活性化信号とを生成する活性化信号生成回路と、第 1 のセンスアンプと第 1 の電源電位との間に接続され、ゲートに入力された第 1 の活性化信号に基づきオン、オフし、このオン状態のとき該第 1 のセンスアンプを活性化する第 1 の M O S トランジスタと、第 2 のセンスアンプと第 1 の電源電位よりも高い第 2 の電源電位との間に接続され、第 2 の活性化信号をゲートに入力してオン、オフし、このオン状態のとき該第 2 のセンスアンプを活性化する第 2 の M O S トランジスタとを、備えている。そして、第 1 及び第 2 のセンスアンプを活性化して各ビット線に対する第 1 及び第 2 の電源電位からの充放電を行い、ビット線対の間の微小電位差を保持データの論理レベルに対応した電位差に設定する構成である。

20

30

【 0 0 0 9 】

前記課題を解決するために、第 1 ~ 第 5 の発明は、センス回路中の活性化信号生成回路を次のような構成にしている。即ち、第 1 ~ 第 5 の発明における活性化信号生成回路は、第 2 の活性化信号の論理レベルのうちの第 2 の M O S トランジスタをオン状態にする論理レベルを、第 1 の電源電位と第 2 の電源電位の間の中間電位に設定する構成にしている。

第 1 ~ 第 5 の発明によれば、以上のようにセンス回路を構成したので、第 1 の活性化信号と第 2 の活性化信号が第 1 及び第 2 の M O S トランジスタのゲートに与えられて、第 1 及び第 2 のセンスアンプが活性化する。これにより、ビット線対の間の微小電位差が、保持データの論理レベルに対応した電位差に設定される。ここで、第 2 の活性化信号のレベルは、第 1 の電源電位と第 2 の電源電位の間の中間電位に設定されているので、第 2 の M O S トランジスタの動作領域が従来とは異なると共に、該第 2 の M O S トランジスタにおけるオン抵抗が増加する。従って、前記課題を解決することができる。

40

【 0 0 1 0 】

【 発明の実施の形態 】

第 1 の実施形態

図 1 は、本発明の第 1 の実施形態を示す D R A M の要部の回路図である。

この D R A M では、メモリセルアレイ 2 0 中に複数のメモリセル M 1 , M 2 , ... を備えている。各メモリセル M 1 , M 2 , ... は同様の構成であり、容量素子である平行平板容量

50

21とNMOS22とで構成されている。各容量21の一方の電極は、NMOS22のソースに接続され、該容量21の他方の電極には、セルプレート電位を設定する第1の基準電位である電位VCPが与えられる接続になっている。電位VCPは、第1の電源電位VSSと第2の電源電位VCCの中間の、約 $1/2 VCC$ の電位であり、VCP発生回路23で生成されたものである。

図1中のメモリセルM1におけるNMOS22のドレインは、ビット線BLに接続され、該NMOS22のゲートがワード線WL0に接続されている。メモリセルM2のNMOS22のドレインは、ビット線BLBに接続され、この該NMOS22のゲートが、ワード線WL1に接続されている。メモリセルアレイ20から導出されたビット線対BL, BLBには、イコライズ回路25が接続されている。

10

【0011】

イコライズ回路25は各ビット線BL, BLBの電位を同一レベルに設定するものであり、ビット線プリチャージ用の第2の基準電位VBLがソースに与えられた2個のNMOS25a, 25bを備えている。各NMOS25a, 25bのドレインは、ビット線対BL, BLBにそれぞれ接続され、これらNMOS25a, 25bのゲートには、プリチャージ制御信号EQMが共通に与えられるようになっている。電位VBLは、第1の電源電位VSSと第2の電源電位VCCの中間の約 $1/2 VCC$ の電位であり、VBL発生回路26で生成されたものである。ビット線対BL, BLBの先に、センス回路30が接続されている。

センス回路30において、ビット線対BL, BLBは、トランスファゲートを構成する2つのNMOS31, 32を介してセンスアンプノードNA, NABにそれぞれ接続されている。即ち、各NMOS31, 32のゲートには、制御信号TGがされ、該制御信号TGに基づきNMOS31, 32がオンし、ノードNA, NABとビット対BL, BLBとが接続される構成である。

20

【0012】

ノードNAとノードNABの間には、第1及び第2のセンスアンプ33, 34が接続されている。センスアンプ33は、ソース同士が接続された2つのNMOS33a, 33bで構成されている。センスアンプ34は、ソース同士が接続された2つのPMOS34a, 34bで構成されている。ノードNAは、NMOS33a及びPMOS34aのドレインと、NMOS33b及びPMOS34bのゲートに接続されている。ノードNABは、NMOS33b及びPMOS34bのドレインと、NMOS33a及びPMOS34aのゲートに接続されている。NMOS33a, 34bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS35のドレインに接続されている。PMOS34a, 34bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS36のドレインに接続されている。

30

【0013】

このセンス回路30には、さらに、第1の活性化信号SLNGと第2の活性化信号SLPGとを生成する活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ37と第2手段のインバータ38とで構成されている。インバータ37には、制御信号であるセンス開始信号SLNGBがゲートされ、該インバータ37が活性化信号SLNGを出力する構成である。インバータ38は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、PMOS38aとNMOS38bで構成されている。これらPMOS38aとNMOS38bのゲートには活性化信号SLNGが共通に入力されると共に、そのドレイン同士は接続されている。PMOS38aのソースは電源電位VCCに接続されている。NMOS38bのソースは、従来とは異なり、基準電位VBLに接続されている。インバータ37の出力する活性化信号SLNGがNMOS35のゲートに与えられ、インバータ38の出力する活性化信号SLPGがPMOS36のゲートに与えられる接続である。

40

【0014】

図1では簡単のためセンス回路30を一つのみ示しているが、通常のDRAMでは、メモリセルアレイ20からは複数組のビット線対BL, BLBが導出されているので、それ

50

らに対応して複数のセンス回路30がアレイ化されている。ただし、NMOS35、PMOS36、及びインバータ37、38は、複数のセンス回路30で共用される構成である。

図4は、図1の動作を示す波形図であり、この図4を参照しつつ、DRAMの動作を説明する。

プリチャージ制御信号EQMが、図4のタイミングで、“H”レベルから“L”レベルに変化することで、イコライズ回路25中のNMOS25a、25bがオフ状態になり、ビット線対BL、BLBが基準電位VBLから切り離される。この状態で、ワード線WL0が選択されて昇圧レベルの電位 $V_{CC} + V_t +$ に立ち上がると、ビット線対BL、BLBの間に、メモリセルの保持情報に応じた微小電位差が生じる。ワード線WL0の立ち上がるのと同時に、制御信号TGも昇圧レベルの電位 $V_{CC} + V_t +$ に立ち上がり、トランスファゲートのNMOS31、32がオンする。これにより、ビット線対BL、BLBが、ノードNA、NABに接続される。

【0015】

センス動作は、センス開始信号SLNGBが“H”レベルから“L”レベルに変化することで開始される。センス開始信号SLNGBが“L”レベルに変化すると、インバータ37により、活性化信号SLNGが“L”レベルから“H”レベル(電位VCC)に変化し、NMOS38bがオンして活性化信号SLPGが“H”レベルから“L”レベルに変化する。活性化信号SLPGの“L”レベルは、NMOS38bによって、基準電位VBLに設定される。

これにより、活性化信号SLNGの“H”レベルを入力するNMOS35と、活性化信号SLPGの“L”レベルを入力するPMOS36が共にオン状態になり、センスアンプ33、34が活性化する。活性化したセンスアンプ33、34によって、ビット線対BL、BLBとノードNA、NABにおける微小電位差が感知され、ビット線対BL、BLBに対するPMOS36とNMOS35を介した充放電が行われる。そして、各ビット線BL、BLBの電位差が、メモリセルの保持するデータに対応した値になる。

以上のように、この第1の実施形態では、インバータ38の出力する活性化信号SLPGの“L”レベルは、基準電位VBL($1/2 V_{CC}$)に設定され、該基準電位VBLがPMOS36のゲートに与えられる構成である。従って、次の(a)~(c)のような効果が得られる。

【0016】

(a) PMOS36におけるオン抵抗は、従来のように電位VSSでオン状態になる場合よりも大きくなり、充放電を行う際の該PMOS36での電圧降下が大きくなる。そのため、電源電位VCCを供給する配線における寄生抵抗での電圧降下が最小限に抑えられ、周辺回路の動作マージンが悪化しない。

(b) PMOS36のゲート電位が、基準電位VBL($1/2 V_{CC}$)に設定されるので、該PMOS36でのドレイン電流対ドレイン・ソース間電圧特性が、従来とは異なり、定電流源でビット線対BL、BLBへの充電を行っているのに近くなり、充電のピーク電流を低減できる。

(c) ビット線対BL、BLBをプリチャージする電位VBLで、PMOS36をオンさせるので、ビット線対BL、BLBのプリチャージ状態をモニタして、充電電流を選択することになり、電位VBLの値が変化しても、その値にかかわらず、常に一定のビット線対BL、BLBの充電スピードが得られる。例えば、ビット線BLのプリチャージ電位が $1/2 V_{CC} + V$ の場合には、ビット線BLに対する充電電流はV分の電荷量が少なくてもよい。このときには、活性化信号SLPGの電位レベルもV上昇し、PMOS36のセンスアンプ33への活性化能力が低下する。即ち、ビット線BLに対する充電電流の減少分、PMOS36に対する活性化能力が低下し、充電スピードが変わらない。

【0017】

第2の実施形態

図5は、本発明の第2の実施形態を示すDRAMの要部の回路図であり、図1中の要素と共通する要素には共通の符号が付されている。

10

20

30

40

50

このDRAMは、第1の実施形態と同様のメモリセルアレイ20と、イコライズ回路25と、VCP発生回路23と、VBL発生回路26と、図1とは異なるセンス回路40とを備えている。

センス回路40は、ビット線対BL, BLBの先に接続されている。センス回路40において、ビット線対BL, BLBは、トランスファゲートを構成する2つのNMOS41, 42を介し、センスアンプノードNA, NABにそれぞれ接続されている。ノードNAとノードNABの間には、第1及び第2のセンスアンプ43, 44が接続されている。センスアンプ43は、ソース同士が接続された2つのNMOS43a, 43bで構成されている。センスアンプ44は、ソース同士が接続された2つのPMOS44a, 44bで構成されている。ノードNAは、NMOS43a及びPMOS44aのドレインと、NMOS43b及びPMOS44bのゲートに接続されている。ノードNABは、NMOS43b及びPMOS44bのドレインと、NMOS43a及びPMOS44aのゲートに接続されている。NMOS43a, 44bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS45のドレインに接続されている。PMOS44a, 44bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS46のドレインに接続されている。

10

【0018】

このセンス回路40には、さらに、第1の活性化信号SLNGと第2の活性化信号SLPGとを生成する第1の実施形態とは異なる活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ47と第2手段のインバータ48とで構成されている。インバータ47には、制御信号のセンス開始信号SLNGBがゲートに入力され、該インバータ47が活性化信号SLNGを出力する構成である。インバータ48は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、第1のPMOS48aと第2のPMOS48bとで構成されている。PMOS48aのゲートには、活性化信号SLNGが入力され、PMOS48bのゲートには、センス開始信号SLNGBが入力される接続である。PMOS48aのドレインとPMOS48bのドレインとが接続されている。PMOS48aのソースは、電源電位VCCに接続され、PMOS48bのソースは基準電位VBLに接続されている。インバータ47の出力する活性化信号SLNGが、NMOS45のゲートに与えられ、インバータ48の出力する活性化信号SLPGが、PMOS46のゲートに与えられる接続である。

20

30

【0019】

図1では簡単のためセンス回路40を一つのみ示しているが、通常のDRAMでは、メモリセルアレイ20から複数組のビット線対BL, BLBが導出されているので、それらに対応して複数のセンス回路40がアレイ化されている。ただし、NMOS45、PMOS46、及びインバータ47, 48は、複数のセンス回路40で共用される構成である。

図6は、図5の動作を示す波形図であり、この図5を参照しつつ、DRAMの動作を説明する。

この第2の実施形態のDRAMの動作は、基本的に第1の実施形態と同様である。即ち、プリチャージ制御信号EQMにより、イコライズ回路25中のNMOS25a, 25bがオフ状態になってから、トランスファゲートのNMOS41, 42がオンし、ビット線対BL, BLBがノードNA, NABに接続されるまでの動作は、第1の実施形態と同様である。センス開始信号SLNGBが“H”レベルから“L”レベルに変化することでセンス動作が開始される。センス開始信号SLNGBが“L”レベルに変化すると、インバータ47により、活性化信号SLNGが“L”レベルから“H”レベル(電位VCC)に変化する。これと同時にPMOS48bがオンして活性化信号SLPGが“H”レベルから“L”レベルに変化する。活性化信号SLPGの“L”レベルは、PMOS48bによって、基準電位VBLに設定される。

40

【0020】

これにより、活性化信号SLNGの“H”レベルを入力するNMOS45と、活性化信号SLPGが“L”レベルを入力するPMOS46が共にオン状態になって、センスアンプ43,

50

44が活性化する。活性化したセンスアンプ43, 44によって、ビット線対BL, BLBとノードNA, NABにおける微小電位差が感知され、ビット線対BL, BLBに対するPMOS46とNMOS45を介した充放電が行われる。そして、各ビット線BL, BLBの電位差が、メモリセルの保持するデータに対応した値になる。

以上のように、この第2の実施形態では、活性化信号SLPGの“L”レベルは、基準電位VBL(1/2VCC)に設定されてPMOS46のゲートに与えられる構成なので、第1の実施形態と同様の(a)~(c)の効果が期待できる。そのうえ、センス開始信号SLNGBでインバータ48のPMOS48bがオンするので、活性化信号SLPGの立ち下がりインバータ1つ分だけ速くできる。

【0021】

第3の実施形態

図7は、本発明の第3の実施形態を示すDRAMの要部の回路図であり、図1、図5中の要素と共通する要素には共通の符号が付されている。

このDRAMは、第1及び第2の実施形態と同様のメモリセルアレイ20、イコライズ回路25、VCP発生回路23及びVBL発生回路26と、図1或いは図5とは異なるセンス回路50とを、備えている。

センス回路50は、ビット線対BL, BLBの先に接続されている。センス回路50において、ビット線対BL, BLBは、トランスファゲートを構成する2つのNMOS51, 52を介してセンスアンプノードNA, NABにそれぞれ接続されている。ノードNAとノードNABの間には、第1及び第2のセンスアンプ53, 54が接続されている。センスアンプ53は、ソース同士が接続された2つのNMOS53a, 53bで構成されている。センスアンプ54は、ソース同士が接続された2つのPMOS54a, 54bで構成されている。

【0022】

ノードNAは、NMOS53a及びPMOS54aのドレインと、NMOS53b及びPMOS54bのゲートに接続されている。ノードNABは、NMOS53b及びPMOS54bのドレインと、NMOS53a及びPMOS54aのゲートに接続されている。NMOS53a, 54bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS55のドレインに接続されている。PMOS54a, 54bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS56のドレインに接続されている。

このセンス回路50には、第1の活性化信号SLNGと第2の活性化信号SLPGとを生成する第1及び第2の実施形態とは異なる活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ57と第2手段のインバータ58とで構成されている。インバータ57には、制御信号であるセンス開始信号SLNGBがゲート入力され、該インバータ57が活性化信号SLNGを出力する構成である。インバータ58は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、第1のPMOS58aと第2のPMOS58bと第1のNMOS58cとで構成されている。

【0023】

PMOS58aとNMOS58cのゲートには活性化信号SLNGが共通に入力され、PMOS58bのゲートには、センス開始信号SLNGBが入力される接続になっている。PMOS58aとPMOS58bとNMOS58cのドレインは、共通に接続されている。PMOS58aのソースは、電源電位VCCに接続され、PMOS58bとNMOS58cのソースが、基準電位VBLに接続されている。インバータ57の出力する活性化信号SLNGがNMOS55のゲートに与えられ、インバータ58の出力する活性化信号SLPGが、PMOS56のゲートに与えられる接続である。

図7では簡単のためセンス回路50を一つのみ示しているが、実際のDRAMでは、それらに対応して複数のセンス回路50がアレイ化されている。

図8は、図7の動作を示す波形図であり、この図を参照しつつ、図7の動作を説明する。

【 0 0 2 4 】

この第3の実施形態における動作も、第1及び第2の実施形態と基本的に同じである。よって、第1のプリチャージ制御信号EQMにより、イコライズ回路25中のNMOS25a, 25bがオフ状態になってから、トランスファゲートのNMOS51, 52がオンし、ビット線対BL, BLBがノードNA, NABに接続されるまでの動作は、第1及び第2の実施形態と同様である。センス開始信号SLNGBが“H”レベルから“L”レベルに変化することでセンス動作が開始される。センス開始信号SLNGBが“L”レベルに変化すると、インバータ57により、活性化信号SLNGが“L”レベルから“H”レベル(電位VCC)に変化する。これと同時にPMOS58bがオンして活性化信号SLPGが“H”レベルから“L”レベルに変化する。PMOS58bがオンしてから、1インバータ分遅れてNMOS58cがオンする。NMOS58cがオンすることで、活性化信号SLPGのレベルが安定し、該活性化信号SLPGの“L”レベルは、基準電位VBLに設定される。

10

【 0 0 2 5 】

これにより、活性化信号SLNGの“H”レベルを入力するNMOS55と、活性化信号SLPGの“L”レベルを入力するPMOS56が共にオン状態になって、センスアンプ53, 54が活性化する。活性化したセンスアンプ53, 54によって、ビット線対BL, BLBとノードNA, NABにおける微小電位差が感知され、ビット線対BL, BLBに対するPMOS56とNMOS55を介した充放電が行われる。そして、各ビット線BL, BLBの電位差が、メモリセルの保持するデータに対応した値になる。

以上のように、この第3の実施形態では、活性化信号SLPGの“L”レベルは、基準電位VBL(1/2VCC)に設定されてPMOS56のゲートに与えられる構成なので、第1及び第2の実施形態における(a)と(b)の効果が期待できる。そのうえ、センス開始信号SLNGBでインバータ58のPMOS58bがオンするので、活性化信号SLPGの立ち下がりインバータ1つ分だけ速くできる。さらに、NMOS58cを設けているので、活性化信号SLPGの立ち下がり電位レベルを第2の実施形態よりも確実にできる。

20

【 0 0 2 6 】

第4の実施形態

図9は、本発明の第4の実施形態を示すDRAMの要部の回路図であり、図1、図5及び図7中の要素と共通する要素には共通の符号が付されている。

前記第1の実施形態では活性化信号SLPGの電位を基準電位VBLに設定していたが、このDRAMでは、活性化信号SLPGの電位を基準電位VCPに設定することを特徴にしている。

30

図9のDRAMは、第1～第3の実施形態と同様のメモリセルアレイ20、イコライズ回路25、VCP発生回路23及びVBL発生回路26を備えると共に、基準電位VCPを入力するセンス回路60を備えている。

【 0 0 2 7 】

センス回路60の構成は、図1とほぼ同様であり、ビット線対BL, BLBが、トランスファゲートを構成する2つのNMOS61, 62を介してセンスアンプノードNA, NABにそれぞれ接続されている。ノードNAとノードNABの間には、第1及び第2のセンスアンプ63, 64が接続されている。センスアンプ63は、ソース同士が接続された2つのNMOS63a, 63bで構成されている。センスアンプ64は、ソース同士が接続された2つのPMOS64a, 64bで構成されている。ノードNAは、NMOS63a及びPMOS64aのドレインと、NMOS63b及びPMOS64bのゲートに接続されている。ノードNABは、NMOS63b及びPMOS64bのドレインと、NMOS63a及びPMOS64aのゲートに接続されている。NMOS63a, 64bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS65のドレインに接続されている。PMOS64a, 64bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS66のドレインに接続されている。

40

【 0 0 2 8 】

このセンス回路60には、さらに、第1の活性化信号SLNGと第2の活性化信号SLPGとを

50

生成する活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ67と第2手段のインバータ68とで構成されている。インバータ67には、制御信号であるセンス開始信号SLNGBがゲート入力され、該インバータ67が活性化信号SLNGを出力する構成である。インバータ68は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、PMOS68aとNMOS68bとで構成されている。PMOS68aとNMOS68cのゲートには、活性化信号SLNGが共通に入力される接続になっている。PMOS68aとNMOS68bのドレインは、共通に接続されている。PMOS68aのソースは、電源電位VCCに接続され、NMOS68bのソースが基準電位VCPに接続されている。インバータ67の出力する活性化信号SLNGが、NMOS65のゲートに与えられ、インバータ68の出力する活性化信号SLPGが、PMOS66のゲートに与えられる接続である。

10

【0029】

図10は、図9の動作を示す波形図である。

このDRAMでは、センス回路60中のNMOS68bのソースに基準電位VBLと同じ電位(1/2VCC)の基準電位VCPが入力される構成であり、活性化信号SLPGの電位も図4と同じになる。即ち、第1の実施形態とまったく同じ動作が行われる。

以上のように、この第4の実施形態では、NMOS68bのソースに基準電位VCPを入力する構成にしているので、第1の実施形態における(c)の効果は得られないが、(a)及び(b)の効果を得られる。

【0030】

20

第5の実施形態

図11は、本発明の第5の実施形態を示すDRAMの要部の回路図であり、図1、図5、図7及び図9中の要素と共通する要素には共通の符号が付されている。

活性化信号SLPGの電位レベルを設定する電位は、基準電位VBLでも基準電位VCPでもどちらを用いても電源ノイズを減少させることを、第4の実施形態では説明している。この第5の実施形態では、基準電位VBLと基準電位VCPとの間がトランスファゲート等の接続手段70で接続可能な構成のDRAMを説明する。

まず、DRAMの構成を説明する。このDRAMは、第1～第4の実施形態と同様のメモリセルアレイ20、イコライズ回路25、VCP発生回路23及びVBL発生回路26を備えている。接続手段70は、オン状態のとき基準電位VBLと基準電位VCPとを接続する構成である。

30

【0031】

一方、ビット線対BL, BLBの先に、センス回路80が接続されている。センス回路80の構成は、図1とほぼ同様であり、ビット線対BL, BLBが、トランスファゲートを構成する2つのNMOS81, 82を介してセンスアンプノードNA, NABにそれぞれ接続されている。ノードNAとノードNABの間には、第1及び第2のセンスアンプ83, 84が接続されている。センスアンプ83は、ソース同士が接続された2つのNMOS83a, 83bで構成されている。センスアンプ84は、ソース同士が接続された2つのPMOS84a, 84bで構成されている。

【0032】

40

ノードNAは、NMOS83a及びPMOS84aのドレインと、NMOS83b及びPMOS84bのゲートとに接続されている。ノードNABは、NMOS83b及びPMOS84bのドレインと、NMOS83a及びPMOS84aのゲートとに接続されている。NMOS83a, 84bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS85のドレインに接続されている。PMOS84a, 84bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS86のドレインに接続されている。

このセンス回路80には、第1の活性化信号SLNGと第2の活性化信号SLPGとを生成する活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ87と第2手段のインバータ88とで構成されている。インバータ87には、制御信号であ

50

るセンス開始信号SLNGBがゲート入力され、該インバータ87が、活性化信号SLNGを出力する構成である。インバータ88は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、PMOS88aとNMOS88bで構成されている。PMOS88aとNMOS88bのゲートには、活性化信号SLNGが共通に入力される接続になっている。PMOS88aとNMOS88bのドレインは、共通に接続されている。PMOS88aのソースは、電源電位VCCに接続され、NMOS88bのソースが同じ電位レベルの基準電位VCP、VBLに接続されている。インバータ87の出力する活性化信号SLNGがNMOS85のゲートに与えられ、インバータ88の出力する活性化信号SLPGがPMOS86のゲートに与えられる接続である。

【0033】

図12は、図11の動作を示す波形図である。

このDRAMでは、センス回路80中のNMOS88bのソースに、ほぼ同じ電位(1/2VCC)の基準電位VBLと基準電位VCPが入力される構成であり、活性化信号SLPGの電位も図4と同じになる。即ち、第1の実施形態とまったく同じ動作が行われる。

以上のように、この第5の実施形態では、NMOS88bのソースに基準電位VCPと基準電位VBLを入力する構成にしているので、第1の実施形態における(a)~(c)と同様の効果が得られる。

【0034】

第6の実施形態

図13は、本発明の第6の実施形態を示すDRAMの要部の回路図であり、図1、図5、図7、図9及び図11中の要素と共通する要素には共通の符号が付されている。

第1~第5の実施形態では、活性化信号SLPGの電位レベルを設定する電位は、基準電位VBLあるいは基準電位VCPとしていたが、この第6の実施形態では、ソース電位発生回路90を設け、基準電位VBLや基準電位VCPとは独立の第3の基準電位VXで活性化信号SLPGの“L”レベルを設定する構成にしている。

【0035】

このDRAMは、第1~第5の実施形態と同様のメモリセルアレイ20、イコライズ回路25、VCP発生回路23及びVBL発生回路26を備えている。ビット線対BL、BLBの先に、センス回路100が接続されている。センス回路100の構成は、図1とほぼ同様であり、ビット線対BL、BLBが、トランスファゲートを構成する2つのNMOS101、102を介してセンスアンプノードNA、NABにそれぞれ接続されている。ノードNAとノードNABの間には、第1及び第2のセンスアンプ103、104が接続されている。センスアンプ103は、ソース同士が接続された2つのNMOS103a、103bで構成されている。センスアンプ104は、ソース同士が接続された2つのPMOS104a、104bで構成されている。ノードNAは、NMOS103a及びPMOS104aのドレインと、NMOS103b及びPMOS104bのゲートとに接続されている。ノードNABは、NMOS103b及びPMOS104bのドレインと、NMOS103a及びPMOS104aのゲートとに接続されている。NMOS103a、104bのソースは、ソースが電源電位VSSに接続された第1のMOSトランジスタであるNMOS105のドレインに接続されている。PMOS104a、104bのソースは、ソースが電源電位VCCに接続された第2のMOSトランジスタであるPMOS106のドレインに接続されている。

【0036】

このセンス回路100には、第1の活性化信号SLNGと第2の活性化信号SLPGとを生成する活性化信号生成回路が設けられている。活性化信号生成回路は、第1手段のインバータ107と第2手段のインバータ108とで構成されている。インバータ107には、制御信号であるセンス開始信号SLNGBがゲート入力され、該インバータ107が活性化信号SLNGを出力する構成である。インバータ108は、活性化信号SLNGに対して相補的論理レベルを示す活性化信号SLPGを出力するものであり、PMOS108aとNMOS108bで構成されている。PMOS108aとNMOS108bのゲートには、活性化信号SLNGが

10

20

30

40

50

共通に入力される接続になっている。PMOS108aとNMOS108bのドレインは、共通に接続されている。PMOS108aのソースは、電源電位V_{CC}に接続され、NMOS108bのソースが、ソース電位発生回路90からの基準電位V_Xに接続されている。インバータ107の出力する活性化信号SLNGが、NMOS105のゲートに与えられ、インバータ108の出力する活性化信号SLPGが、PMOS106のゲートに与えられる接続である。

【0037】

図14は、図13の動作を示す波形図である。

このDRAMでは、ソース電位発生回路90を設け、センス回路100中のNMOS108bのソースには、基準電位V_Xが入力される構成である。基準電位V_Xは、基準電位V_{BL}や基準電位V_{CP}とは異なり、独立に変更が可能である。よって、基準電位V_Xのレベルを適切に選択することで、第1の実施形態の(a)及び(b)の効果を、さらに確実にしたDRAMを構成できる。

なお、本発明は、上記実施形態に限定されず種々の変形が可能である。

例えば、メモリセルアレイ20、イコライズ回路25の内部の構成は、第1～第6の実施形態に限定されず、他の回路構成でもよい。また、第4の実施形態では、第1の実施形態のセンス回路30と同様のセンス回路60に基準電位V_{CP}を与え、活性化信号SLPGのレベルを基準電位V_{CP}に設定しているが、センス回路60の構成を第2及び第3の実施形態のセンス回路40、50と同様の構成にした場合でも、適用が可能である。この場合にも、第2及び第3の実施形態と同じ効果が得られる。

【0038】

【発明の効果】

以上詳細に説明したように、第1～第5の発明によれば、活性化信号生成回路を、第2の活性化信号の論理レベルのうちの第2のMOSトランジスタをオン状態にする論理レベルを、第1の電源電位と第2の電源電位の間の中間電位に設定する構成にしている。そのため、第2の活性化信号のレベルが、中間電位に設定され、第2のMOSトランジスタの動作領域が従来の電源電位に設定される場合とは異なると共に、該第2のMOSトランジスタにおけるオン抵抗が増加する。よって、ビット線対に対する充放電の際のピーク電流を低減できると共に電源ノイズの発生が防止でき、周辺回路での動作マージンの悪化が防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すDRAMの要部の回路図である。

【図2】従来のDRAMの要部を示す回路図である。

【図3】図2の動作を示す波形図である。

【図4】図1の動作を示す波形図である。

【図5】本発明の第2の実施形態を示すDRAMの要部の回路図である。

【図6】図5の動作を示す波形図である。

【図7】本発明の第3の実施形態を示すDRAMの要部の回路図である。

【図8】図7の動作を示す波形図である。

【図9】本発明の第4の実施形態を示すDRAMの要部の回路図である。

【図10】図9の動作を示す波形図である。

【図11】本発明の第5の実施形態を示すDRAMの要部の回路図である。

【図12】図11の動作を示す波形図である。

【図13】本発明の第6の実施形態を示すDRAMの要部の回路図である。

【図14】図13の動作を示す波形図である。

【符号の説明】

21	平行平板容量
20	メモリセルアレイ
23	V _{CP} 発生回路
25	イコライズ回路

10

20

30

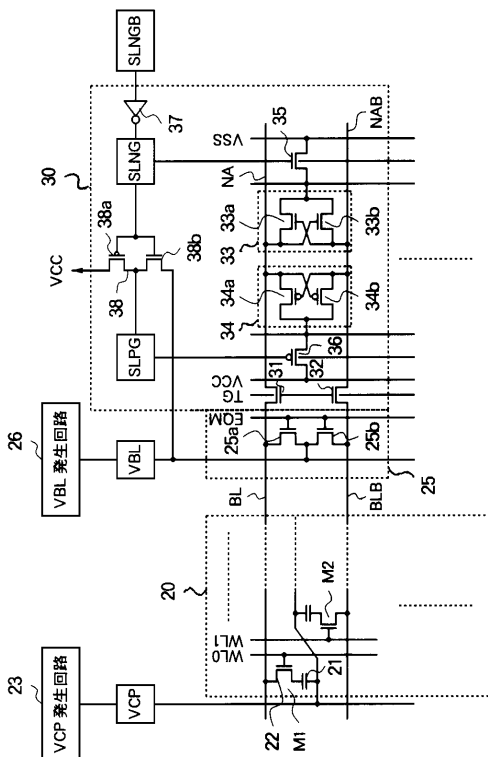
40

50

26
 30, 40, 50, 60, 80, 100
 33, 43, 53, 63, 83, 103
 34, 44, 54, 64, 84, 104
 35, 45, 55, 65, 85, 105
 36, 46, 56, 66, 86, 106
 37, 47, 57, 67, 87, 107
 38, 48, 58, 68, 88, 108
 70
 90
 VCC, VSS
 VCP, VBL
 M1, M2
 BL, BLB

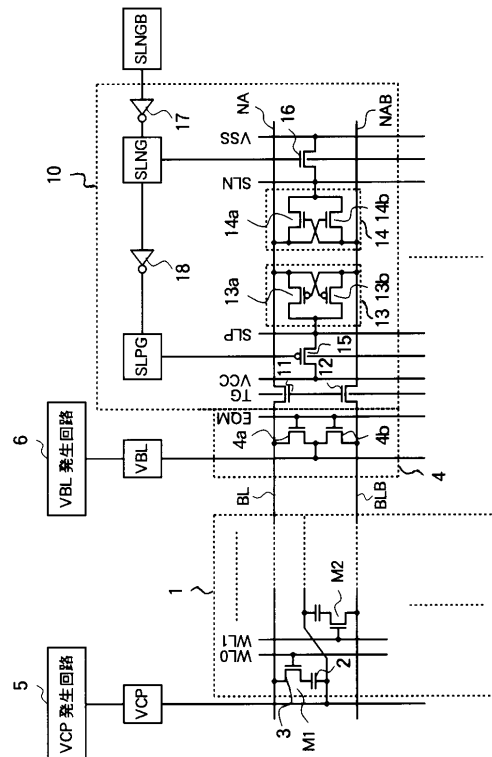
VBL発生回路
 センス回路
 第1のセンスアンプ
 第2のセンスアンプ
 NMOS(第1のMOSトランジスタ)
 PMOS(第2のMOSトランジスタ)
 インバータ(第1手段)
 インバータ(第2手段)
 トランスファゲート
 ソース電位発生回路
 第1及び第2の電源電位
 第1及び第2の基準電位
 メモリセル
 ビット線

【図1】



本発明の第1の実施形態のDRAM

【図2】



従来のDRAM

【 図 3 】

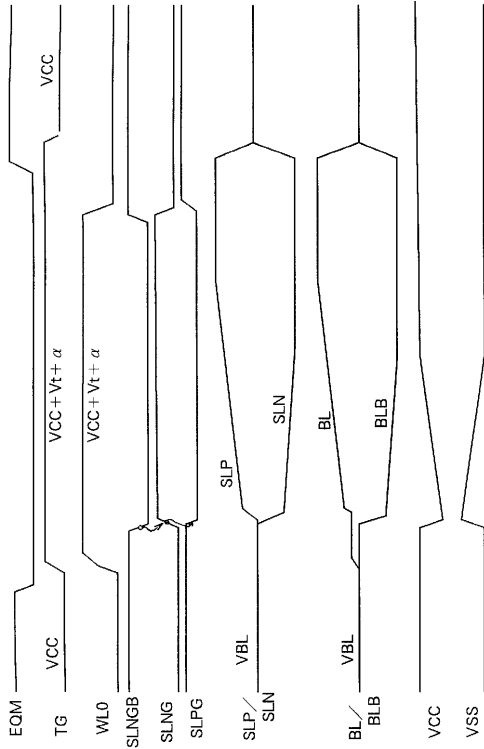


図2の動作波形図

【 図 4 】

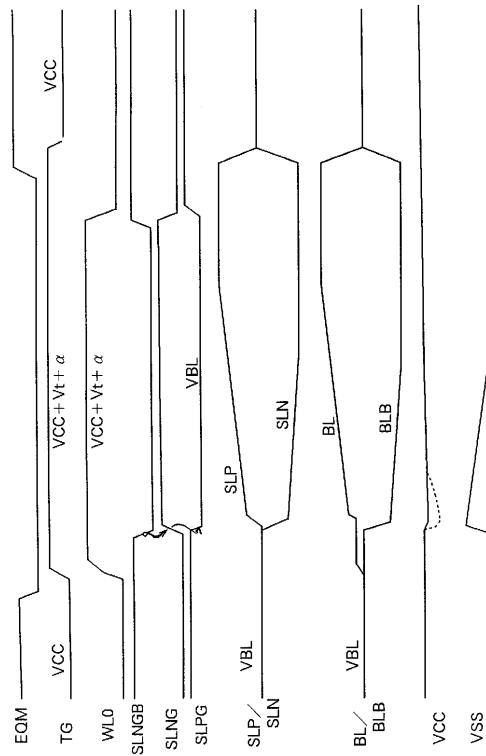
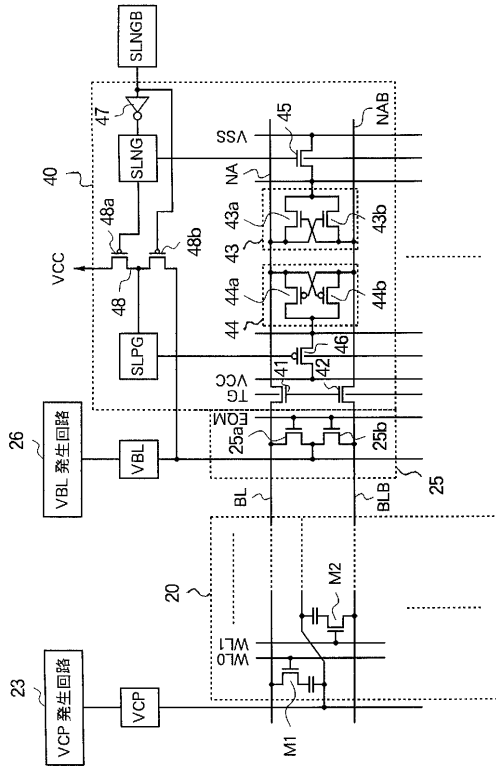


図1の動作波形図

【 図 5 】



本発明の第2の実施形態のDRAM

【 図 6 】

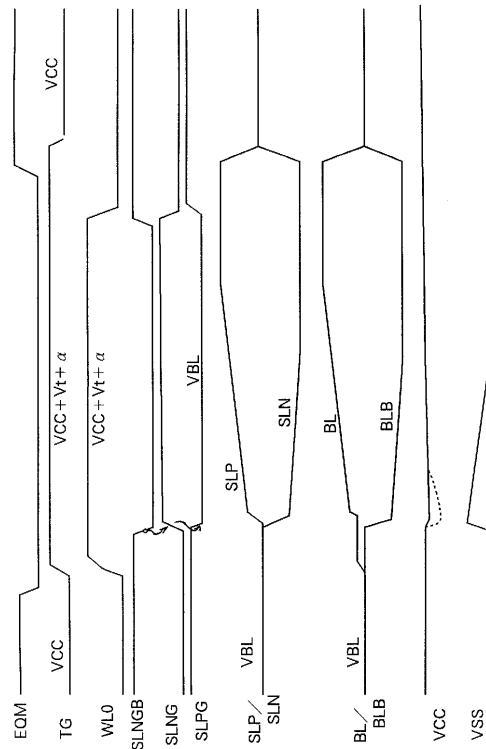
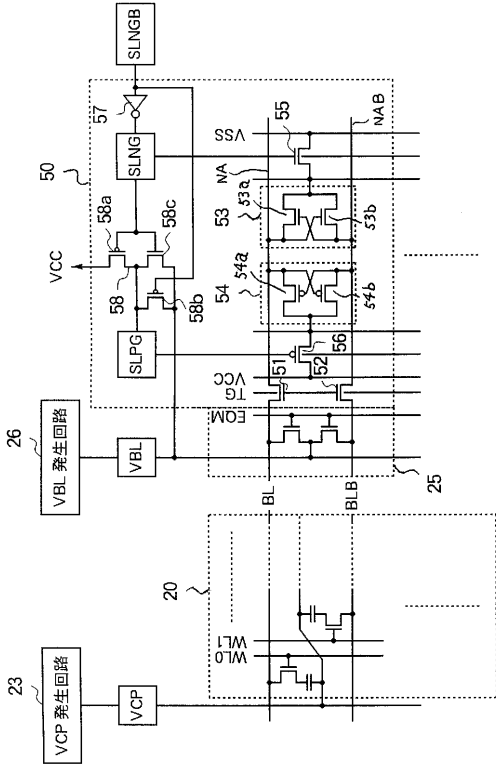
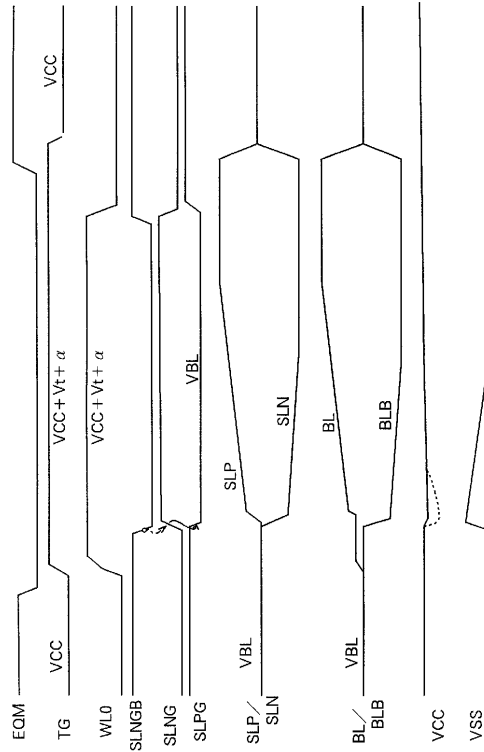


図5の動作波形図

【 図 7 】



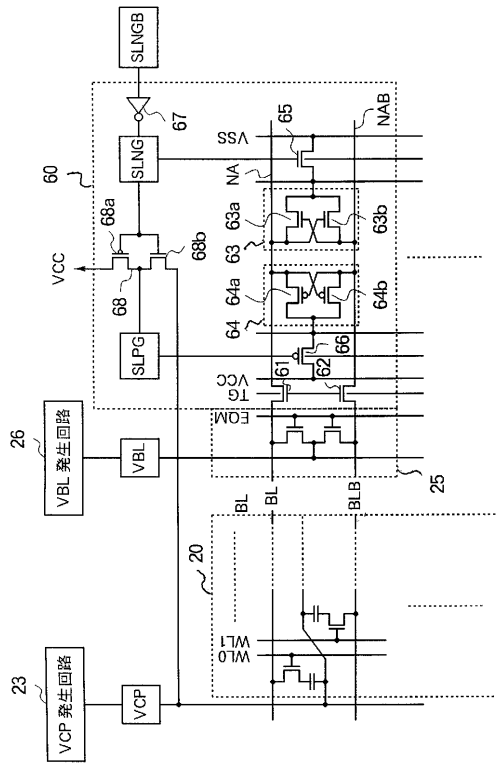
【 図 8 】



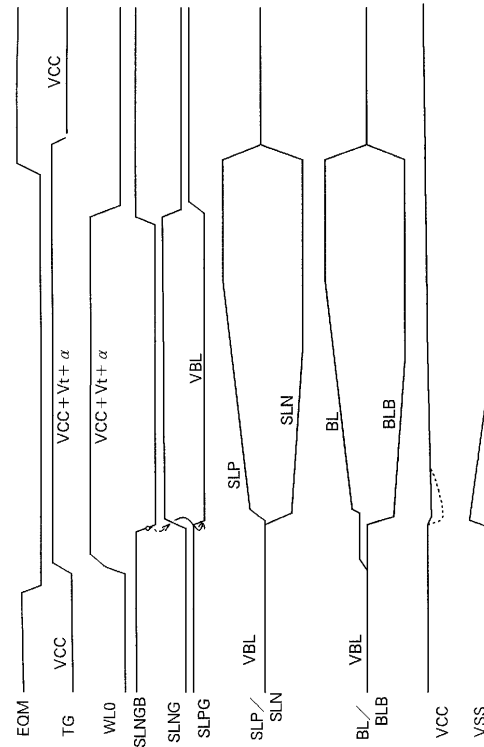
本発明の第 3 の実施形態の DRAM

図 7 の動作波形図

【 図 9 】



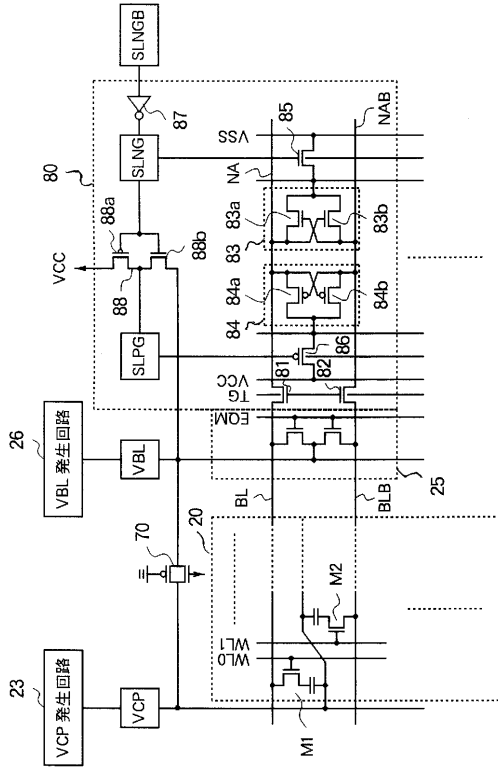
【 図 10 】



本発明の第 4 の実施形態の DRAM

図 9 の動作波形図

【図 1 1】



本発明の第 5 の実施形態の DRAM

【図 1 2】

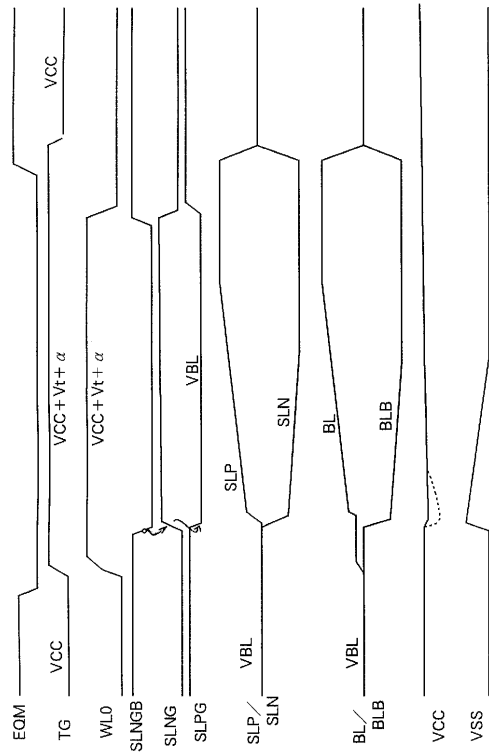
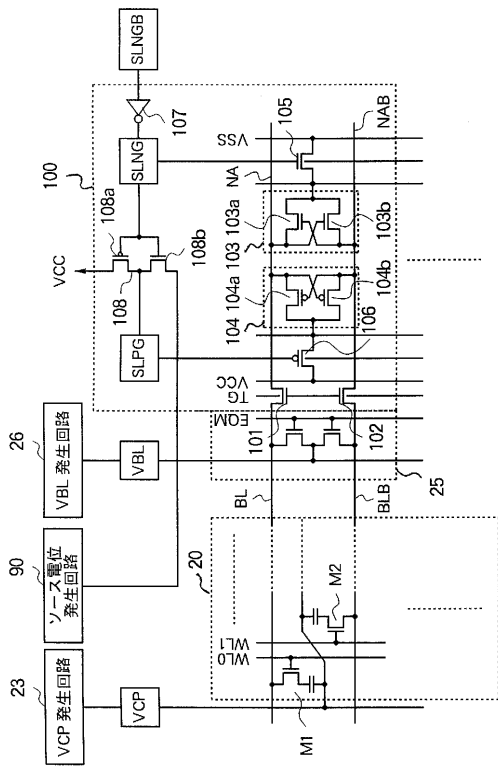


図 11 の動作波形図

【図 1 3】



本発明の第 6 の実施形態の DRAM

【図 1 4】

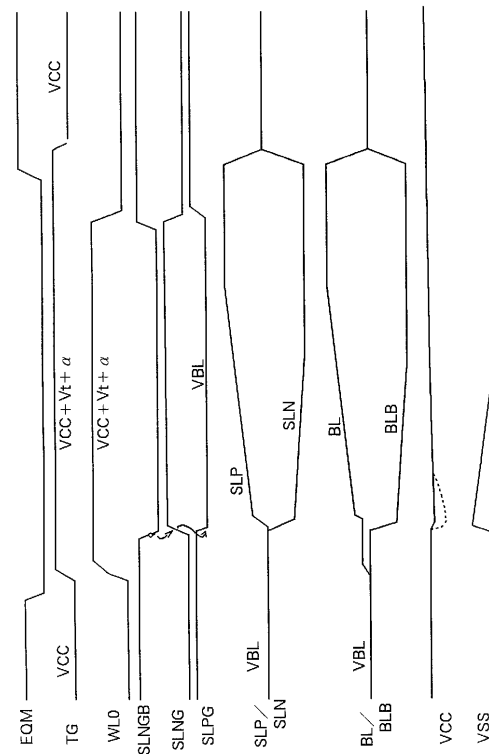


図 13 の動作波形図

フロントページの続き

審査官 堀田 和義

- (56)参考文献 特開平06 - 162779 (JP, A)
特開平03 - 059877 (JP, A)
特開平03 - 269896 (JP, A)
特開平03 - 296895 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/409