

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4357564号
(P4357564)

(45) 発行日 平成21年11月4日(2009.11.4)

(24) 登録日 平成21年8月14日(2009.8.14)

(51) Int. Cl.

F I

G09G 3/28 (2006.01)
G09G 3/20 (2006.01)

G09G 3/28 J
G09G 3/20 621G
G09G 3/20 621F
G09G 3/20 611A
G09G 3/20 611J

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2007-508000 (P2007-508000)
(86) (22) 出願日 平成17年3月17日(2005.3.17)
(86) 国際出願番号 PCT/JP2005/004794
(87) 国際公開番号 W02006/098030
(87) 国際公開日 平成18年9月21日(2006.9.21)
審査請求日 平成19年8月2日(2007.8.2)

(73) 特許権者 505348027
株式会社日立プラズマパテントライセンシング
東京都千代田区大手町二丁目2番1号
(74) 代理人 100100310
弁理士 井上 学
(72) 発明者 高木 一樹
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者 瀬尾 欣穂
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者 井上 一
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
最終頁に続く

(54) 【発明の名称】 充放電装置、表示装置、プラズマ・ディスプレイ・パネルおよび充放電の方法

(57) 【特許請求の範囲】

【請求項1】

電圧を印加することによって充放電対象キャパシタンスを充放電する充放電装置であって、

共通導体に一端子が結合された電気的エネルギー回収用の回収用キャパシタと、

前記回収用キャパシタの他端子に一端子が結合された補償用キャパシタと、

前記補償用キャパシタの他端子と前記充放電対象キャパシタンスとの間に接続された第1のスイッチと、

前記補償用キャパシタの前記一端子と前記充放電対象キャパシタンスとの間に接続された第2のスイッチと、

前記回収用キャパシタの前記他端子と前記第1のスイッチとの間に前記補償用キャパシタと並列に接続された第1の定電圧源と、

前記充放電対象キャパシタンスに第3のスイッチを介して接続された第2の定電圧源と、

前記補償用キャパシタの他端子に一端子が結合され、前記充放電対象キャパシタンスに他端子が結合され、前記第1のスイッチをターンオンすることにより前記第1のスイッチと共振インダクタを介して前記充放電対象キャパシタンスを充電する第1の経路形成手段と、

前記回収用キャパシタの前記他端子に一端子が結合され、前記充放電対象キャパシタンスに他端子が結合され、前記第2のスイッチをターンオンすることにより前記第2のスイ

ッチと共振インダクタを介して前記充放電対象キャパシタンスを放電させて前記回収用キャパシタに電氣的エネルギーを回収する第2の経路形成手段とを備え、

前記第1の経路形成手段により前記充放電対象キャパシタンスに供給する電圧値を、前記第2の定電圧源が供給する電圧値まで立ち上げたタイミングで前記第3のスイッチをターンオンすることを特徴とする充放電装置。

【請求項2】

前記第2の経路形成手段に関連して設けられた前記インダクタは、前記第1の経路形成手段に関連して設けられた前記インダクタより大きいインダクタンスを有することを特徴とする、請求項1に記載の充放電装置。

【請求項3】

前記充放電対象キャパシタンスが、表示画面を構成する1つ以上のセルで構成されることを特徴とする、請求項1または2に記載の充放電装置を含む表示装置。

【請求項4】

電氣的エネルギー回収用の回収用キャパシタから画面を構成するセルへ電荷を移動させる充電と、前記セルから前記回収用キャパシタへ電荷を移動させる電力回収を行うプラズマ・ディスプレイ・パネルであって、

共通導体に一端子が結合された電氣的エネルギー回収用の回収用キャパシタと、

前記回収用キャパシタの他端子に一端子が結合された補償用キャパシタと、

前記補償用キャパシタの他端子と前記充放電対象キャパシタンスとの間に接続された第1のスイッチと、

前記補償用キャパシタの前記一端子と前記充放電対象キャパシタンスとの間に接続された第2のスイッチと、

前記回収用キャパシタの前記他端子と前記第1のスイッチとの間に前記補償用キャパシタと並列に接続された第1の定電圧源と、

前記充放電対象キャパシタンスに第3のスイッチを介して接続された第2の定電圧源と

、
前記補償用キャパシタの他端子に一端子が結合され、前記充放電対象キャパシタンスに他端子が結合され、前記第1のスイッチをターンオンすることにより前記第1のスイッチと共振インダクタを介して前記セルを充電する第1の経路形成手段と、

前記回収用キャパシタの前記他端子に一端子が結合され、前記セルに他端子が結合され、前記第2のスイッチをターンオンすることにより前記第2のスイッチと共振インダクタを介して前記セルを放電させて前記回収用キャパシタに電氣的エネルギーを回収する第2の経路形成手段とを備え、

前記第1の経路形成手段により前記充放電対象キャパシタンスに供給する電圧値を、前記第2の定電圧源が供給する電圧値まで立ち上げたタイミングで前記第3のスイッチをターンオンすることを特徴とする、プラズマ・ディスプレイ・パネル。

【請求項5】

前記第2の経路形成手段に関連して設けられた前記インダクタは、前記第1の経路形成手段に関連して設けられた前記インダクタより大きいインダクタンスを有することを特徴とする、請求項4に記載のプラズマ・ディスプレイ・パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PDP（プラズマ・ディスプレイ・パネル）の駆動に関し、特に、PDPの表示電極に電圧を印加しその表示電極間の容量に蓄積された電氣的エネルギーを回収する回路に関する。

【背景技術】

【0002】

PDPの対をなす表示電極間にサステイン・パルス電圧を印加することによってその表示電極間の容量（キャパシタンス）に電荷すなわち電氣的エネルギーが蓄積される。その電

10

20

30

40

50

気的エネルギーを回収用キャパシタを用いて回収する技術が知られている。そのキャパシタに回収された電気的エネルギーは、次の表示電極間へのサステイン・パルス電圧の印加に用いられる。

【0003】

1998年6月2日付けで公開された特開平10-149135号公報(A)の分割出願の2004年10月14日付けで公開された特開2004-287466号公報(A)には、表示装置の駆動回路が記載されている。この駆動回路は、X電極群とY電極群にそれぞれ、リアクトルと、1対のダイオードと、1対の第6のスイッチと、コンデンサとからなる電力回収回路は24を設け、維持駆動回路の正・負の電圧の立ち上がる以前に、上記一対の第6のスイッチの一方を導通してリアクトルにコンデンサから電流エネルギーを蓄え、電圧の立ち上がり時にリアクトルに蓄えられた電流エネルギーを加算してコンデンサから充電を行うようにする。

10

【特許文献1】特開2004-287466号公報

【0004】

1999年1月22日付けで公開された特開平11-15426号公報(A)には、容量負荷駆動回路が記載されている。この駆動回路では、容量負荷の一端は接地され、他端はインダクタが接続されている。インダクタには、スイッチ素子とダイオードとの直列回路と、スイッチ素子とダイオードとの直列回路との並列回路が接続され、この並列回路には電力回収用のコンデンサが接続されている。容量負荷には2つのスイッチ素子が接続され、一方のスイッチ素子には正電源と負電源とを切り替えるスイッチ素子が接続されている。コンデンサには、正電源と負電源とを切り替えるスイッチ素子が接続されている。

20

【特許文献2】特開平11-15426号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

回収された電気的エネルギーを蓄積している回収用キャパシタによってサステイン・パルスをインダクタを介してPDPの表示電極に印加すると、サステイン・パルスの立ち上がり時間は長くなる傾向がある。そのインダクタは、表示電極に共振的に電気的エネルギーを供給するために所要の大きさのインダクタンスを必要とする。そのインダクタのインダクタンスを小さくすると電気的エネルギーの回収効率が低下する。

30

【0006】

発明者たちは、PDPの駆動において、表示電極に印加されるパルスの立ち上がり時間を長くすることなく、電気的エネルギーの回収効率を高くすることが望ましい、と認識した。

【0007】

本発明の目的は、PDP等において知られている容量性負荷に蓄積された電気的エネルギーの回収効率を高くすることである。

【0008】

本発明の別の目的は、短い立ち上がり時間のパルスをキャパシタンスに印加する回路を実現することである。

40

【0009】

本発明のさらに別の目的は、PDP等において知られている容量性負荷へのパルス印加の開始から放電までの遅延を短くすることである。

【0010】

本発明のさらに別の目的は、PDP等において知られている容量性負荷へ印加するパルスの幅を小さくすることである。

【課題を解決するための手段】

【0011】

本発明の特徴によれば、充放電装置は、電圧を印加することによって充放電対象キャパシタンス(容量性負荷)を充放電するものであり、共通導体に一端子が結合された電気的

50

エネルギー回収用の回収用キャパシタと、その回収用キャパシタの他端子に一端子が結合された補償用キャパシタと、その補償用のキャパシタの他端子に一端子が結合され、その充放電対象キャパシタンスに他端子が結合され、共振インダクタを介してその充放電対象キャパシタンスを充電する第1の経路形成手段と、その回収用キャパシタのその他端子に一端子が結合され、その充放電対象キャパシタンスに他端子が結合され、共振インダクタを介してその充放電対象キャパシタンスを放電させてその回収用キャパシタに電気的エネルギーを回収する第2の経路形成手段と、を具えている。

【0012】

また、本発明は、上述の装置の構成を含む表示装置およびプラズマ・ディスプレイ・パネルに関する。

10

【0013】

また、本発明は、上述の装置の機能を実現する充放電の方法に関する。

【発明の効果】

【0014】

本発明によれば、電気的エネルギーの回収効率を高くすることができる。

【発明を実施するための最良の形態】

【0015】

本発明の実施形態を、図面を参照して説明する。図面において、同様の構成要素には同じ参照番号が付されている。

【0016】

20

図1は、本発明の実施形態による、典型例の表示装置60の構成を示している。表示装置60は、 $n \times m$ 個のセルからなる表示面を有する3電極面放電型のPDP10と、セルを選択的に発光させるためのドライブ・ユニット50とを具えており、例えばテレビジョン受像機、コンピュータ・システムのモニタ等に利用される。

【0017】

PDP10では、表示放電を生じさせるための電極対を構成する表示電極XおよびY($X_1, Y_1, \dots, X_j, Y_j, \dots, X_m, Y_m$)が平行に配置され、これら表示電極XおよびYと直交するようにアドレス電極A($A_1, \dots, A_i, \dots, A_m$)が配置されている。表示電極Xはサステイン(維持)電極であり、表示電極Yはスキャン(走査)電極である。表示電極XおよびYは、典型的には画面の行方向または水平方向に延び、アドレス電極Aは列方向または垂直方向に延びている。

30

【0018】

ドライブ・ユニット50は、ドライバ制御回路51、データ変換回路52、電源回路53、X電極ドライバ回路またはXドライバ回路61、Y電極ドライバ回路またはYドライバ回路64、およびアドレス電極ドライバ回路またはAドライバ回路68を含んでおり、場合によってROMを含み得る集積回路の形態で実装される。ドライブ・ユニット50には、TVチューナまたはコンピュータのような外部装置からR、GおよびBの3原色の発光強度を示すフィールド・データDfが各種の同期信号とともに入力される。フィールド・データDfはデータ変換回路52の中のフィールドメモリに一時的に記憶される。データ変換回路52は、フィールド・データDfを階調表示のためのサブフィールド・データDsfに変換してAドライバ回路68に供給する。サブフィールド・データDsfは、1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフィールドSFにおける各セルの発光の要否を表す。

40

【0019】

Xドライバ回路61は、PDP表示面を構成する複数のセルの壁電圧を均等にするために表示電極Xに初期化のための電圧を印加するリセット回路62と、セルに表示放電を生じさせるために表示電極Xにサステイン・パルス印加するサステイン回路63とを含んでいる。Yドライバ回路64は、表示電極Yに初期化のための電圧を印加するリセット回路65と、アドレッシングにおいて表示電極Yにスキャンパルス印加するスキャン回路66と、セルに表示放電を生じさせるために表示電極Yにサステイン・パルス印加する

50

サステイン回路 67 とを含んでいる。A ドライバ回路 68 は、表示データに応じてサブフィールド・データ Dsf によって指定されたアドレス電極 A にアドレスパルス印加する。

【0020】

ドライバ制御回路 51 は、パルス電圧の印加およびサブフィールド・データ Dsf の転送を制御する。電源回路 53 はユニット内の所要部分に駆動電力を供給する。

【0021】

1つのピクチャ(画面)は典型的には1フレーム期間で構成されており、インターレース型走査では1フレームが2つのフィールドで構成され、プログレッシブ型走査では1フレームが1つのフィールドで構成されている。PDP10による表示では、2値の発光制御によってカラー再現を行うために、典型的にはそのような1フィールド期間の入力画像の時系列の1つのフィールド F を所定数 q のサブフィールド SF に分割する。典型的には、各フィールド F を q 個のサブフィールド SF の集合に置き換える。しばしば、これらサブフィールド SF に順に $2^0, 2^1, 2^2, \dots, 2^{q-1}$ 等の異なる重みを付けて各サブフィールド SF の表示放電の回数を設定する。サブフィールド単位の発光/非発光の組合せで R, G および B の各色毎に $N (= 1 + 2^1 + 2^2 + \dots + 2^{q-1})$ 段階の輝度設定を行うことができる。このようなフィールド構成に合わせてフィールド転送周期であるフィールド期間 Tf を q 個のサブフィールド期間 Tsf に分割し、各サブフィールド SF に1つのサブフィールド期間 Tsf を割り当てる。さらに、サブフィールド期間 Tsf を、初期化のためのリセット期間 TR 、アドレッシングのためのアドレス期間 TA 、および発光のための表示期間 TS に分ける。典型的には、リセット期間 TR およびアドレス期間 TA の長さはどのサブフィールドでも一定であるのに対し、表示期間 TS におけるパルス数は輝度の重みが大いほど多く、表示期間 TS の長さは輝度の重みが大いほど長い。この場合、サブフィールド期間 Tsf の長さも、該当するサブフィールド SF の輝度の重みが大いほど長い。

【0022】

図2は、本発明の実施形態による、Xドライバ回路61、Yドライバ回路64およびAドライバ回路68の出力駆動電圧波形の概略的な駆動シーケンスを例示している。なお、図示の波形は一例であり、振幅、極性およびタイミングを様々に変更することができる。

【0023】

リセット期間 TR 、アドレス期間 TA およびサステイン期間 TS の順序は、 q 個のサブフィールド SF において同じであり、駆動シーケンスはサブフィールド SF 毎に繰り返される。各サブフィールド SF のリセット期間 TR においては、全ての表示電極 X に対して負極性のパルス P_{rx1} と正極性のパルス P_{rx2} とを順に印加し、全ての表示電極 Y に対して正極性のパルス P_{ry1} と負極性のパルス P_{ry2} とを順に印加する。パルス P_{rx1} 、 P_{ry1} および P_{ry2} は微小放電が生じる変化率で振幅が漸増する鈍波パルスまたはランプ波形である。最初に印加されるパルス P_{rx1} および P_{ry1} は、前サブフィールド SF における発光/非発光に係わらず全てのセルに同一極性の適度な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス P_{rx2} および P_{ry2} を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。セルに加わる駆動電圧は、表示電極 X および Y に印加されるパルスの振幅の差を表す合成電圧である。

【0024】

アドレス期間 TA においては、発光させるセルのみに発光維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間(1行分のスキャン時間)毎に選択行に対応した表示電極 Y に負極性のスキャンパルス $-Vy$ を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス Vad を印加する。つまり、選択行 j の m 列分のサブフィールド・データ Dsf に基づいてアドレス電極 $A1 \sim Am$ の電位を2値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じる。そのアドレス放電

10

20

30

40

50

がトリガとなって、その後の表示電極 X - Y 間の面放電が生じる。

【 0 0 2 5 】

サステイン期間 T S においては、最初に全ての表示電極 Y に対して所定極性（図の例では正極性）のサステイン・パルス P s を印加する。その後、表示電極 X と表示電極 Y とに対して交互にサステイン・パルス P s を印加する。サステイン・パルス P s の振幅は維持電圧 V s である。サステイン・パルス P s の印加によって、所定の壁電荷が残存するセルにおいて面放電が生じる。サステイン・パルス P s の印加回数は、上述したようにサブフィールド S F の重みに対応する。なお、サステイン期間 T S 全体にわたって不要な対向放電を防止するために、アドレス電極 A をサステイン・パルス P s と同極性の電圧 V a s にバイアスする。

10

【 0 0 2 6 】

図 1 において、各 1 対の表示電極 X j と Y j で形成されるキャパシタは容量 C を有する。図 1 のサステイン回路 6 7 および 6 8 によって各 1 対の表示電極 X j と Y j の間に図 2 の 2 つの系列のサステイン・パルス P s の電圧 V s がそれぞれ印加される。

【 0 0 2 7 】

図 3 A は、サステイン回路 6 7 および 6 8 に用いられる、電気的エネルギー回収すなわち電力回収機能を有する通常のパルス電力供給および回収回路 1 1 と、クランプ回路 1 4 とを示している。図 3 B は、図 3 A のパルス電力供給および回収回路 1 1 とクランプ回路 1 4 のスイッチ S W 1 ~ S W 4 の状態と、パルス印加時のパネル容量 C p および回収用キャパシタ C r の両端間の電圧 V c p および V c r の変化とを示している。パネル容量 C p は、1 対または複数対の表示電極 X および Y の間に形成され、例えば 1 0 0 n F のオーダの容量 C p を有する。

20

【 0 0 2 8 】

図 3 A において、パルス電力供給および回収回路 1 1 は、複数対の表示電極 X および Y の間の容量 C p より充分大きい容量 C r （例えば C p の 1 0 0 倍以上）を有し一方の端子が接地された電力回収用キャパシタ C r と、キャパシタ C r に直列にそれぞれの一方の端子がスイッチ S W 1 および S W 3 をそれぞれ介して互いに逆極性で並列に接続されたダイオード D 1 および D 2 と、ダイオード D 1 および D 2 の他端子の接続点に一端子が接続され他端子が容量 C p の 1 対または複数対の表示電極の各対の一方（X または Y ）に内在する電極抵抗 R を介して接続された共振インダクタ L と、を含んでいる。クランプ回路 1 4 は、共振インダクタ L の他端子とその電極抵抗 R との接続点にスイッチ S W 2 を介して接続された所定の電圧 V s の定電圧源 V s を含み、その接続点をスイッチ S W 4 を介して接地点 G N D に接続する。

30

【 0 0 2 9 】

図 3 A および 3 B を参照すると、最初にキャパシタ C r に概ね電圧 V s / 2 の電荷が蓄積されており、複数の表示電極間の容量であるパネル容量 C p には電荷が蓄積されていないものとする。従って、パネル容量 C p における電圧 V c p の値はゼロ（0）である。パルス P s の立ち上がりの開始において、スイッチ S W 1 がターンオンすると、キャパシタ C r からスイッチ S W 1、ダイオード D 1 および共振インダクタ L を介してパネル容量 C p に供給電流が流れ、電荷 q ~ C V s がパネル容量 C p に蓄積され、パネル容量 C p の電圧 V c p が上昇し、パルス P s の立ち上がり形成される。パネル容量 C p の電圧 V c p がピーク電圧 V p m a x に達したとき、クランプ回路 1 4 のスイッチ S W 2 がターンオンされる。そのピーク電圧 V p m a x は電圧 V s より僅かに低い。クランプ回路 1 4 の電圧源 V s は、パネル容量 C p の電圧を電圧 V s にクランプし、パネル容量 C p を電圧 V s に維持する。クランプ回路 1 4 はパネル容量 C p の電圧 V c p を所定の電圧 V s になるように補償する。その後、サステイン放電が生じ、スイッチ S W 1 および S W 2 がターンオフされる。

40

【 0 0 3 0 】

パルス P s の立ち下がりの開始において、スイッチ S W 3 がターンオンされると、パネル容量 C p から共振インダクタ L、ダイオード D 2 およびスイッチ S W 2 を介して回収用キャパシタ C r に還流電流が流れ、電荷 q ~ C V s が回収用キャパシタ C r に追加的に蓄

50

積され、パネル容量 C_p の電圧が下降し、パルス P_s の立ち下がりが形成される。パネル容量 C_p の電圧 V_{Cp} がピーク電圧 V_{pmin} に達したとき、スイッチ SW_4 がターンオンされ、クランプ回路 14 の接地点 GND は、パネル容量 C_p の電圧 V_{Cp} を接地電位 GND または $0V$ にクランプする。そのピーク電圧 V_{rmin} は接地電位 GND または $0V$ より僅かに高い。このようにして、回収用キャパシタ C_r からパネル容量 C_p に供給された電荷すなわち電力の大部分が回収される。

【0031】

図4は、パネル容量 C_p の両端間のパルス P_s の電圧 V_{Cp} のより詳しい通常の波形を示している。この波形では、実効的パルス立ち上がり時間 T_{er} の期間において、最初のパルス P_s の立ち上がり時間 T_{rm} において電力回収用キャパシタ C_r によって表示電極 X および Y 間のパネル容量 C_p の電圧 V_{Cp} が接地電位 $GND = 0V$ からクランプ電位 V_s より幾分か低いピーク電圧 V_{pmax} に上昇し、クランプ立ち上がり時間 T_{rc} においてクランプ回路 14 によってクランプ電位 V_s にクランプされて電位 V_s に維持される。

10

【0032】

次に、パルス電力供給および回収回路 11 およびクランプ回路 14 による、1つのパルス P_s についての消費電力または単位時間当たり仕事量を求める。電力を回収しない場合のクランプ電圧 V_s によるパルス P_s に対する消費電力 W_0 は $W_0 = C_p V_s^2$ であり、電力を回収する場合のクランプ電圧 V_s によるパルス P_s に対する消費電力 W_s は $W_s = C_p (V_s - V_{pmax}) V_s$ であり、電力を回収する場合の電力回収用キャパシタ C_r によるパルス P_s に対する消費電力 W_r は $W_r = C_p V_{pmax} V_s$ である。この場合の電力回収効率 は次の式で表される。

20

【0033】

【数1】

$$\begin{aligned} \eta &= \frac{W_r}{W_0} \\ &= 1 - \frac{W_s}{W_0} \\ &= 1 - \frac{C_p (V_s - V_{pmax}) V_s}{C_p V_s^2} \\ &= \frac{V_{pmax}}{V_s} \end{aligned} \quad \dots(1)$$

30

【0034】

パネル容量 C_p の電圧 V_{Cp} は次の式で表される。

【0035】

40

【数 2】

$$V_{Cp} = \frac{V_s}{2} \left(1 - e^{-\alpha t} \left(\frac{\alpha}{\beta} \sin \beta t + \cos \beta t \right) \right),$$

$$\text{ここで } \alpha = \frac{R}{2L}, \quad \beta = \sqrt{\frac{1}{LCp} - \left(\frac{R}{2L} \right)^2} \quad \dots(2)$$

10

【0036】

【数 3】

小さいRについて

$$T_{rm} = \frac{\pi}{\beta} \cong \pi \sqrt{LCp} \quad \dots(3)$$

20

【0037】

【数 4】

$$\begin{aligned} V_{pmax} &= V_p(T_{rm}) \\ &= V_0(1 + e^{-\alpha T_{rm}}) \\ &= \frac{V_s}{2}(1 + e^{-\alpha T_{rm}}) \quad \dots(4) \end{aligned}$$

30

【0038】

回収用キャパシタC_rの安定電圧V_oは、V_o = V_s / 2である。

【0039】

パルスP_sの実効的立ち上がり時間T_{er}は、定電圧源V_sによるクランプ立ち上がり時間T_{rc} = 2 · 2C_pRを加えると、T_{er} = T_{rm} + T_{rc} = T_{rm} + 2 · 2C_pRで表される。例えば、V_s = 200V、R = 0.5、L = 200nH、C_p = 100nFの場合、回収効率 = 78.4%、回収用キャパシタC_rの電圧V_{Cr}による立ち上がり時間T_{rm} = 約450ns、クランプ立ち上がり時間T_{rc} = 約110ns、実効的立ち上がり時間T_{er} = 約560nsとなる。

【0040】

図5Aは、本発明の第1の実施形態による、容量C_pを有する1対または複数対の表示電極XおよびYにパルスP_sの電圧V_sを印加するパルス電圧印加回路602を示している。パルス電圧印加回路602は、パルスP_sの立ち上がりにおいて電力を供給しその立ち下がりにおいて電力を回収するパルス電力供給および回収回路12と、表示電極XおよびYの間の電圧V_{Cp}を所定の電圧V_sおよび0Vにクランプするクランプ回路14と、パルス電力供給および回収回路12およびクランプ回路14におけるスイッチSW1 ~ SW4のオン/オフ動作を制御する信号を発生する制御信号発生回路16と、を含んでいる。スイッチSW1 ~ SW4はトランジスタであってもよい。

40

【0041】

図5Aにおいて、パルス電力供給および回収回路12は、一方の端子が接地点GNDす

50

なわち共通導体電位に結合された電力回収用キャパシタ C_r と、キャパシタ C_r に直列にキャパシタ C_r の一方の端子に負極の一端子が結合された定電圧 $V_a/2$ の補償用電圧源 V_{cm} と、キャパシタ C_r に直列に且つ電圧源 V_{cm} に並列に結合された補償用キャパシタ C_a と、電圧源 V_{cm} の他端子に直列に結合されかつ経路1を形成するように電圧源 V_{cm} の他方の端子にスイッチ SW_1 を介してアノード（陽極）端子が結合されたダイオード D_1 と、キャパシタ C_r に直列に結合されかつ補償用キャパシタ C_a およびダイオード D_1 と並列に経路2を形成するようにキャパシタ C_r の他端子と補償用キャパシタ C_a の一端子の接続点にスイッチ SW_2 を介してカソード（陰極）端子が結合されたダイオード D_2 と、ダイオード D_1 および D_2 の他端子の接続点に一端子が結合され他端子がパネル容量 C_p の1対または複数対の表示電極 X および Y の各対の一方（ X または Y ）に内在する電極抵抗 R を介して結合された共振インダクタ L と、を含んでいる。電力回収用キャパシタ C_r は、1対または複数対の表示電極 X および Y の間のパネル容量 C_p より充分大きい容量 C_r を有する。回収用キャパシタ C_r は、典型的には電解キャパシタとフィルム・キャパシタの組合せからなる。スイッチ SW_1 とダイオード D_1 の配置は入れ替えてもよい。同様に、スイッチ SW_3 とダイオード D_2 の配置は入れ替えてもよい。

10

【0042】

クランプ回路14は、共振インダクタ L の他端子とその電極抵抗 R との接続点にスイッチ SW_2 を介して結合された所定の電圧 V_s の定電圧源 V_s を含み、その接続点をスイッチ SW_4 を介して接地点 GND に結合する。

【0043】

20

図5Bは、本発明の実施形態による、スイッチ $SW_1 \sim SW_4$ を制御するための図5Aの制御信号発生回路16の制御信号 $C_{SW1} \sim C_{SW4}$ のオン/オフの状態と、パルス印加時の表示電極キャパシタ C_p および回収用キャパシタ C_r の両端間の電圧 V_{Cp} および V_{Cr} の概略の波形を示している。

【0044】

図6は、図5Aのパルス電圧印加回路604のパネル容量キャパシタ C_p の両端間のパルス P_s の電圧 V_{Cp} の波形を示している。この場合、パルス P_s の電圧 V_{Cp} の波形は、実効的立ち上がり時間 $T_{er} = T_{rm}$ において、立ち上がりピーク電圧 V'_{pmax} がクランプ電圧 V_s と等しくなるように補償用電圧源 V_{cm} の定電圧 V_a が設定されており、立ち上がり部分に段差のない滑らかなパルス波形が形成される。

30

【0045】

図5Aおよび5Bを参照すると、パルス電圧印加回路602において、図1の表示装置60の電源を投入してキャパシタ C_r が充放電を繰り返した後の定常動作状態において、回収用キャパシタ C_r は概ね電圧 $V_s/2$ を有し、補償用キャパシタ C_a は補償用電圧源 V_{cm} によって充電されて電圧 V_a を有し、パネル容量またはパネル容量 C_p には電荷が蓄積されていないものとする。従って、パネル容量 C_p における電圧 V_{Cp} の値はゼロ（0）である。

【0046】

図5A、5Bおよび6を参照すると、パルス P_s の立ち上がりの開始のタイミング t_1 において、制御信号 C_{SW1} に従ってスイッチ SW_1 がターンオンすると、キャパシタ C_r から補償用キャパシタ C_a 、スイッチ SW_1 、ダイオード D_1 および共振インダクタ L を介してパネル容量 C_p に供給電流が流れ、電荷 $q = C_p V_s$ がパネル容量 C_p に蓄積され、パネル容量 C_p の電圧 V_{Cp} が上昇し、パルス P_s の立ち上がり形成される。パネル容量 C_p の電圧 V_{Cp} がピーク電圧 V'_{pmax} に達したとき、制御信号 C_{SW2} に従ってタイミング t_2 においてクランプ回路14のスイッチ SW_2 がターンオンされる。そのピーク電圧 V_{pmax} は電圧 V_s に実質的に等しい（ $V'_{pmax} = V_s$ ）。定電圧源 V_{cm} および補償用キャパシタ C_a の電圧 V_a の印加によって、電極抵抗 R による電圧降下分である図4の電圧差 $V_s - V_{pmax}$ が補償され、図6ではピーク電圧 $V'_{pmax} = V_s$ となる。図4における電圧 V_{Cp} がピーク電圧 V_{pmax} に達してからさらに電圧 V_s に達するまでの遅延時間は存在しない。クランプ回路14の電圧源 V_s は、サステイン放電が生

40

50

じるタイミング t_2 と t_3 の間において、パネル容量 C_p の電圧 V_{Cp} を電圧 V_s にクランプし、パネル容量 C_p の電圧 V_{Cp} を電圧 V_s に維持する。サステイン放電の後、制御信号 C_{sw1} および C_{sw2} に従ってスイッチ SW_1 および SW_2 がターンオフされる。

【0047】

パルス P_s の立ち下がりの開始のタイミング t_3 において、制御信号 C_{sw3} に従ってスイッチ SW_3 がターンオンされると、パネル容量 C_p から共振インダクタ L 、ダイオード D_2 およびスイッチ SW_3 を介して回収用キャパシタ C_r に還流電流が流れ、電荷 $q \sim C_p V_s$ が回収用キャパシタ C_r に蓄積され、パネル容量 C_p の電圧が下降し、パルス P_s の立ち下がりが形成される。パネル容量 C_p の電圧 V_{Cp} がピーク電圧 V'_{pmin} に達したとき、タイミング t_4 において制御信号 C_{sw4} に従ってスイッチ SW_4 がターンオンされる。そのピーク電圧 V'_{pmin} は接地電位 GND または $0V$ より僅かに高い。クランプ回路 14 の接地点 GND は、パネル容量 C_p の電圧 V_{Cp} を接地電位 GND または $0V$ にクランプする。このようにして、パネル容量 C_p に蓄積された電荷すなわち電力の大部分がキャパシタ C_r に回収される。その後、同様の動作が繰り返される。

10

【0048】

次に、1つのパルス P_s についての消費電力を求める。電力を回収しない場合のクランプ電圧 V_s による消費電力 W_0 は $W_0 = C_p V_s^2$ であり、電力を回収する場合のクランプ電圧 V_s による消費電力 W_s は $W_s = C_p (V_s - V'_{pmax}) V_s$ であり、電力を回収する場合の電圧源 V_{cm} による消費電力 W_a は $W_a = C_p V'_{pmax} V_a$ で表される。この場合の回収効率 η' は次の式で表される。

20

【0049】

【数5】

$$\begin{aligned} \eta' &= \frac{W_0 - W_s - W_a}{W_0} \\ &= \frac{V'_{pmax} V_s - V'_{pmax} V_a}{V_s^2} \\ &= \frac{V'_{pmax} (V_s - V_a)}{V_s^2} \\ &= \frac{V'_{pmax}}{V_s} \left(1 - \frac{V_a}{V_s} \right) \end{aligned} \quad \dots(5)$$

30

【0050】

回収用キャパシタ C_r と補償用キャパシタ C_a の接続点における電気的エネルギーの供給量と受け取り量は互いに等しいので、回収用キャパシタ C_r と補償用キャパシタ C_a の接続点における安定電位 V_1 、および補償用キャパシタ C_a とスイッチ SW_1 の接続点における安定電位 V_2 は、次の式で表される。

40

【0051】

【数6】

$$\begin{aligned} V_1 &= \frac{V_s}{2} + \frac{V_a}{2} \\ V_2 &= \frac{V_s}{2} - \frac{V_a}{2} \end{aligned} \quad \dots(6)$$

50

【 0 0 5 2 】

ここで、電力回収時の立ち下がりピーク電圧 V'_{pmin} の立ち下がりの大きさ V_{pmax} は次の式で表される。

【 0 0 5 3 】

【数 7】

$$V_{pmax} = \left(\frac{Vs}{2} + \frac{Va}{2} \right) (1 + e^{-\alpha Trm}) \quad \dots(7)$$

10

【 0 0 5 4 】

従って、図 5 A の回路 1 2 の回収効率 η' と図 3 A の従来技術の回路 1 1 の回収効率との比は、次の式で表される。

【 0 0 5 5 】

【数 8】

$$\frac{\eta'}{\eta} = \frac{Vs + Va}{Vs} \left(1 - \frac{Va}{Vs} \right) = 1 - \left(\frac{Va}{Vs} \right)^2 \quad \dots(8)$$

20

【 0 0 5 6 】

従って、このパルス電力供給および回収回路 1 2 および条件による回収効率 η' は従来技術のパルス電力供給および回収回路 1 1 の回収効率 η より僅かに低下するが、実効的立ち上がり時間 T_{er} は同じである。

【 0 0 5 7 】

次に、立ち上がりピーク電圧 V'_{pmax} とクランプ電圧 V_s が等しくなるように決定された補償用電源 V_{cm} の定電圧 $V_a/2$ に対する回収効率 η' を考える。例えば、 $V_s = 200V$ 、 $L = 200nH$ 、 $R = 0.5$ 、 $C_p = 100nF$ について、立ち上がりピーク電圧 $V'_{pmax} = V_s$ を満たす定電圧 V_a は、上述の式 6 より $V_a =$ 約 $27.5V$ となる。このとき、回収効率 $\eta' =$ 約 72.5% 、実効的立ち上がり時間 $T_{er} = T_{rm} + 0 =$ 約 $450ns$ となる。一方、図 3 A の従来技術のパルス電力供給および回収回路 1 1 において $L = 450ns$ とした場合、 $L =$ 約 $110nH$ 、回収効率 $\eta = 73.1\%$ である。

30

【 0 0 5 8 】

図 7 は、従来技術のパルス電力供給および回収回路 1 1 と、立ち上がりピーク電圧 V'_{pmax} とクランプ電圧 V_s が等しくなるように電源 V_{cm} の定電圧 V_a を設定した場合の、図 5 A のパルス電力供給および回収回路 1 2 とによる、実効的立ち上がり時間 T_{er} に対する回収効率 η' および η の比較を示している。

【 0 0 5 9 】

従って、図 5 A において、立ち上がりピーク電圧 $V'_{pmax} = V_s$ となるように補償用電源 V_{cm} を定電圧 V_a とすることによって、回収効率 η' および実効的立ち上がり時間 T_{rm} が従来のものであってもかかわらず、段差のない滑らかな駆動波形を有するパルス P_s を生成することができる。

40

【 0 0 6 0 】

パルス電力供給および回収回路 1 2 において、パルス P_s が立ち上がり部分に段差がなく滑らかな波形を有する場合は、スイッチ SW_2 におけるスイッチング損失（ターンオン抵抗）がないので、図 3 A の従来技術のパルス電力供給および回収回路 1 1 の回収効率より、実効的回収効率 η' は高くなる。

【 0 0 6 1 】

50

図8は、図5Aのパルス電圧印加回路602を変形した本発明の第2の実施形態による、パネル容量 C_p を有する1対または複数対の表示電極XおよびYにパルス P_s の電圧 V_s を印加するパルス電圧印加回路604を示している。図8において、図5AのインダクタLが異なるインダクタンスを有するそれぞれ経路1および2用のインダクタL1およびL2に置き換えられている。インダクタL1は図5AのインダクタLと同じインダクタンスを有し、インダクタL2はインダクタL1より大きいインダクタンスを有する($L_1 < L_2$)。インダクタL1はその一端子がダイオードD1のカソードに結合されて経路1の一部を形成し、インダクタL2はその一端子がダイオードD2のアノードに結合されて経路2の一部を形成し、インダクタL1とL2の他端子の接続点は表示電極XおよびYの一方すなわちパネル容量 C_p に結合される。パルス電圧印加回路604のその他の構成は、

10

【0062】

図8において、パルス電力供給および回収回路13は、図5Aのパルス電力供給および回収回路12と同様の、電力回収用キャパシタ C_r と、定電圧 V_a の補償用電圧源 V_{cm} と、補償用キャパシタ C_a と、経路1を形成するように電圧源 V_{cm} の他方の端子にスイッチ SW_1 を介してアノード端子が結合されたダイオードD1と、キャパシタ C_r に直列に結合されかつ補償用キャパシタ C_a およびダイオードD1と並列に経路2を形成するようにキャパシタ C_r の他端子と補償用キャパシタ C_a の一端子の接続点にスイッチ SW_2 を介してカソード端子が結合されたダイオードD2と、を含み、経路1を形成するようにダイオードD1のカソード端子に一端子が結合され他端子がパネル容量 C_p の1対または

20

【0063】

図9は、図8のパルス電圧印加回路604において、立ち下がりピーク電圧の大きさ V'_{pmax} がクランプ電圧 V_s と等しく立ち下がりピーク電位 V''_{min} が共通導体電位 GND と等しくなるように電氣的エネルギー回収経路2の共振インダクタL2のインダクタンスを設定した場合における、立ち上がりおよび立ち下がり部分に段差のない滑らかな波形を有するパルス P_s を示している。

30

【0064】

パルス電圧印加回路604では、経路2のインダクタL2がインダクタL1より大きいインダクタンスを有するので、タイミング t_3 からピーク電圧 V'_{pmin} までの立ち下がり時間は幾分か長くなるが、ピーク電圧の大きさが大きくなって、ピーク電圧 V'_{pmin} は接地電位 GND の0Vに達し、ピーク電圧 V'_{pmin} に達してから接地電位 GND に達するまでの遅延時間は存在しない。この場合、実効的立ち下がり時間 T_{ef} は実効的立ち上がり時間 T_{er} より長くなる。

40

【0065】

次に、1つのパルス P_s についての消費電力を求める。電力を回収しない場合のクランプ電圧 V_s による消費電力 W_0 は $W_0 = C_p V_s^2$ であり、電力を回収する場合のクランプ電圧 V_s による消費電力 W_s は $W_s = 0$ であり、電力を回収する場合の補償用キャパシタ C_a による消費電力 W_a は $W_a = C_p V''_{pmax} V_a = C_p V_s V_a$ である。この場合の回収効率 η は次の式で表される。

【0066】

【数 9】

$$\begin{aligned}\eta'' &= 1 - \frac{W_a}{W_o} \\ &= 1 - \frac{V_a}{V_o}\end{aligned}\quad \dots(9)$$

【0067】

10

補償用キャパシタ C a とスイッチ S W 1 の接続点における安定電位 V₁ は、次の式で表される。

【0068】

【数 10】

$$V_1 = V_s \left(\frac{1}{1 + e^{-\alpha_1 T r m_1}} \right)\quad \dots(10)$$

20

【0069】

回収用キャパシタ C r と補償用キャパシタ C a の接続点における安定電位 V₂ は、V₂ の点におけるエネルギーの出入りが等しいので、次の式で表される。

【0070】

【数 11】

$$V_2 = V_s \left(1 - \frac{1}{1 + e^{-\alpha_2 T r m_2}} \right)\quad \dots(11)$$

30

【0071】

補償用キャパシタ C a の両端間における安定電圧 V_a は次の式で表される。

【0072】

【数 12】

$$\begin{aligned}V_a &= V_1 - V_2 \\ &= V_s \left(\frac{1}{1 + e^{-\alpha_1 T r m_1}} + \frac{1}{1 + e^{-\alpha_2 T r m_2}} - 1 \right)\end{aligned}\quad \dots(12)$$

40

【0073】

図 10 は、従来技術のパルス電圧印加回路 11 と、立ち上がりピーク電圧 V' p m a x とクランプ電圧 V_s が等しくなるように補償用電源 V_{c m} の定電圧 V_a を設定し、かつ立

50

ち下がりピーク電位 V'_{min} が接地電位 GND と等しくなるように設定した場合の図 8 のパルス電圧印加回路 13 による、実効的立ち上がり時間 T_{er} に対する回収効率 および ” の比較を示している。図 8 のパルス電圧印加回路 13 では、回収効率 ” は、従来のパルス電圧印加回路 11 の効率 より高くなっている。

【 0074 】

従って、図 8 の第 2 の実施形態によれば、電気的エネルギーの回収効率を増加させることができる上に、表示電極 X および Y に印加するパルス P_s の立ち上がり時間を短くすることができる。これによって、表示電極 X および Y へのパルス印加の開始から放電までの遅延を短くでき、従って放電の発生を安定させることができる。また、表示電極 X および Y に印加するパルス P_s の幅を小さくことができ、従って所定期間内により多数のパルス P_s の位置を確保することによって表示装置 60 の表示品質を向上させることができる。

10

【 0075 】

図 11A は、図 6 のパルス P_s の変形であり、階段状の波形を有する別のパルス P_s を示している。図 11B は、図 9 のパルス P_s の変形であり、階段状の波形を有するさらに別のパルス P_s を示している。

【 0076 】

図 12 は、図 5A のパルス電圧印加回路 602 を変形した本発明のさらに別の実施形態による、パネル容量 C_p を有する 2 ブロックの表示電極対 X および Y にそれぞれパルス P_s の電圧 V_s を交互に印加するパルス電圧印加回路 606 を示している。

20

【 0077 】

図 12 において、パルス電圧印加回路 606 は、パルス P_s の立ち上がりにおいて電力を供給しその立ち下がりにおいて電力を回収するパルス電力供給および回収回路 120 と、表示電極 X および Y の間の電圧 V_{cp} を所定の電圧 V_s および $0V$ にクランプするクランプ回路 140 と、パルス電力供給および回収回路 120 およびクランプ回路 140 におけるスイッチ SW_1 、 SW_2 、... SW_4' のオン/オフ動作を制御する信号を発生する制御信号発生回路 160 と、を含んでいる。パルス電力供給および回収回路 120 およびクランプ回路 140 は、補償用電源 V_m および V_m' および補償用キャパシタ C_a および C_a' に関して対称である。

【 0078 】

30

パルス電力供給および回収回路 120 において、パネル容量 C_p に対してパネル容量 C_p' が図 5A の回収用キャパシタ C_r として機能し、パネル容量 C_p' に対してパネル容量 C_p が図 5A の回収用キャパシタ C_r として機能する。パネル容量 C_p に電気的エネルギーを供給するための経路 1 を形成するように、パネル容量 C_p' に結合されたインダクタ L' と、ダイオード D_2' と、並列に結合された補償用電圧源 V_{cm} および補償用キャパシタ C_a と、スイッチ SW_1 と、パネル容量 C_p に結合されたダイオード D_1 とが、直列に結合されている。また、パネル容量 C_p' に電気的エネルギーを供給するための経路 2 を形成するように、パネル容量 C_p に結合されたインダクタ L と、ダイオード D_2 と、並列に結合された補償用電圧源 V_{cm}' および補償用キャパシタ C_a' と、スイッチ SW_1' と、パネル容量 C_p' に結合されたダイオード D_1' とが、直列に結合されている。

40

【 0079 】

クランプ回路 140 は、2 組のクランプ回路、即ち、スイッチ SW_2 を介してパネル容量 C_p に結合された定電圧源 V_s 、スイッチ SW_4 を介してパネル容量 C_p に結合された接地電位 GND 、スイッチ SW_2' を介してパネル容量 C_p' に結合された定電圧源 V_s 、およびスイッチ SW_4' を介してパネル容量 C_p' に結合された接地電位 GND を含んでいる。

【 0080 】

以上、PDP について説明したが、本発明は、これに限定されることなく、例えば、有機および無機 EL、および電圧の印加により電荷を蓄積することで文字などを表示させる電子ペーパーにも適用可能である。

50

【0081】

以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素を組み合わせることで、その変形およびバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理および請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

【図面の簡単な説明】

【0082】

【図1】図1は、本発明の実施形態による、典型例の表示装置の構成を示している。

【図2】図2は、本発明の実施形態による、Xドライバ回路、Yドライバ回路およびAドライバ回路の出力駆動電圧波形の概略的な駆動シーケンスを例示している。

10

【図3】図3Aは、サステイン回路に用いられる、電気的エネルギー回収すなわち電力回収機能を有する通常のパルス電力供給および回収回路と、クランプ回路とを示している。図3Bは、図3Aのパルス電力供給および回収回路とクランプ回路のスイッチの状態と、パルス印加時の表示電極キャパシタおよび回収用キャパシタの両端間の電圧およびの変化とを示している。

【図4】図4は、パネル容量 C_p の両端間のパルスの電圧のより詳しい通常の波形を示している。

【図5A】図5Aは、本発明の実施形態による、パネル容量 C_p を有する1対または複数対の表示電極XおよびYにパルス電圧を印加するパルス電圧印加回路を示している。

【図5B】図5Bは、本発明の実施形態による、スイッチを制御するための図5Aの制御信号発生回路の制御信号のオン/オフの状態と、パルス印加時の表示電極キャパシタおよび回収用キャパシタの両端間の電圧およびの概略の波形を示している。

20

【図6】図6は、図5Aのパルス電圧印加回路の表示電極キャパシタの両端間のパルスの電圧の波形を示している。

【図7】図7は、従来技術のパルス電力供給および回収回路と、立ち上がりピーク電圧とクランプ電圧が等しくなるように補償用電源の定電圧を設定した場合の、図5Aのパルス電力供給および回収回路とによる、実効的立ち上がり時間に対する回収効率の比較を示している。

【図8】図8は、図5Aのパルス電圧印加回路を変形した本発明の別の実施形態による、パネル容量 C_p を有する1対または複数対の表示電極にパルスの電圧を印加するパルス電圧印加回路を示している。

30

【図9】図9は、立ち下がりピーク電位が共通導体電位と等しくなるように電気的エネルギー回収経路の共振インダクタのインダクタンスを設定した場合における、立ち上がり部分に段差のない滑らかな波形を有するパルスを示している。

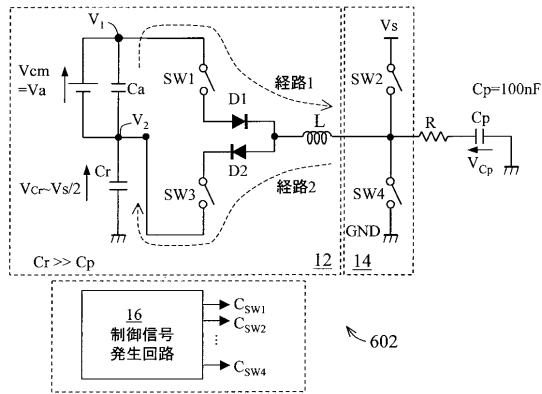
【図10】図10は、従来技術のパルス電圧印加回路と、立ち上がりピーク電圧とクランプ電圧が等しくなるように補償用電源の定電圧を設定し、かつ立ち下がりピーク電位が共通導体電位と等しくなるように設定した場合の図8のパルス電圧印加回路とによる、実効的立ち上がり時間に対する回収効率の比較を示している。

【図11】図11Aは、図6のパルスの変形であり、階段状の波形を有する別のパルスを示している。図11Bは、図9のパルスの変形であり、階段状の波形を有するさらに別のパルスを示している。

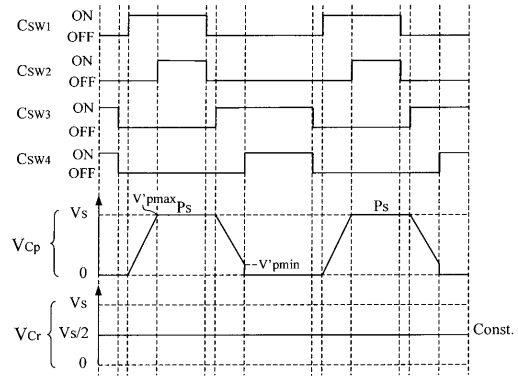
40

【図12】図12は、図5Aのパルス電圧印加回路を変形した本発明の別の実施形態による、2ブロックの表示電極対にそれぞれパルスの電圧を交互に印加するパルス電圧印加回路を示している。

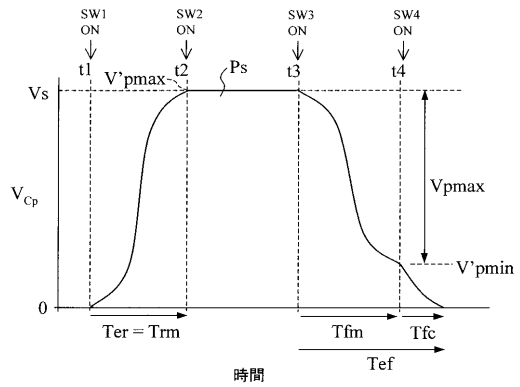
【図5A】



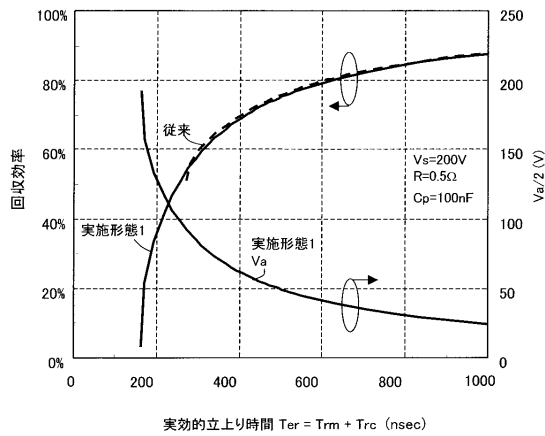
【図5B】



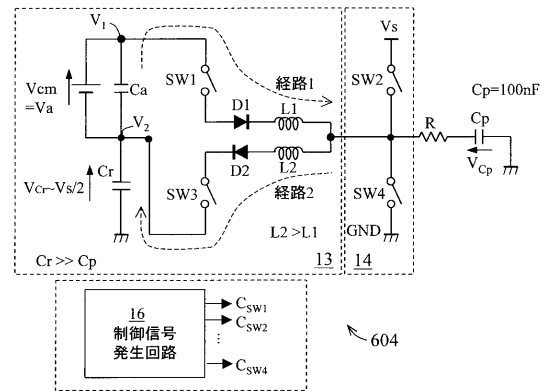
【図6】



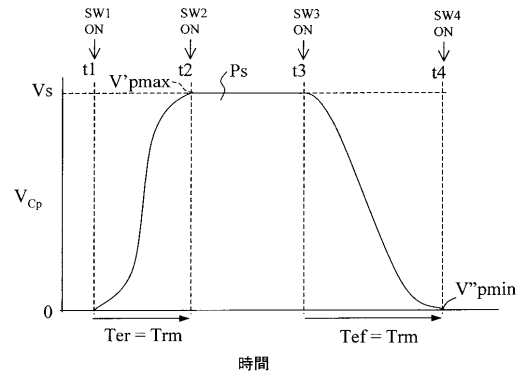
【図7】



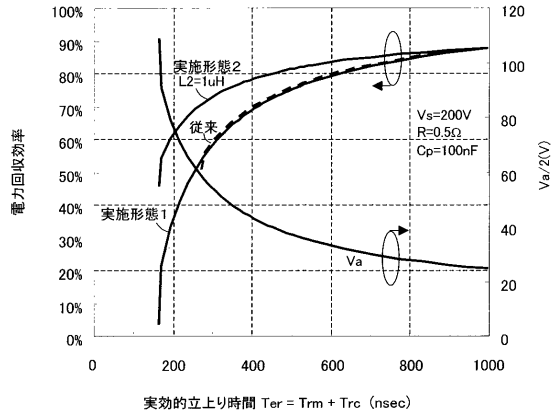
【図8】



【図9】



【図10】



【図11】

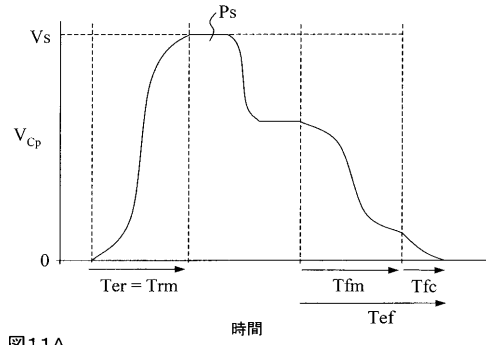


図11A

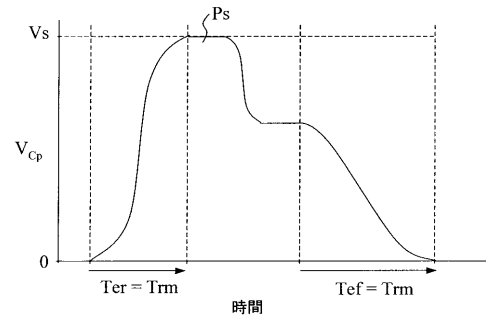
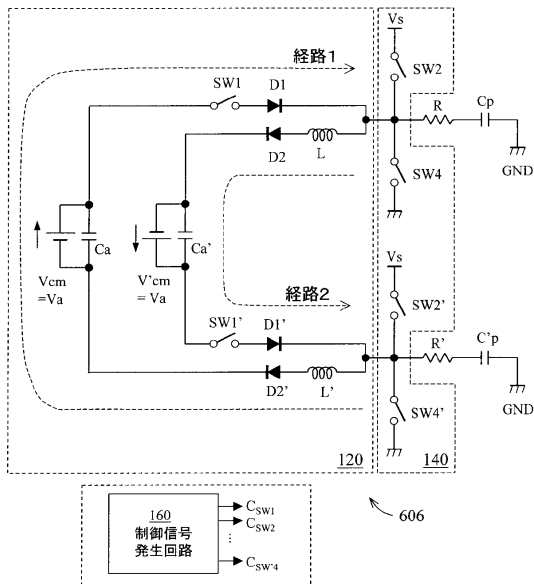


図11B

【図12】



フロントページの続き

- (51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 M
G 0 9 G 3/20 6 2 4 N
G 0 9 G 3/20 6 2 4 P
- (72)発明者 小坂 忠義
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 温水 寛介
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 崎田 康一
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 岩佐 誠一
日本国神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 橋本 直明

- (56)参考文献 特開2001-056666(JP,A)
特開平09-325735(JP,A)
特開2003-318716(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/28
G09G 3/20