

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年9月25日(2014.9.25)

【公開番号】特開2012-160247(P2012-160247A)

【公開日】平成24年8月23日(2012.8.23)

【年通号数】公開・登録公報2012-033

【出願番号】特願2011-182321(P2011-182321)

【国際特許分類】

G 1 1 C	11/405	(2006.01)
G 1 1 C	11/407	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	21/8242	(2006.01)
H 0 1 L	27/108	(2006.01)
H 0 1 L	27/10	(2006.01)

【F I】

G 1 1 C	11/34	3 5 2 B
G 1 1 C	11/34	3 5 4 D
H 0 1 L	29/78	6 1 3 B
H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	3 7 1
H 0 1 L	27/10	4 3 4
H 0 1 L	27/10	3 2 1
H 0 1 L	27/10	4 8 1

【手続補正書】

【提出日】平成26年8月8日(2014.8.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置の駆動方法であって、

前記半導体装置は、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第1

のトランジスタと、第2のトランジスタと、容量素子とを有し、

前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのソ

ース又はドレインの一方とは、前記第1の配線に電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2の配線に電気的に接
続され、

前記第2のトランジスタのゲートは、前記第3の配線に電気的に接続され、

前記容量素子の一方の電極は、前記第4の配線に電気的に接続され、

前記第1のトランジスタのゲートと、前記第2のトランジスタのソース又はドレインの
他方と、前記容量素子の他方の電極とは、電気的に接続され、

書き込み期間において、前記第3の配線に前記第2のトランジスタがオン状態となる電位を供給し、前記第2の配線に接地電位を供給して、前記第1のトランジスタのゲートに電荷を蓄積し、

前記書き込み期間に続く保持期間において、前記第3の配線と、前記第4の配線とに接地電位を供給し、且つ、前記第1の配線と、前記第2の配線とに同電位を供給して、前記第1のトランジスタのゲートに蓄積された電荷を保持する半導体装置の駆動方法。

【請求項2】

半導体装置の駆動方法であって、

前記半導体装置は、第1の配線と、第2の配線と、複数の第3の配線と、複数の第4の配線と、複数のメモリセルとを有し、

前記メモリセルの一において、

前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのソース又はドレインの一方とは、前記第1の配線に電気的に接続され、

前記第2のトランジスタのゲートは、前記複数の第3の配線の一に電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2の配線に電気的に接続され、

前記容量素子の一方の電極は、前記複数の第4の配線の一に電気的に接続され、

前記第1のトランジスタのゲートと、前記第2のトランジスタのソース又はドレインの他方と、前記容量素子の他方の電極とは、電気的に接続され、

書き込み期間において、

前記複数の第3の配線のそれぞれに、前記複数のメモリセルにそれぞれ含まれる前記第2のトランジスタがオン状態となる電位を供給し、前記第2の配線に接地電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第1のトランジスタのゲートに電荷を蓄積し、

前記書き込み期間に続く保持期間において、

前記複数の第3の配線と、前記複数の第4の配線とのそれぞれに、接地電位を供給し、前記第1の配線と前記第2の配線とに同電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第1のトランジスタのゲートに蓄積された電荷を保持し、

読み出し期間において、

非選択とするメモリセルの一と電気的に接続された前記複数の第4の配線の一に電源電位を供給し、選択するメモリセルの一と電気的に接続された前記複数の第4の配線の他の一に接地電位を供給して、前記選択するメモリセルの一に含まれる前記第1のトランジスタのゲートに保持された電荷を読み出す半導体装置の駆動方法。

【請求項3】

請求項1又は2において、

前記保持期間に、前記第1の配線と、前記第2の配線とに接地電位を供給する半導体装置の駆動方法。

【請求項4】

半導体装置の駆動方法であって、

前記半導体装置は、複数の第1の配線と、第2の配線と、複数の第3の配線と、複数の第4の配線と、複数のメモリセルとを有し、

前記メモリセルの一において、

前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのソース又はドレインの一方とは、前記複数の第1の配線の一と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2の配線に電気的に接続され、

前記第2のトランジスタのゲートは、前記複数の第3の配線の一に電気的に接続され、

前記容量素子の一方の電極は、前記複数の第4の配線の一に電気的に接続され、

前記第1のトランジスタのゲートと、前記第2のトランジスタのソース又はドレインの他方と、前記容量素子の他方の電極とは、電気的に接続され

書き込み期間において、

前記複数の第3の配線のそれぞれに、前記複数のメモリセルにそれぞれ含まれる前記第2のトランジスタがオン状態となる電位を供給し、前記第2の配線に接地電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第1のトランジスタのゲートに電荷を蓄積し、

前記書き込み期間に続く保持期間において、

前記複数の第3の配線と、前記複数の第4の配線と、のそれぞれに、接地電位を供給し、前記複数の第1の配線と前記第2の配線とに同電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第1のトランジスタのゲートに蓄積された電荷を保持し、

読み出し期間において、

非選択とするメモリセルの一と電気的に接続された前記複数の第4の配線の一に電源電位を供給し、選択するメモリセルの一と電気的に接続された前記複数の第4の配線の他の一に接地電位を供給して、前記選択するメモリセルの一に含まれる前記第1のトランジスタのゲートに保持された電荷を読み出す半導体装置の駆動方法。

【請求項5】

請求項4において、

前記保持期間に、前記複数の第1の配線と、前記第2の配線とに接地電位を供給する半導体装置の駆動方法。