



(12) 发明专利申请

(10) 申请公布号 CN 120113358 A

(43) 申请公布日 2025. 06. 06

(21) 申请号 202480004517.X

(22) 申请日 2024.02.29

(30) 优先权数据

2023-080573 2023.05.16 JP

(85) PCT国际申请进入国家阶段日

2025.04.22

(86) PCT国际申请的申请数据

PCT/JP2024/007636 2024.02.29

(87) PCT国际申请的公布数据

W02024/236880 JA 2024.11.21

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 村松彻 内藤达也 樱井洋辅

(74) 专利代理机构 北京铭硕知识产权代理有限公司

11286

专利代理师 金玉兰 周爽

(51) Int.Cl.

H10D 84/82 (2025.01)

H01L 21/76 (2006.01)

H10D 12/00 (2025.01)

H10D 8/00 (2025.01)

H10D 8/50 (2025.01)

H10D 62/80 (2025.01)

H10D 84/01 (2025.01)

权利要求书2页 说明书12页 附图9页  
按照条约第19条修改的权利要求书2页

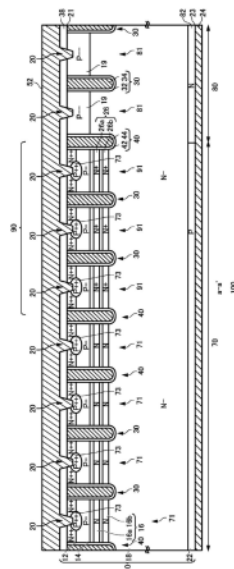
(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,该半导体装置具备晶体管部和二极管部,该半导体装置具备:多个沟槽部,其设置于半导体基板的正面,并且包括栅极沟槽部;第一导电型的漂移区,其设置于所述半导体基板;第二导电型的基区,其设置于所述漂移区的上方;第一导电型的发射区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;第一导电型的第一蓄积区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;以及第二导电型的接触区,其设置于所述基区的上方,并且掺杂浓度比所述基区的掺杂浓度高,所述晶体管部具有边界区,该边界区包括被所述多个沟槽部夹着的边界台面部,并与所述二极管部邻接地设置,所述边界区包括:所述发射区,其设置于所述边界台面部;第一导电型的第二蓄积区,其设置于所述边界台面部,并且掺杂浓度比所述第一蓄积区的掺杂浓度高;以及所述栅极沟槽部,其与所述边界

台面部接触地设置。



1. 一种半导体装置,其特征在于,具备晶体管部和二极管部,所述半导体装置具备:
  - 多个沟槽部,其设置于半导体基板的正面,并且包括栅极沟槽部;
  - 第一导电型的漂移区,其设置于所述半导体基板;
  - 第二导电型的基区,其设置于所述漂移区的上方;
  - 第一导电型的发射区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;
  - 第一导电型的第一蓄积区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;以及
  - 第二导电型的接触区,其设置于所述基区的上方,并且掺杂浓度比所述基区的掺杂浓度高,所述晶体管部具有边界区,该边界区包括被所述多个沟槽部夹着的边界台面部,并与所述二极管部邻接地设置,
  - 所述边界区包括:
    - 所述发射区,其设置于所述边界台面部;
    - 第一导电型的第二蓄积区,其设置于所述边界台面部,并且掺杂浓度比所述第一蓄积区的掺杂浓度高;以及
  - 所述栅极沟槽部,其与所述边界台面部相接地设置。
2. 根据权利要求1所述的半导体装置,其特征在于,所述第二蓄积区的掺杂浓度比所述发射区的掺杂浓度低。
3. 根据权利要求1所述的半导体装置,其特征在于,所述第二蓄积区的掺杂浓度为 $1E16\text{cm}^{-3}$ 以上且 $1E20\text{cm}^{-3}$ 以下。
4. 根据权利要求1所述的半导体装置,其特征在于,所述第二蓄积区在所述半导体基板的深度方向上具有多个掺杂浓度的峰。
5. 根据权利要求1所述的半导体装置,其特征在于,所述第二蓄积区在所述半导体基板的深度方向上具有一个掺杂浓度的峰。
6. 根据权利要求5所述的半导体装置,其特征在于,在所述半导体基板的深度方向上,所述第二蓄积区的厚度为 $0.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。
7. 根据权利要求1所述的半导体装置,其特征在于,所述二极管部不具有所述第一蓄积区和所述第二蓄积区中的任一者。
8. 根据权利要求1所述的半导体装置,其特征在于,在所述多个沟槽部的沟槽排列方向上,所述边界台面部的台面宽度比除所述边界台面部以外的台面部的台面宽度大。
9. 根据权利要求1所述的半导体装置,其特征在于,在所述多个沟槽部的沟槽排列方向上,所述边界区的宽度为 $30\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下。
10. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,所述半导体装置具备设置于所述半导体基板的所述正面的沟槽接触部。
11. 根据权利要求10所述的半导体装置,其特征在于,在所述晶体管部中,在所述半导体基板的深度方向上,所述沟槽接触部的下端的位置

比所述发射区的下端的位置浅。

12. 根据权利要求10所述的半导体装置,其特征在于,

所述半导体装置具备第二导电型的插塞区,该第二导电型的插塞区与所述沟槽接触部的底面相接地设置,并且掺杂浓度比所述基区的掺杂浓度高。

13. 根据权利要求12所述的半导体装置,其特征在于,

在所述晶体管部中,所述插塞区在所述多个沟槽部的沟槽延伸方向上延伸地设置。

14. 根据权利要求12所述的半导体装置,其特征在于,

在所述二极管部中,所述插塞区在所述多个沟槽部的沟槽延伸方向上离散地设置。

15. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述二极管部在所述半导体基板的背面具备第一导电型的阴极区,该第一导电型的阴极区的掺杂浓度比所述漂移区的掺杂浓度高,

所述阴极区包括第一导电型的第一阴极部和第二导电型的第二阴极部。

16. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述半导体装置在所述二极管部中具备第二导电型的阳极区,该第二导电型的阳极区设置于比所述漂移区更靠所述半导体基板的正面侧的位置。

17. 根据权利要求16所述的半导体装置,其特征在于,

所述阳极区的掺杂浓度比所述基区的掺杂浓度低。

18. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

在所述半导体基板的内部不具有寿命控制体区域。

## 半导体装置

### 技术领域

[0001] 本发明涉及半导体装置。

### 背景技术

[0002] 在专利文献1中记载了“窄幅台面部61中的蓄积区16的掺杂浓度的峰值可以比台面部60中的蓄积区16的掺杂浓度的峰值高”。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:国际公开第2019-220940号

[0006] 专利文献2:日本特开2020-177973号

[0007] 专利文献3:国际公开第2018-030440号

### 发明内容

[0008] 技术问题

[0009] 期望在维持半导体装置的有源区的同时,降低反向恢复损耗。

[0010] 技术方案

[0011] 在本发明的第一方式中,提供一种半导体装置,其具备晶体管部和二极管部,该半导体装置具备:多个沟槽部,其设置于半导体基板的正面,并且包括栅极沟槽部;第一导电型的漂移区,其设置于所述半导体基板;第二导电型的基区,其设置于所述漂移区的上方;第一导电型的发射区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;第一导电型的第一蓄积区,其设置于所述基区的上方,并且掺杂浓度比所述漂移区的掺杂浓度高;以及第二导电型的接触区,其设置于所述基区的上方,并且掺杂浓度比所述基区的掺杂浓度高。所述晶体管部可以具有边界区,该边界区包括被所述多个沟槽部夹着的边界台面部,并与所述二极管部邻接地设置。所述边界区可以包括:所述发射区,其设置于所述边界台面部;第一导电型的第二蓄积区,其设置于所述边界台面部,并且掺杂浓度比所述第一蓄积区的掺杂浓度高;以及所述栅极沟槽部,其与所述边界台面部相接地设置。

[0012] 在上述半导体装置中,所述第二蓄积区的掺杂浓度可以比所述发射区的掺杂浓度低。

[0013] 在上述任一半导体装置中,所述第二蓄积区的掺杂浓度可以为 $1E16\text{cm}^{-3}$ 以上且 $1E19\text{cm}^{-3}$ 以下。

[0014] 在上述任一半导体装置中,所述第二蓄积区可以在所述半导体基板的深度方向上具有多个掺杂浓度的峰。

[0015] 在上述任一半导体装置中,所述第二蓄积区可以在所述半导体基板的深度方向上具有一个掺杂浓度的峰。

[0016] 在上述任一半导体装置中,在所述半导体基板的深度方向上,所述第二蓄积区的厚度可以为 $0.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。

- [0017] 在上述任一半导体装置中,所述二极管部可以不具有所述第一蓄积区和所述第二蓄积区中的任一者。
- [0018] 在上述任一半导体装置中,在所述多个沟槽部的沟槽排列方向上,所述边界台面部的台面宽度可以比除所述边界台面部以外的台面部的台面宽度大。
- [0019] 在上述任一半导体装置中,在所述多个沟槽部的沟槽排列方向上,所述边界区的宽度可以为 $30\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下。
- [0020] 在上述任一半导体装置中,可以具备设置于所述半导体基板的所述正面的沟槽接触部。
- [0021] 在上述任一半导体装置中,在所述晶体管部中,在所述半导体基板的深度方向上,所述沟槽接触部的下端的位置可以比所述发射区的下端的位置浅。
- [0022] 在上述任一半导体装置中,可以具备第二导电型的插塞区,该第二导电型的插塞区与所述沟槽接触部的底面相接地设置,并且掺杂浓度比所述基区的掺杂浓度高。
- [0023] 在上述任一半导体装置中,在所述晶体管部中,所述插塞区可以在所述多个沟槽部的沟槽延伸方向上延伸地设置。
- [0024] 在上述任一半导体装置中,在所述二极管部中,所述插塞区可以在所述多个沟槽部的沟槽延伸方向上离散地设置。
- [0025] 在上述任一半导体装置中,所述二极管部在所述半导体基板的背面具备第一导电型的阴极区,该第一导电型的阴极区的掺杂浓度比所述漂移区的掺杂浓度高,所述阴极区可以包括第一导电型的第一阴极部和第二导电型的第二阴极部。
- [0026] 在上述任一半导体装置中,所述半导体装置在所述二极管部中可以具备第二导电型的阳极区,该第二导电型的阳极区设置于比所述漂移区更靠所述半导体基板的正面侧的位置。
- [0027] 在上述任一半导体装置中,所述阳极区的掺杂浓度可以比所述基区的掺杂浓度低。
- [0028] 在上述任一半导体装置中,在所述半导体基板的内部可以不具有寿命控制体区域。
- [0029] 应予说明,上述发明内容并没有列举出本发明的全部特征。另外,这些特征组的子组合也能够另外成为发明。

#### 附图说明

- [0030] 图1示出半导体装置100的俯视图的一例。
- [0031] 图2A示出半导体装置100的截面的一例。
- [0032] 图2B示出半导体装置100的截面的一例。
- [0033] 图2C示出半导体装置100的截面的一例。
- [0034] 图3示出半导体装置200的截面的一例。
- [0035] 图4A示出比较例的半导体装置500的俯视图的一例。
- [0036] 图4B示出比较例的半导体装置500的截面的一例。
- [0037] 图4C示出比较例的半导体装置600的截面的一例。
- [0038] 图5表示稳态损耗与反向恢复损耗之间的关系。

[0039] 符号说明

[0040] 10···半导体基板、12···发射区、14···基区、15···接触区、16···第一蓄积区、17···阱区、18···漂移区、19···阳极区、20···沟槽接触部、21···正面、22···集电区、23···背面、24···集电电极、25···连接部、26···第二蓄积区、30···虚设沟槽部、31···延伸部分、32···虚设绝缘膜、33···连接部分、34···虚设导电部、38···层间绝缘膜、40···栅极沟槽部、41···延伸部分、42···栅极绝缘膜、43···连接部分、44···栅极导电部、50···栅极金属层、52···发射电极、55···接触孔、56···接触孔、70···晶体管部、71···台面部、73···插塞区、75···主区、80···二极管部、81···台面部、82···阴极区、181···第一阴极部、182···第二阴极部、83···插塞区、90···边界区、91···台面部、100···半导体装置、200···半导体装置、500···半导体装置、600···半导体装置

### 具体实施方式

[0041] 以下,虽然通过发明的实施方式对本发明进行说明,但是以下的实施方式并不限定权利要求所涉及的发明。另外,实施方式中所说明的特征的全部组合未必是发明的技术方案所必须的。

[0042] 在本说明书中,将与半导体基板的深度方向平行的方向上的一侧称为“上”,将另一侧称为“下”。将基板、层或其他部件的两个主表面中的一个表面称为上表面,将另一个表面称为下表面。“上”、“下”、“正面”、“背面”的方向不限于重力方向或半导体装置实际安装时的朝向基板等的安装方向。

[0043] 在本说明书中,有时使用X轴、Y轴以及Z轴的正交坐标轴来说明技术事项。正交坐标轴只不过确定构成要素的相对位置,并不限定特定的方向。例如,Z轴并不限定表示相对于地面的高度方向。应予说明,+Z轴方向与-Z轴方向是彼此相反的方向。在不记载正负而记载为Z轴方向的情况下,是指与+Z轴和-Z轴平行的方向。

[0044] 在本说明书中,将与半导体基板的上表面平行的面设为XY面,将与半导体基板的上表面及下表面平行的正交轴设为X轴及Y轴。另外,将与半导体基板的上表面及下表面垂直的轴设为Z轴。有时将半导体基板的深度方向称为Z轴。应予说明,在本说明书中,将沿Z轴方向观察半导体基板的情况称为俯视。另外,在本说明书中,有时将包括X轴和Y轴而与半导体基板的上表面及下表面平行的方向称为水平方向。

[0045] 在各实施例中,示出了将第一导电型设为N型、将第二导电型设为P型的例子,但也可以将第一导电型设为P型、将第二导电型设为N型。在该情况下,各实施例中的基板、层、区域等的导电型分别成为相反的极性。

[0046] 在本说明书中,在称为“相同”或“相等”的情况下,也可以包括具有因制造偏差等而引起的误差的情况。该误差例如为10%以内。

[0047] 在本说明书中,将掺杂了杂质的掺杂区域的导电型设为P型或N型而进行说明。在本说明书中,杂质有时特别指N型的施主或P型的受主中的任一者,有时记载为掺杂剂。在本说明书中,掺杂是指向半导体基板导入施主或受主而形成示出N型的导电型的半导体或示出P型的导电型的半导体。

[0048] 在本说明书中,掺杂浓度是指热平衡状态下的施主的浓度或受主的浓度。

[0049] 在本说明书中记载为P+型或N+型的情况下,意味着掺杂浓度比P型或N型的掺杂浓度高,在记载为P-型或N-型的情况下,意味着掺杂浓度比P型或N型的掺杂浓度低。另外,在本说明书中记载为P++型或N++型的情况下,意味着掺杂浓度比P+型或N+型的掺杂浓度高。

[0050] 图1示出半导体装置100的俯视图的一例。本例的半导体装置100是具备晶体管部70和二极管部80的半导体芯片。例如,半导体装置100是逆导IGBT(RC-IGBT:Reverse Conducting IGBT)。本例的晶体管部70在与二极管部80邻接的部分包括边界区90。

[0051] 晶体管部70是将设置于半导体基板10的背面侧的集电区22投影到半导体基板10的上表面而得的区域。后面会对集电区22进行描述。晶体管部70包括IGBT等晶体管。本例的晶体管部70包括主区75。

[0052] 主区75是晶体管部70中的除边界区90以外的区域。在主区75中,设置有后述的第一蓄积区16,未设置有第二蓄积区26。主区75在半导体装置100动作时形成沟道区,并作为有源区而发挥功能。

[0053] 二极管部80是将设置于半导体基板10的背面的阴极区82投影到半导体基板10的上表面而得的区域。阴极区82具有第一导电型。作为一例,本例的阴极区82为N型。二极管部80包括在半导体基板10的上表面与晶体管部70邻接地设置的续流二极管(FWD:Free Wheel Diode)等二极管。

[0054] 在图1中,示出了半导体装置100的边缘侧、即芯片端部周边的区域,而省略了其他区域。例如,在本例的半导体装置100的Y轴方向上的负侧的区域可以设置有边缘终端结构部。边缘终端结构部缓和半导体基板10的上表面侧的电场集中。边缘终端结构部例如具有保护环、场板、降低表面电场部以及将它们组合而成的结构。应予说明,在本例中,为了方便而对Y轴方向上的负侧的边缘进行说明,但对于半导体装置100的其它边缘也是同样的。边缘终端结构部可以设置为包围具备晶体管部70和二极管部80的有源部。

[0055] 半导体基板10可以是硅基板,也可以是碳化硅基板,还可以是氮化镓等氮化物半导体基板等。本例的半导体基板10是硅基板。

[0056] 本例的半导体装置100在半导体基板10的正面21具备栅极沟槽部40、虚设沟槽部30、发射区12、基区14、接触区15、阱区17、阳极区19、以及沟槽接触部20。后面会对正面21进行描述。另外,本例的半导体装置100具备设置于半导体基板10的正面的发射电极52和栅极金属层50。

[0057] 发射电极52设置于栅极沟槽部40、虚设沟槽部30、发射区12、基区14、接触区15、阱区17、阳极区19、以及沟槽接触部20的上方。另外,栅极金属层50设置于栅极沟槽部40和阱区17的上方。

[0058] 发射电极52和栅极金属层50由包含金属的材料形成。发射电极52的至少一部分区域可以由铝(Al)等金属、或包含铝的合金、例如铝-硅合金(AlSi)、铝-硅-铜合金(AlSiCu)等金属合金形成。栅极金属层50的至少一部分区域可以由铝(Al)等金属、或包含铝的合金、例如铝-硅合金(AlSi)、铝-硅-铜合金(AlSiCu)等金属合金形成。发射电极52和栅极金属层50可以在由铝或包含铝的合金等形成的区域的下层具有由钛、钛化合物等形成的势垒金属。发射电极52和栅极金属层50彼此分离地设置。

[0059] 发射电极52和栅极金属层50隔着层间绝缘膜38而设置于半导体基板10的上方。在图1中省略了层间绝缘膜38。在层间绝缘膜38贯通地设置有沟槽接触部20、接触孔55、以及

接触孔56。

[0060] 沟槽接触部20从层间绝缘膜38的上表面沿半导体基板10的深度方向延伸地设置。沟槽接触部20具有底部和侧部。沟槽接触部20将发射电极52与半导体基板10电连接。沟槽接触部20沿沟槽延伸方向延伸地设置。本例的沟槽接触部20沿着栅极沟槽部40和虚设沟槽部30而配置为条状。

[0061] 沟槽接触部20在晶体管部70中形成于发射区12和接触区15各区域的上表面。沟槽接触部20不设置于在Y轴方向两端设置的阱区17的上方。如此,在层间绝缘膜形成有一个或多个沟槽接触部20。一个或多个沟槽接触部20可以沿延伸方向延伸地设置。

[0062] 沟槽接触部20在二极管部80中设置于阳极区19的上方。沟槽接触部20在边界区90中设置于接触区15和阳极区19的上表面。沟槽接触部20均未设置于在Y轴方向两端设置的阱区17的上方。

[0063] 在晶体管部70中,在沟槽接触部20的下方设置有插塞区73。另外,在二极管部80中,在沟槽接触部20的下方设置有插塞区83。后面会对插塞区73和插塞区83的详细情况进行描述。

[0064] 接触孔55将栅极金属层50与晶体管部70内的栅极导电部连接。在接触孔55的内部,也可以隔着势垒金属而形成有由钨等形成的插塞。

[0065] 接触孔56将发射电极52与虚设沟槽部30内的虚设导电部连接。在接触孔56的内部,也可以隔着势垒金属而形成有由钨等形成的插塞。

[0066] 连接部25将发射电极52或栅极金属层50等正面侧电极与半导体基板10电连接。在一例中,连接部25设置于栅极金属层50与栅极导电部之间。连接部25也设置于发射电极52与虚设导电部之间。连接部25是掺杂有杂质的多晶硅等具有导电性的材料。本例的连接部25是掺杂了N型杂质的多晶硅(N<sup>+</sup>)。连接部25隔着氧化膜等绝缘膜等而设置于半导体基板10的正面21的上方。

[0067] 栅极沟槽部40沿着预先确定的排列方向(在本例中为X轴方向)而以预先确定的间隔排列。本例的栅极沟槽部40可以具有沿着与半导体基板10的正面21平行且与排列方向垂直的延伸方向(在本例中为Y轴方向)延伸的两个延伸部分41、以及连接两个延伸部分41的连接部分43。

[0068] 连接部分43的至少一部分可以形成为曲线状。通过将栅极沟槽部40的两个延伸部分41的端部连接,从而能够缓和延伸部分41的端部处的电场集中。在栅极沟槽部40的连接部分43,栅极金属层50可以与栅极导电部连接。

[0069] 虚设沟槽部30是与发射电极52电连接的沟槽部。虚设沟槽部30与栅极沟槽部40同样地,沿着预先确定的排列方向(在本例中为X轴方向)而以预先确定的间隔排列。本例的虚设沟槽部30可以与栅极沟槽部40同样地在半导体基板10的正面21具有U字形状。即,虚设沟槽部30可以具有沿着延伸方向延伸的两个延伸部分31、以及将两个延伸部分31连接的部分33。

[0070] 本例的晶体管部70中的主区75具有使在两个栅极沟槽部40之间配置有两个虚设沟槽部30的图案重复排列的结构。即,本例的晶体管部70以1:1的比率具有栅极沟槽部40和虚设沟槽部30。例如,晶体管部70在两条延伸部分41之间具有两条延伸部分31。另外,晶体管部70具有两条延伸部分41相邻的部位。

[0071] 但是,栅极沟槽部40与虚设沟槽部30的比率不限定于本例。栅极沟槽部40与虚设沟槽部30的比率可以是2:3,也可以是2:4。另外,晶体管部70也可以将全部沟槽部作为栅极沟槽部40,而不具有虚设沟槽部30。

[0072] 在本例的晶体管部70中的边界区90设置有栅极沟槽部40和虚设沟槽部30。通过设置栅极沟槽部40,从而能够提高晶体管部70的有源区的面积,并能够提高半导体装置100的动作效率。

[0073] 阱区17是设置于比后述的漂移区18更靠半导体基板10的正面21侧的第二导电型的区域。阱区17是设置于半导体装置100的边缘侧的阱区的一例。作为一例,阱区17为P+型。阱区17在从有源部的设置有栅极金属层50的一侧的端部起预先确定的范围内形成。阱区17的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度深。栅极沟槽部40和虚设沟槽部30的栅极金属层50侧的一部分区域形成于阱区17。栅极沟槽部40和虚设沟槽部30的延伸方向上的端的底可以被阱区17覆盖。

[0074] 台面部71是在与半导体基板10的正面21平行的面内与沟槽部邻接地设置的台面部。台面部是指半导体基板10的被相邻的两个沟槽部夹着的部分,可以从半导体基板10的正面21到各沟槽部的最深的底部的深度为止的部分。可以将各沟槽部的延伸部分作为一个沟槽部。即,可以将被两个延伸部分夹着的区域作为台面部。

[0075] 在晶体管部70,台面部71与虚设沟槽部30和栅极沟槽部40中的至少一者邻接地设置。台面部71在半导体基板10的正面21具有阱区17、发射区12、基区14、以及接触区15。在台面部71中,发射区12和接触区15在延伸方向上交替地设置。

[0076] 基区14是设置于半导体基板10的正面21侧的第二导电型的区域。作为一例,基区14为P-型。基区14在半导体基板10的正面21,可以设置于台面部71的Y轴方向上的两端部。应予说明,图1仅示出了该基区14的Y轴方向上的一个端部。

[0077] 发射区12是设置于半导体基板10的正面21且掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。作为一例,本例的发射区12为N++型。发射区12的掺杂剂的一例是砷(As)。发射区12在台面部71的正面21与栅极沟槽部40相接地设置。发射区12可以以从夹着台面部71的两条沟槽部中的一者到另一者为止沿X轴方向延伸地设置。

[0078] 另外,发射区12可以与虚设沟槽部30相接,也可以不相接。本例的发射区12与虚设沟槽部30相接。

[0079] 接触区15是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。作为一例,本例的接触区15为P+型。本例的接触区15设置于台面部71的正面21。接触区15可以从夹着台面部71的两条沟槽部中的一者到另一者为止沿X轴方向延伸地设置。接触区15可以与栅极沟槽部40或虚设沟槽部30相接,也可以不与栅极沟槽部40或虚设沟槽部30相接。本例的接触区15与虚设沟槽部30和栅极沟槽部40相接。

[0080] 边界区90是设置于晶体管部70且与二极管部80邻接的区域。边界区90具有发射区12和接触区15。本例的边界区90以X轴方向上的两端成为栅极沟槽部40的方式配置。

[0081] 边界区90的正面21处的结构可以与主区75的正面21处的结构对应。即,边界区90也可以是在半导体装置100动作时形成有沟道,并作为有源区而发挥功能的区域。边界区90可以是除设置有后述的第二蓄积区26来代替第一蓄积区16这一点以外与主区75相同的构成。

[0082] 台面部91设置于边界区90。台面部91在半导体基板10的正面21处具有发射区12和接触区15。本例的台面部91在Y轴方向的负侧具有基区14和阱区17。台面部91在Y轴方向的正侧也可以具有基区14和阱区17。

[0083] 在本例中,台面部91在边界区90设置有多个。在边界区90可以设置有一个台面部91。在多个沟槽部的沟槽排列方向(X轴方向)上,边界区90的宽度可以为 $30\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下。

[0084] 台面部81在二极管部80中设置于被相邻的虚设沟槽部30夹着的区域。台面部81在半导体基板10的正面21具有阳极区19。本例的台面部81在Y轴方向的负侧具有阳极区19和阱区17。

[0085] 阳极区19是第二导电型的区域。阳极区19的掺杂浓度可以比基区14的掺杂浓度低。作为一例,本例的阳极区19为P-型。本例的阳极区19设置于台面部81的正面21。阳极区19可以从夹着台面部81的两条虚设沟槽部30中的一者到另一者为止沿X轴方向延伸地设置。阳极区19可以在晶体管部70与二极管部80的边界处与栅极沟槽部40相接,也可以在晶体管部70与二极管部80的边界处不与栅极沟槽部40相接。本例的阳极区19在晶体管部70与二极管部80的边界处与栅极沟槽部40相接。

[0086] 本例的阳极区19的掺杂浓度可以为 $1\text{E}16\text{cm}^{-3}$ 以上且 $1\text{E}17\text{cm}^{-3}$ 以下。应予说明,E是指10的乘方,例如 $1\text{E}16\text{cm}^{-3}$ 是指 $1 \times 10^{16}\text{cm}^{-3}$ 。阳极区19可以在半导体基板10的深度方向上具有掺杂浓度的峰。另外,在半导体基板10的深度方向上,阳极区19的下端可以是与基区14的下端相同的深度,也可以位于比基区14的下端更深的位置。

[0087] 图2A是图1中的a-a'截面的一例。a-a'截面是在晶体管部70和二极管部80中不通过后述的插塞区83的XZ面。本例的半导体装置100在a-a'截面具有半导体基板10、漂移区18、第一蓄积区16、第二蓄积区26、层间绝缘膜38、发射电极52、以及集电电极24。发射电极52形成于半导体基板10和层间绝缘膜38的上方。

[0088] 漂移区18是设置于半导体基板10的第一导电型的区域。作为一例,本例的漂移区18为N-型。漂移区18可以是在半导体基板10中未形成其他掺杂区而残留的区域。即,漂移区18的掺杂浓度可以是半导体基板10的掺杂浓度。

[0089] 集电区22在晶体管部70中设置于半导体基板10的背面23。集电区22是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。作为一例,本例的集电区22为P型。

[0090] 阴极区82在二极管部80中设置于半导体基板10的背面23。阴极区82是掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。作为一例,本例的阴极区82为N型。

[0091] 集电区22与阴极区82的边界是晶体管部70与二极管部80的边界。即,在本例的边界区90的下方设置有集电区22。另外,详细情况在后述,阴极区82也可以具有第一阴极部181和第二阴极部182。

[0092] 集电电极24形成于半导体基板10的背面23。集电电极24由金属等导电材料形成。

[0093] 基区14是设置于漂移区18的上方的第二导电型的区域。基区14的掺杂浓度可以比阳极区19的掺杂浓度高。基区14的掺杂浓度可以为 $3\text{E}16\text{cm}^{-3}$ 以上且 $1\text{E}18\text{cm}^{-3}$ 以下。基区14可以设置于发射区12的下方。基区14与栅极沟槽部40相接地设置。基区14可以与虚设沟槽部30相接地设置。

[0094] 第一蓄积区16是在半导体基板10的深度方向上设置于比基区14更靠下方的位置

的第一导电型的区域。作为一例,本例的第一蓄积区16为N型。第一蓄积区16设置于晶体管部70的主区75,而不设置于二极管部80和边界区90。通过设置第一蓄积区16,从而能够提高载流子注入增强效应(IE效应),降低晶体管部70的导通电压。

[0095] 第一蓄积区16可以在半导体基板10的深度方向上设置有多个。在一例中,第一蓄积区16分为第一蓄积区16a和16b这两段而设置。第一蓄积区16a和16b在半导体基板10的深度方向上的厚度可以相同,也可以不同。在第一蓄积区16a与16b之间可以设置有漂移区18。

[0096] 第一蓄积区16可以分为三段以上的多段而设置。在该情况下,第一蓄积区16中的设置于最靠近背面23的一侧的第一蓄积区16的下端可以位于比邻接的沟槽部的底部更靠上方的位置。通过将第一蓄积区16分为多段而设置,从而能够提高钳位耐量。

[0097] 第二蓄积区26是在半导体基板10的深度方向上设置于比基区14更靠下方的第一导电型的区域。作为一例,本例的第二蓄积区26为N+型。第二蓄积区26设置于边界区90,而不设置于二极管部80和主区75。通过设置第二蓄积区26,从而能够抑制在二极管部80注入有空穴的情况,能够降低反向恢复损耗Err。另外,通过在二极管部80不设置第一蓄积区16和第二蓄积区26中的任一者,从而能够抑制二极管部的稳态损耗Vf的增加。

[0098] 第二蓄积区26的掺杂浓度可以比第一蓄积区16的掺杂浓度高。通过使第二蓄积区26的掺杂浓度比第一蓄积区16的掺杂浓度高,从而能够降低反向恢复损耗Err。第一蓄积区16的掺杂浓度可以为 $1E16\text{cm}^{-3}$ 以上且 $1E18\text{cm}^{-3}$ 以下,第二蓄积区26的掺杂浓度可以为 $1E16\text{cm}^{-3}$ 以上且 $1E20\text{cm}^{-3}$ 以下。第二蓄积区26的掺杂浓度可以比发射区12的掺杂浓度低。

[0099] 第二蓄积区26可以在半导体基板10的深度方向上设置有多个。在一例中,第二蓄积区26分为第二蓄积区26a和26b这两段而设置。第二蓄积区26a和26b在半导体基板10的深度方向上的厚度可以相同,也可以不同。在第二蓄积区26a与26b之间可以设置有漂移区18。

[0100] 第二蓄积区26可以在半导体基板10的深度方向上具有一个掺杂浓度的峰,也可以在半导体基板10的深度方向上具有多个掺杂浓度的峰。在本例中,第二蓄积区26分为第二蓄积区26a和26b这两段而设置,并具有两个掺杂浓度的峰。第二蓄积区26可以分为三段以上的多段而设置。第二蓄积区26的段数可以与第一蓄积区16的段数相同,也可以不同。通过使第二蓄积区26具有多个掺杂浓度的峰,从而能够一边增加剂量,一边降低各个峰的浓度,而抑制钳位耐量降低的情况。

[0101] 第二蓄积区26在半导体基板10的深度方向上的厚度可以比基区14的厚度薄。在本说明书中,第二蓄积区26的厚度可以是指半导体基板10的深度方向上从最靠近正面21一侧的第二蓄积区26的上端到最靠近背面23一侧的第二蓄积区26的下端为止的长度。在一例中,第二蓄积区26的厚度为 $0.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。

[0102] 一个以上的栅极沟槽部40和一个以上的虚设沟槽部30设置于正面21。各沟槽部从正面21设置到漂移区18为止。在设置有发射区12、基区14、接触区15、第一蓄积区16阳极区19、以及第二蓄积区26中的至少任一者的区域中,各沟槽部也贯通这些区域而到达漂移区18。沟槽部贯通掺杂区不限于按照在形成掺杂区之后形成沟槽部的顺序来制造。在形成沟槽部之后,在沟槽部之间形成掺杂区的情况也包括在沟槽部贯通掺杂区的情况之中。

[0103] 栅极沟槽部40具有形成于正面21的栅极沟槽、栅极绝缘膜42、以及栅极导电部44。栅极绝缘膜42覆盖栅极沟槽的内壁而形成。栅极绝缘膜42可以是将栅极沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部形成于比栅极绝缘膜42更靠内侧的

位置。栅极绝缘膜42将栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。栅极沟槽部40在正面21处被层间绝缘膜38覆盖。

[0104] 栅极导电部44包括在半导体基板10的深度方向上与隔着栅极绝缘膜42在台面部71侧邻接的基区14相对置的区域。若在栅极导电部44施加预定的电压,则在基区14中的与栅极沟槽相接的界面的表层形成由电子的反型层形成的沟道。

[0105] 虚设沟槽部30可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有形成于正面21侧的虚设沟槽、虚设绝缘膜32、以及虚设导电部34。虚设绝缘膜32覆盖虚设沟槽的内壁而形成。虚设导电部34形成于虚设沟槽的内部,并且形成于比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32将虚设导电部34与半导体基板10绝缘。虚设沟槽部30在正面21处被层间绝缘膜38覆盖。

[0106] 层间绝缘膜38设置于正面21。在层间绝缘膜38的上方设置有发射电极52。在层间绝缘膜38设置有用将发射电极52与半导体基板10电连接的一个或多个沟槽接触部20。接触孔55和接触孔56也可以与沟槽接触部20同样地贯通层间绝缘膜38而设置。

[0107] 沟槽接触部20贯通层间绝缘膜38而到达发射区12或阳极区19。沟槽接触部20将发射电极52与半导体基板10电连接。在本例中,沟槽接触部20的下端的深度比发射区12的下端的深度浅。由此,能够抑制半导体装置100的阈值 $V_{th}$ 的上升,抑制半导体装置100的特性的偏差。

[0108] 沟槽接触部20的下端的深度可以比发射区12的下端的深度深。通过使沟槽接触部20的下端的深度比发射区12的下端的深度深,从而能够提高门锁耐量。沟槽接触部20的下端的深度可以为从半导体基板10的正面21起 $0.3\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下。

[0109] 插塞区73是在晶体管部70中设置于沟槽接触部20的底部的下方的、掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。插塞区73的掺杂浓度可以为 $1\text{E}19\text{cm}^{-3}$ 以上且 $1\text{E}22\text{cm}^{-3}$ 以下。作为一例,本例的插塞区73为 $\text{P}^{++}$ 型。插塞区73可以以覆盖沟槽接触部20的底部和侧壁的一部分的方式设置。

[0110] 在一例中,插塞区73通过经由沟槽接触部20的掺杂剂的注入而形成。也可以先形成插塞区73之后设置沟槽接触部20。

[0111] 插塞区73的掺杂浓度可以比接触区15的掺杂浓度高。另外,插塞区73的掺杂浓度可以与接触区15的掺杂浓度相同。

[0112] 插塞区73在台面部71和台面部91中,在沟槽延伸方向上连续地设置。即,插塞区73在台面部71和台面部91中设置为条纹状。通过设置插塞区73,从而能够使晶体管部70中的沟槽接触部20的底部的电阻降低,能够抑制门锁击穿。

[0113] 图2B是图1中的b-b'截面的一例。b-b'截面是在晶体管部70和二极管部80中通过插塞区83的XZ面。b-b'截面中所包括的结构可以除插塞区83以外与a-a'截面相同。

[0114] 插塞区83是在二极管部80中设置于沟槽接触部20的底部的下方的、掺杂浓度比阳极区19的掺杂浓度高的第二导电型的区域。插塞区83的掺杂浓度可以为 $1\text{E}19\text{cm}^{-3}$ 以上且 $1\text{E}22\text{cm}^{-3}$ 以下。插塞区83的掺杂浓度可以与晶体管部中的插塞区73的掺杂浓度相同。作为一例,本例的插塞区83为 $\text{P}^{++}$ 型。插塞区83可以以覆盖沟槽接触部20的底部和侧壁的一部分的方式设置。

[0115] 插塞区83在台面部81中沿沟槽延伸方向选择性地设置。即,插塞区83在台面部81

中设置为点状。插塞区83可以在沟槽延伸方向上成为等间隔的方式选择性地设置。

[0116] 在一例中,插塞区83通过经由沟槽接触部20的掺杂剂的注入而形成。也可以先形成插塞区83之后设置沟槽接触部20。

[0117] 通过设置插塞区83,从而使二极管部80中的沟槽接触部20的底部的电阻降低,能够使稳态损耗 $V_f$ 降低。虽然在后述的阴极区82设置有第一阴极部181和第二阴极部182的情况下稳态损耗 $V_f$ 上升,但是通过追加插塞区83使因具有第二阴极部182而上升的稳态损耗 $V_f$ 的值降低,由此能够降低开关损耗。

[0118] 图2C是图1中的c-c'截面的一例。c-c'截面是在二极管部80中通过沟槽接触部20的X轴方向上的宽度的中央的YZ面。本例的半导体装置100在c-c'截面具有半导体基板10、发射电极52、以及集电电极24。

[0119] 第一阴极部181是掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。在一例中,第一阴极部181为N型。第一阴极部181的沟槽延伸方向(Y轴方向)上的宽度可以比第二阴极部182的沟槽延伸方向上的宽度大。

[0120] 第二阴极部182是在半导体基板10的背面23与第一阴极部181邻接而设置的第二导电型的区域。即,第二阴极部182可以与第一阴极部181直接相接。在一例中,第二阴极部182为P型。

[0121] 可以通过利用用于形成第二阴极部182的离子注入工序而在离子注入P型的掺杂剂之后以N型的掺杂剂进行翻转从而形成第一阴极部181。相反,可以通过利用用于形成第一阴极部181的离子注入工序而在离子注入N型的掺杂剂之后以P型的掺杂剂进行翻转,从而形成第二阴极部182。

[0122] 第一阴极部181和第二阴极部182以形成彼此接触的边界的方式配置。第一阴极部181和第二阴极部182可以在任意方向上交替地配置。本例的第一阴极部181和第二阴极部182在沟槽延伸方向(例如,Y轴方向)上交替地排列,但也可以在沟槽排列方向(例如,X轴方向)上交替地排列。第一阴极部181和第二阴极部182在俯视时可以配置为条纹状。第一阴极部181和第二阴极部182中的一者可以形成为点状。

[0123] 本例的二极管部80中的阴极区82具有以形成相互接触的边界的方式配置的第一阴极部181和第二阴极部182。通过在阴极区82设置第一阴极部181和第二阴极部182,从而能够使浪涌电压降低并缩短二极管部的反向恢复时间,而降低反向恢复损耗 $Err$ 。

[0124] 另外,本例的半导体装置100在边界区90设置有第二蓄积区26。通过设置第二蓄积区26,从而能够将反向恢复损耗 $Err$ 与稳态损耗 $V_f$ 的折衷曲线向反向恢复损耗 $Err$ 降低的方向调整。通过将第二蓄积区26与第一阴极部181和第二阴极部182组合使用,从而能够与所请求的性能相应地精细地调节反向恢复损耗 $Err$ 和稳态损耗 $V_f$ 。

[0125] 本例的半导体装置100在半导体基板10的内部不具有寿命控制体区域。通常,通过将寿命控制体区域设置于晶体管部70和二极管部80这两者,从而能够抑制来自晶体管部70的空穴注入,而降低反向恢复损耗 $Err$ 。在本例中,通过设置沟槽接触部20来代替设置寿命控制体区域,从而降低反向恢复损耗 $Err$ 。

[0126] 图3是图1中的a-a'截面的变形例。在图3的a-a'截面中,第二蓄积区26设置为一段。在图3的变形例中,第二蓄积区26在半导体基板10的深度方向上的厚度比第一蓄积区16在半导体基板10的深度方向上的厚度薄。第二蓄积区26可以以下端的位置位于比邻接的栅

极沟槽部40的底部更靠上方的位置的方式设置。

[0127] 图3的变形例中的第二蓄积区26可以以不具有掺杂浓度的峰而掺杂浓度的分布变宽的方式设置。掺杂浓度的分布宽是指,通过变更注入掺杂剂的加速电压而分多次进行,从而掺杂浓度的变化量可以在遍及 $1.0\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下的范围内为5%以下,或者可以在遍及第二蓄积区26的厚度的90%的范围内为5%以下。通过以使第二蓄积区26的掺杂浓度的分布变宽的方式设置,从而与设置为多段的情况相比,能够进一步提高钳位耐量。

[0128] 在本例中,边界区90的边界台面部91的间距宽度W91与晶体管部的台面部71的间距宽度W71和二极管部的台面部81的间距宽度W81相同。边界台面部91的间距宽度W91可以比晶体管部的间距宽度W71和二极管部的间距宽度W81宽。通过使边界台面部91的间距宽度W91比晶体管部的间距宽度W71和二极管部的间距宽度W81宽,从而能够抑制在二极管部80中注入空穴的情况,能够降低反向恢复损耗Err。

[0129] 在本例中,边界区90遍及多个台面部而设置。在多个沟槽部的沟槽排列方向(X轴方向)上,边界区90的宽度可以为 $30\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下。

[0130] 本例的半导体装置200与半导体装置100同样地在半导体基板10的内部不具有寿命控制体区域。通常,通过将寿命控制体区域设置于晶体管部70和二极管部80这两者,从而能够抑制来自晶体管部70的空穴注入,而降低反向恢复损耗Err。在本例中,通过设置沟槽接触部20来代替设置寿命控制体区域,从而降低反向恢复损耗Err。

[0131] 虽然未图示,但在晶体管部70中,可以在栅极沟槽部40和虚设沟槽部30的下端设置以覆盖沟槽部的底部和侧面的一部分的方式形成的第二导电型的沟槽底部区。沟槽底部区以与第一蓄积区16和第二蓄积区26均不相接的方式设置。作为一例,沟槽底部区为P+型。沟槽底部区的掺杂浓度可以为基区14的掺杂浓度以上,可以为接触区15的掺杂浓度以下。通过设置沟槽底部区,从而能够缓和沟槽部底部的电场集中。

[0132] 图4A示出比较例1的半导体装置500的俯视图的一例。在图4A中,在边界区90不具有发射区12而设置有虚设沟槽部30这一点上,与图1的实施例不同。

[0133] 在比较例1的半导体装置500中,由于边界区90不具有发射区12,因此不能作为有源区而发挥功能。在本例的半导体装置100、200中,由于在边界区90也设置有发射区12,因此与比较例1的半导体装置500相比,能够增加晶体管部70的有源区的面积。

[0134] 图4B是图4A中的d-d'截面的一例。d-d'线对应于图1中的b-b'线。在图4B中示出的比较例1的半导体装置500中,在边界区90中没有设置第二蓄积区26。在本例的半导体装置100、200中,通过在边界区90中设置第二蓄积区26,从而能够抑制空穴从晶体管部70的注入,并能够降低反向恢复损耗Err。

[0135] 图4C是图4A中的d-d'截面的变形例。在图4C中示出的比较例2的半导体装置600中,在边界区90设置有第一蓄积区16这一点上,与图4B中示出的比较例1的半导体装置500不同。比较例2的半导体装置600由于在边界区90设置有第一蓄积区16,因此能够抑制空穴从晶体管部70的注入,与比较例1的半导体装置500相比能够降低反向恢复损耗Err。

[0136] 图4C所示的比较例2的半导体装置600由于在边界区90未设置发射区12,因此边界区90无法作为有源区而动作。由于本例的半导体装置100、200在边界区90设置有发射区12,因此与比较例2的半导体装置600相比,能够增加晶体管部70的有源区的面积。

[0137] 图5是表示稳态损耗Vf与反向恢复损耗Err的关系的图表。在图中,用圆圈标记表

示的比较例1对应于图4B所示的比较例1的半导体装置500,用三角形标记表示的比较例2对应于图4C所示的比较例2的半导体装置600。另外,用四边形标记表示的比较例3是在图4C所示的半导体装置600中,与比较例2相比使第一蓄积区16的掺杂浓度增加的例子。

[0138] 若将图5的比较例1与比较例2进行比较可知,通过在边界区90设置第一蓄积区16,从而使稳态损耗 $V_f$ 稍微增加,反向恢复损耗 $Err$ 降低。另外,若将比较例2与比较例3进行比较可知,通过使第一蓄积区16的掺杂浓度增加,从而能够进一步降低反向恢复损耗 $Err$ 。

[0139] 如图5中叉号标记所示的那样,本例的半导体装置100与比较例1相比,能够抑制从晶体管部70向二极管部80的空穴注入,并能够在维持反向恢复损耗 $Err$ 的同时,与比较例1、2、3相比进一步降低稳态损耗 $V_f$ 。另外,由于本例的半导体装置100中的边界区90能够作为有源区而发挥功能,因此与比较例1、2、3相比,动作效率提高。

[0140] 以上,虽然利用实施方式对本发明进行了说明,但是本发明的技术范围不限于上述实施方式所记载的范围。对本领域技术人员来说,能够对上述实施方式施加各种变更或改良是显而易见的。根据权利要求书的记载可知,施加了这样的变更或改良的方式也能够包括在本发明的技术范围内。

[0141] 应当注意,权利要求书、说明书及附图中示出的装置、系统、程序及方法中的动作、过程、步骤和阶段等各处理的执行顺序只要未特别明示“早于”、“预先”等,另外,未在后续处理中使用之前的处理结果,则可以以任意顺序来实现。关于权利要求书、说明书及附图中的动作流程,即使为方便起见使用“首先”、“接着”等进行了说明,也并不意味着必须以这一顺序来实施。

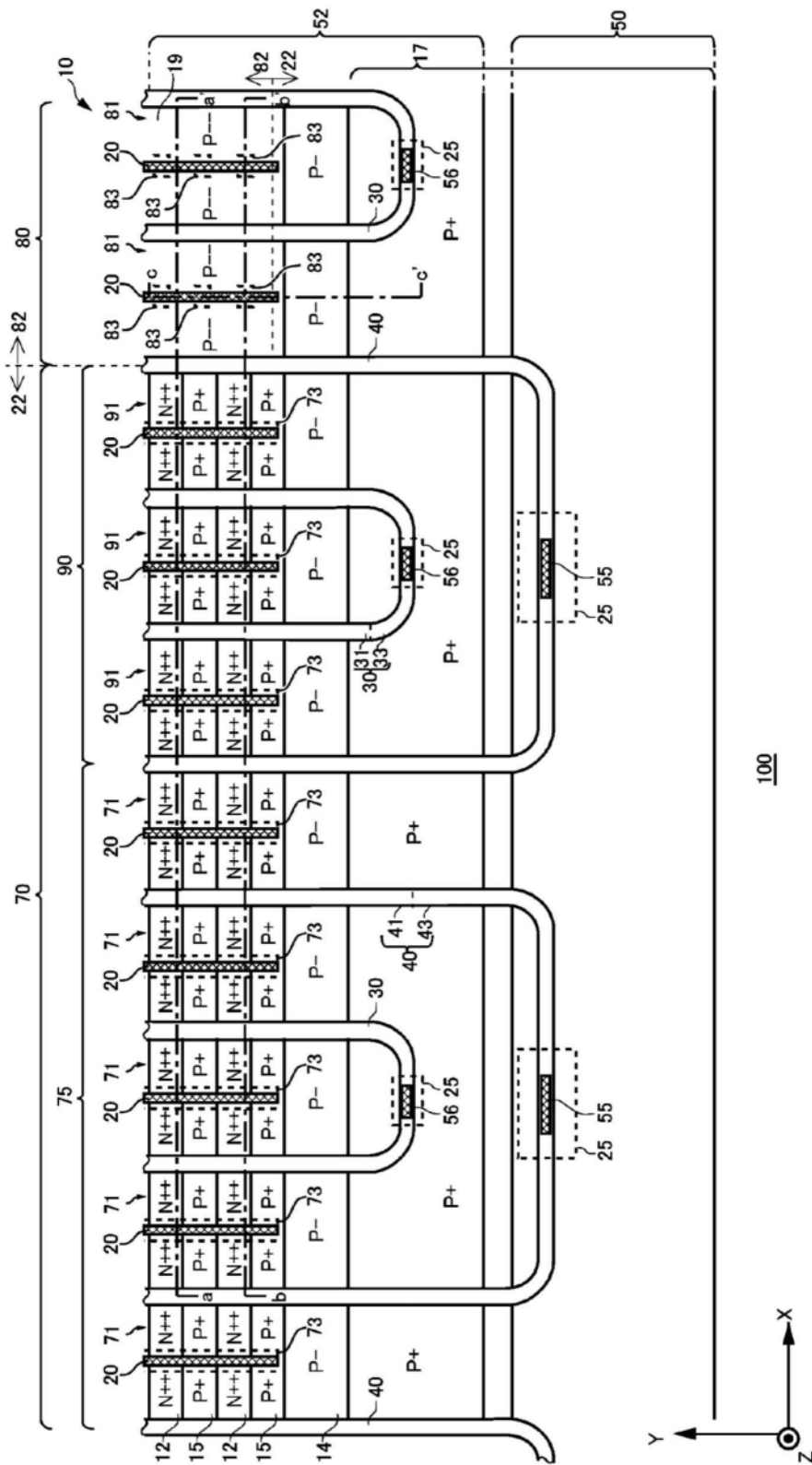


图1





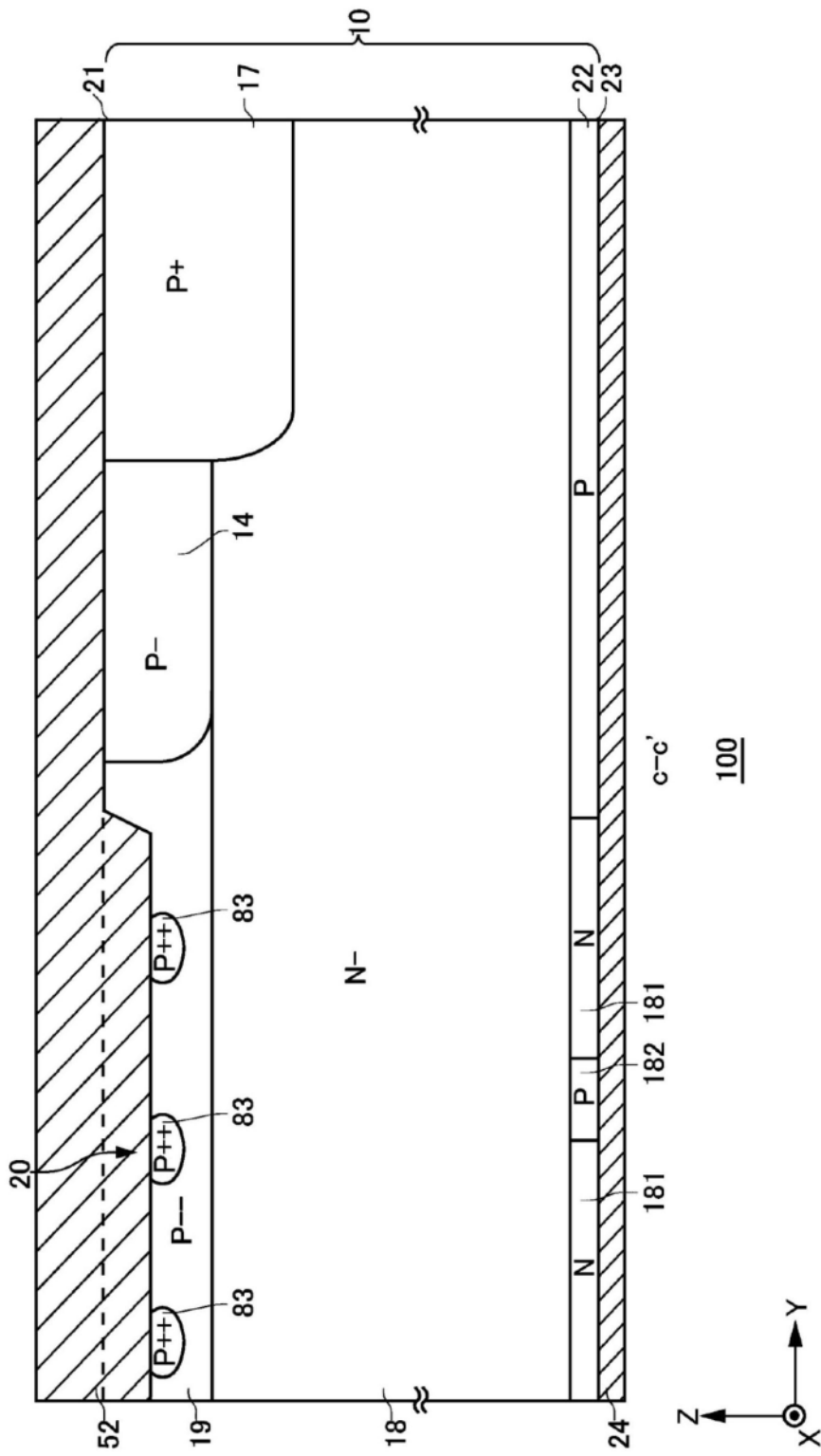


图2C

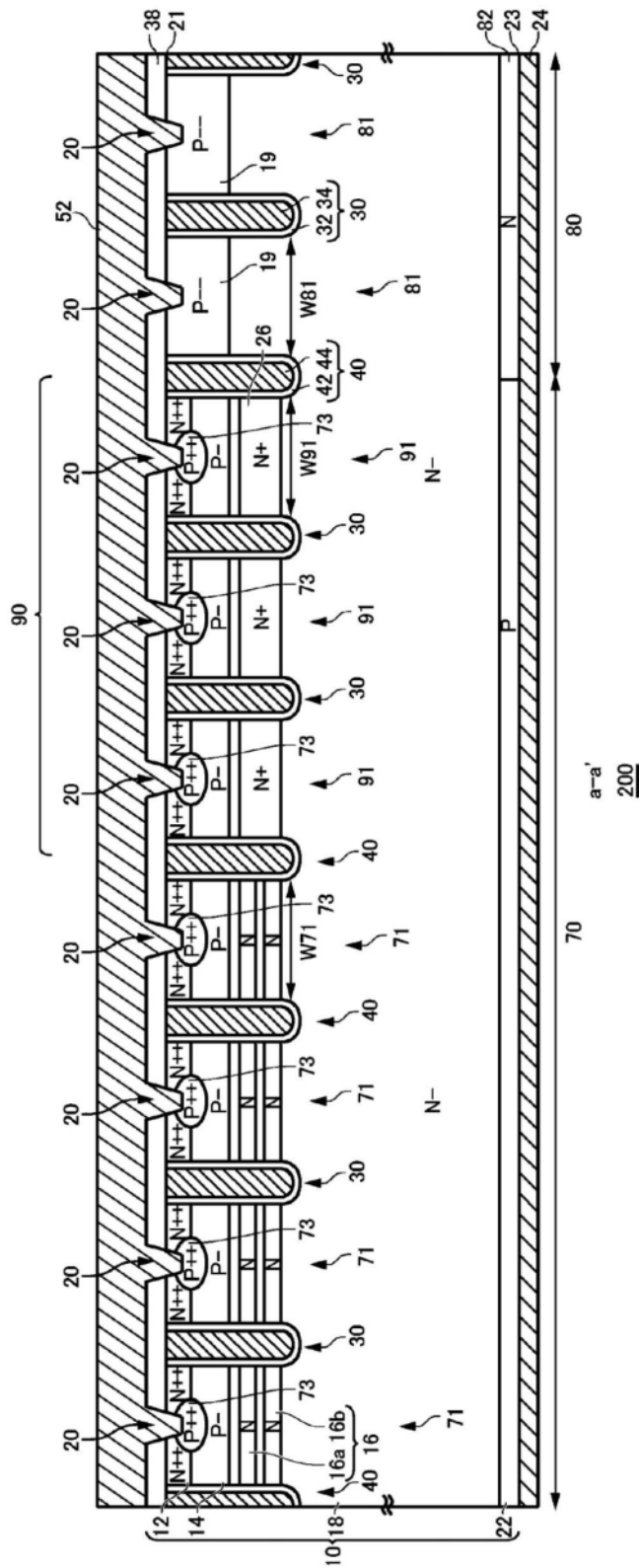


图3







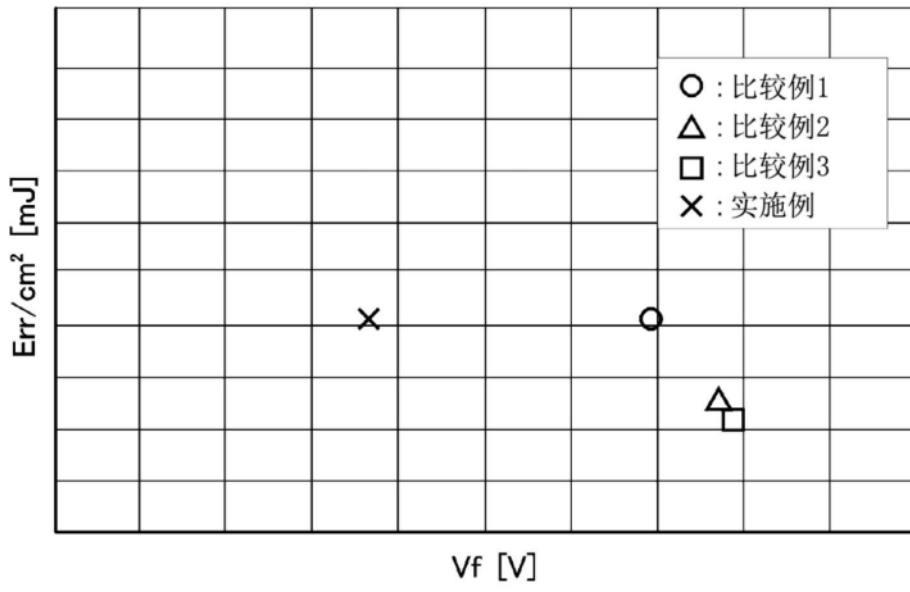


图5

1. (修改后) 一种半导体装置, 其特征在于, 具备晶体管部和二极管部, 所述半导体装置具备:
  - 多个沟槽部, 其设置于半导体基板的正面, 并且包括栅极沟槽部;
  - 第一导电型的漂移区, 其设置于所述半导体基板;
  - 第二导电型的基区, 其设置于所述漂移区的上方;
  - 第一导电型的发射区, 其设置于所述基区的上方, 并且掺杂浓度比所述漂移区的掺杂浓度高;
  - 第一导电型的第一蓄积区, 其设置于所述基区的下方, 并且掺杂浓度比所述漂移区的掺杂浓度高; 以及
  - 第二导电型的接触区, 其设置于所述基区的上方, 并且掺杂浓度比所述基区的掺杂浓度高,所述晶体管部具有边界区, 该边界区包括被所述多个沟槽部夹着的边界台面部, 并与所述二极管部邻接地设置,
  - 所述边界区包括:
    - 所述发射区, 其设置于所述边界台面部;
    - 第一导电型的第二蓄积区, 其设置于所述边界台面部, 并且掺杂浓度比所述第一蓄积区的掺杂浓度高; 以及
  - 所述栅极沟槽部, 其与所述边界台面部相接地设置。
2. 根据权利要求1所述的半导体装置, 其特征在于, 所述第二蓄积区的掺杂浓度比所述发射区的掺杂浓度低。
3. 根据权利要求1所述的半导体装置, 其特征在于, 所述第二蓄积区的掺杂浓度为 $1E16\text{cm}^{-3}$ 以上且 $1E20\text{cm}^{-3}$ 以下。
4. 根据权利要求1所述的半导体装置, 其特征在于, 所述第二蓄积区在所述半导体基板的深度方向上具有多个掺杂浓度的峰。
5. 根据权利要求1所述的半导体装置, 其特征在于, 所述第二蓄积区在所述半导体基板的深度方向上具有一个掺杂浓度的峰。
6. 根据权利要求5所述的半导体装置, 其特征在于, 在所述半导体基板的深度方向上, 所述第二蓄积区的厚度为 $0.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。
7. 根据权利要求1所述的半导体装置, 其特征在于, 所述二极管部不具有所述第一蓄积区和所述第二蓄积区中的任一者。
8. 根据权利要求1所述的半导体装置, 其特征在于, 在所述多个沟槽部的沟槽排列方向上, 所述边界台面部的台面宽度比除所述边界台面部以外的台面部的台面宽度大。
9. 根据权利要求1所述的半导体装置, 其特征在于, 在所述多个沟槽部的沟槽排列方向上, 所述边界区的宽度为 $30\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下。
10. 根据权利要求1至9中任一项所述的半导体装置, 其特征在于, 所述半导体装置具备设置于所述半导体基板的所述正面的沟槽接触部。
11. 根据权利要求10所述的半导体装置, 其特征在于, 在所述晶体管部中, 在所述半导体基板的深度方向上, 所述沟槽接触部的下端的位置

比所述发射区的下端的位置浅。

12. 根据权利要求10所述的半导体装置,其特征在于,

所述半导体装置具备第二导电型的插塞区,该第二导电型的插塞区与所述沟槽接触部的底面相接地设置,并且掺杂浓度比所述基区的掺杂浓度高。

13. 根据权利要求12所述的半导体装置,其特征在于,

在所述晶体管部中,所述插塞区在所述多个沟槽部的沟槽延伸方向上延伸地设置。

14. 根据权利要求12所述的半导体装置,其特征在于,

在所述二极管部中,所述插塞区在所述多个沟槽部的沟槽延伸方向上离散地设置。

15. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述二极管部在所述半导体基板的背面具备第一导电型的阴极区,该第一导电型的阴极区的掺杂浓度比所述漂移区的掺杂浓度高,

所述阴极区包括第一导电型的第一阴极部和第二导电型的第二阴极部。

16. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述半导体装置在所述二极管部中具备第二导电型的阳极区,该第二导电型的阳极区设置于比所述漂移区更靠所述半导体基板的正面侧的位置。

17. 根据权利要求16所述的半导体装置,其特征在于,

所述阳极区的掺杂浓度比所述基区的掺杂浓度低。

18. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

在所述半导体基板的内部不具有寿命控制体区域。

19. (追加) 根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述边界区包括设置于所述边界台面部的所述接触区,

在所述边界台面部,所述发射区和所述接触区在所述多个沟槽部的沟槽延伸方向上交替地配置。

20. (追加) 根据权利要求1所述的半导体装置,其特征在于,

所述第二蓄积区在所述半导体基板的深度方向上不具有掺杂浓度的峰。