



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0071464
(43) 공개일자 2016년06월21일

(51) 국제특허분류(Int. Cl.)
G06F 3/041 (2006.01) G06F 3/0354 (2013.01)
G06F 3/044 (2006.01) H05K 1/02 (2006.01)
H05K 1/03 (2006.01)
(52) CPC특허분류
G06F 3/041 (2013.01)
G06F 3/03547 (2013.01)
(21) 출원번호 10-2016-7012841
(22) 출원일자(국제) 2014년10월17일
심사청구일자 없음
(85) 번역문제출일자 2016년05월16일
(86) 국제출원번호 PCT/EP2014/072347
(87) 국제공개번호 WO 2015/055829
국제공개일자 2015년04월23일
(30) 우선권주장
13189384.4 2013년10월18일
유럽특허청(EPO)(EP)

(71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
(72) 발명자
모리슨, 네일
독일 64287 다름슈타트 로젠회호베크 25
데피쉬, 토마스
독일 63743 아샤펜부르크 안 덴 본비젠 11
로츠, 한스-게오르크
독일 63584 그룬다우-로텐베르겐 휘네르베르크 9
아
(74) 대리인
특허법인 남앤드남

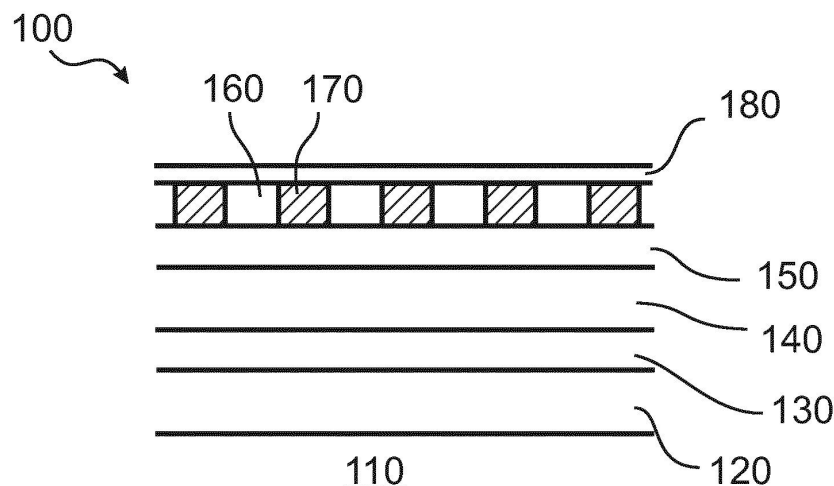
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 터치 패널을 위한 층 스택 및 층 스택을 형성하기 위한 방법

(57) 요약

터치 패널을 위한 층 스택(100; 200)이 설명된다. 층 스택은, 기관 상에 하나 또는 그 초과와 층들을 증착하기 위한, 폴리머를 포함하는 기관(110; 210); 투명 전도성 산화물(TCO)의 영역들 및 TCO의 영역들 사이의 갭들을 포함하는, 기관(110; 210) 상에 제공되는 패터닝된 TCO 층(160; 260); 패터닝된 TCO 층(160; 260)의 갭들 내에 제공되는 제 1 유전체 재료(170; 270); 및 TCO 층(160; 260)의 TCO 영역들 상에 직접적으로 그리고 제 1 유전체 재료(170; 270) 상에 직접적으로 증착되는 유전체 층(180; 280)을 포함한다. 또한, 층 스택을 포함하는 터치 패널 및 터치 패널을 위한 층 스택을 형성하기 위한 방법이 설명된다.

대표도 - 도1



(52) CPC특허분류

G06F 3/044 (2013.01)

H05K 1/0274 (2013.01)

H05K 1/0306 (2013.01)

G06F 2203/04103 (2013.01)

H05K 2201/0137 (2013.01)

H05K 2201/0145 (2013.01)

명세서

청구범위

청구항 1

터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800)으로서,
 폴리머를 포함하는 기관(110; 210) 상에 투명 전도성 산화물의 층을 증착하는 단계(710; 810);
 투명 전도성 산화물의 영역들 사이에 갭(gap)들을 형성하기 위해, 상기 투명 전도성 산화물의 층(160; 260)을 패터닝하는 단계(720; 820);
 투명 전도성 산화물의 패터닝된 층(160; 260)의 상기 갭들을 제 1 유전체 재료(170; 270)로 충전하는(filling) 단계(730; 830);
 상기 투명 전도성 산화물의 패터닝된 층(160; 260)의 투명 전도성 산화물의 영역들 상에 직접적으로 증착된 상기 제 1 유전체 재료(170; 270)를 제거하는 단계(740; 840); 및
 투명 전도성 산화물의 영역 상에 직접적으로 그리고 상기 제 1 유전체 재료(170; 270) 상에 직접적으로 유전체 층(180; 280)을 제공하는 단계(750; 850)를 포함하는,
 터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800).

청구항 2

제 1 항에 있어서,
 상기 갭들을 제 1 유전체 재료로 충전하는 단계(730; 830)는, 상기 투명 전도성 산화물의 층(160; 260)과 실질적으로 동일한 굴절률 및 상기 투명 전도성 산화물의 층(160; 260)과 실질적으로 동일한 흡광 계수(extinction coefficient) 중에서 적어도 하나를 갖는 유전체 재료를 선택하는 단계를 포함하는,
 터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800).

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 기관(110; 210) 상에 투명 전도성 산화물의 층(160; 260)을 증착하는 단계는, 가요성(flexible) 기관, 열가소성(thermoplastic) 기관, 포일(foil), 및 PET 포일 중에서 적어도 하나를 포함하는 기관 상에 상기 투명 전도성 산화물의 층을 증착하는 단계를 포함하는,
 터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800).

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 투명 전도성 산화물의 층(160; 260)을 증착하는 단계(710; 810) 이전에, 상기 방법은:
 상기 기관(110; 210) 상에 직접적으로 접착 층(120; 220)을 증착하는 단계;
 상기 접착 층(120; 220) 상에 제 1 고 굴절률 층(130; 230)을 증착하는 단계;
 상기 제 1 고 굴절률 층(130; 230) 상에 제 1 저 굴절률 층(140; 240)을 증착하는 단계; 및
 상기 제 1 저 굴절률 층(140; 240) 상에 제 2 고 굴절률 층(150; 250)을 증착하는 단계를 더 포함하는,
 터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800).

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 투명 전도성 산화물의 층을 패터닝하는 단계 이전에, 상기 투명 전도성 산화물의 층(160; 260) 상에 콘택 층, 특히 구리 층을 증착하는 단계(815); 및

상기 투명 전도성 산화물의 패터닝된 층의 상기 갭들을 제 1 유전체 재료(170; 270)로 충전하는 단계(830) 이전에, 상기 투명 전도성 산화물의 층(160; 260) 및 상기 콘택 층을 패터닝하는 단계(825)를 더 포함하는,

터치 패널을 위한 층 스택(100; 200)을 형성하기 위한 방법(700; 800).

청구항 6

특히, 제 1 항 내지 제 5 항 중 어느 한 항에 의해 제조되는, 터치 패널을 위한 층 스택(100; 200)으로서,

하나 또는 그 초과층들을 증착하기 위한, 폴리머를 포함하는 기판(110; 210);

투명 전도성 산화물의 영역들 및 상기 투명 전도성 산화물의 영역들 사이의 갭들을 포함하는, 상기 기판(110; 210) 상에 제공되는 투명 전도성 산화물의 패터닝된 층(160; 260);

상기 투명 전도성 산화물의 패터닝된 층(160; 260)의 갭들 내에 제공되는 제 1 유전체 재료(170; 270); 및

상기 투명 전도성 산화물의 층(160; 260)의 투명 전도성 산화물의 영역들 상에 직접적으로 그리고 상기 제 1 유전체 재료(170; 270) 상에 직접적으로 증착되는 유전체 층(180; 280)을 포함하는,

터치 패널을 위한 층 스택(100; 200).

청구항 7

제 6 항에 있어서,

상기 기판(110; 210)은, 열가소성 기판, 가요성 기판, 포일 및 PET 포일 중에서 적어도 하나일 수 있는,

터치 패널을 위한 층 스택(100; 200).

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 층 스택(100; 200)은 반사-방지 층 스택(anti-reflective layer stack)인,

터치 패널을 위한 층 스택(100; 200).

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 유전체 재료(170; 270)는, 상기 투명 전도성 산화물의 층(160; 260)과 실질적으로 동일한 굴절률 및 상기 투명 전도성 산화물의 층(160; 260)과 실질적으로 동일한 흡광 계수 중에서 적어도 하나를 갖는,

터치 패널을 위한 층 스택(100; 200).

청구항 10

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 투명 전도성 산화물의 패터닝된 층(160; 260) 및 상기 제 1 유전체 재료(170; 270)는 균일한 광학적 외관(optical appearance)을 갖는 층을 형성하는,

터치 패널을 위한 층 스택(100; 200).

청구항 11

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 유전체 재료(170; 270)는, Si_3N_4 , Ta_2O_5 , ZrO_2 , ZnO , 및 SnO_2 중에서 적어도 하나를 포함하고, 그리고/

또는 상기 유전체 층(180; 280)은 SiO_2 를 포함하는 제 2 유전체 재료를 포함하는, 터치 패널을 위한 층 스택(100; 200).

청구항 12

제 6 항 내지 제 11 항 중 어느 한 항에 있어서,
상기 기판(110; 210)과 상기 투명 전도성 산화물의 패터닝된 층(160; 260) 사이에, 상기 층 스택(100; 200)은:
상기 기판(110; 210) 상에 직접적으로 형성되는 접착 층(120; 220);
상기 접착 층(120; 220) 상에 형성되는 제 1 고 굴절률 층(130; 230);
상기 고 굴절률 층(130; 230) 상에 형성되는 제 1 저 굴절률 층(140; 240); 및
상기 저 굴절률 층(140; 240) 상에 형성되는 제 2 고 굴절률 층(150; 250)을 더 포함하는,
터치 패널을 위한 층 스택(100; 200).

청구항 13

제 12 항에 있어서,
층들의 재료는, 고 굴절률 층들(130; 230; 150; 250)을 위한 Nb_2O_5 , 상기 저 굴절률 층(140; 240)을 위한 SiO_2 , 및 상기 접착 층(120; 220)을 위한 SiO_x 중에서 적어도 하나를 포함하는,
터치 패널을 위한 층 스택(100; 200).

청구항 14

제 6 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 투명 전도성 산화물의 층(160; 260)은 약 30 nm 내지 약 70 nm, 특히 약 50 nm의 두께를 갖는,
터치 패널을 위한 층 스택(100; 200).

청구항 15

제 6 항 내지 제 14 항 중 어느 한 항에 따른 층 스택(100; 200)을 포함하는 터치 패널(400).

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 터치 패널을 위한 층 스택 및 터치 패널을 위한 층 스택을 형성하기 위한 방법에 관한 것이다. 본 발명의 실시예들은 특히, TCO 층을 포함하는, 터치 패널을 위한 층 스택, 구체적으로는, 층 스택 내의 패터닝된 TCO 층, 및 TCO 층을 포함하는 층 스택을 형성하기 위한 방법에 관한 것이다.

배경 기술

[0002] 터치 패널들 또는 터치 스크린 패널들은 특정 부류의 전자적 시각 디스플레이(visual display)며, 이들은 디스플레이 영역 내의 터치(touch)를 검출하고 로케이팅(locate)할 수 있다. 일반적으로, 터치 패널들은 층 스택을 포함하며, 터치를 감지하도록 구성된다. 터치 패널의 바디(body)는 실질적으로 투명해야 하며, 그에 따라, 스크린에 의해 방출되는(emitted) 가시 스펙트럼의 광이 터치 패널의 바디를 통해 투과될(transmitted) 수 있다. 적어도 몇몇의 알려진 터치 패널들은 기판 상에 형성되는 투명 전도체를 포함한다. 그러한 패널의 디스플레이 영역에 대한 터치는 일반적으로, 전도체의 영역에서의 캐패시턴스의 측정가능한 변화를 초래한다. 캐패시턴스의 변화는 상이한 기술들을 이용하여 측정될 수 있으며, 그에 따라 터치의 위치(position)가 결정될 수 있다.

[0003] 터치 패널과 함께 이용하기 위한 전도성 층을 포함하는 층 스택은 몇몇 특정 조건들을 필요로 한다. 특히, 하나의 중요한 조건은, 층 스택이 스크린에 대한 다수의 건택 및 거친 환경(harsh condition)들을 견디기

에 충분히 안정적이고, 그에 따라 터치 스크린의 신뢰성이 시간의 경과에 따라 손상되지 않는 것이다. 하지만, 강건한(robust) 것으로 고려되는, 터치 스크린들 내에 포함되는 적어도 몇몇의 알려진 층 스택들은, 예를 들어, 전도성 층들의 두께, 조성 및 구조로 인해, 그러한 층 스택들을 통한 광의 적절한 투과를 방해한다. 또한, 고품질, 예를 들어 균일하고 무-결함(defect-free)의 배리어(barrier)를 갖는 그러한 안정한 층 스택을 제조하는 것은 난제이다(challenging).

[0004] [0004] 또한, 특히, 캐패시턴스의 변화를 측정하기 위한 전도성 층이 구조화된(structured) 전도성 층인 경우, 광학 특성들의 특정 고려사항, 예를 들어 사용자에게 대한 외관(appearance)이 층 스택들에 대해 고려되어야 한다. 이에 의해, (터치 센서 구조와 같은) 전도율(conductivity)에 대해 패터닝되는 비가시적 오브젝트(invisible object)를 제공하고, 통상의 구조들과 비교하여 강화된 광학적 및 전기적 성능을 나타내는, 얇은 필름 기반의 플랫 패널 디스플레이들 및 터치 스크린 기술들의 설계가 요구된다.

[0005] [0005] 상기 내용을 고려하여, 본 발명의 목적은, 종래 기술의 문제들 중 적어도 일부를 극복하고 요구되는 특성들을 제공하는, 터치 패널을 위한 층 스택, 터치 패널, 및 터치 패널을 위한 층 스택을 형성하기 위한 방법을 제공하는 것이다.

발명의 내용

해결하려는 과제

[0006] [0006] 상기 내용을 고려하여, 독립 청구항들에 따른, 터치 패널을 위한 층 스택 및 터치 패널을 위한 층 스택을 형성하기 위한 방법이 제공된다. 본 발명의 추가의 양상들, 장점들 및 특징들이 종속 청구항들, 상세한 설명 및 첨부 도면들로부터 명백하다.

과제의 해결 수단

[0007] [0007] 일 실시예에 따르면, 터치 패널을 위한 층 스택이 제공된다. 층 스택은, 하나 또는 그 초과층들을 증착하기 위한, 폴리머를 포함하는 기관; 및 투명 전도성 산화물의 영역들 및 투명 전도성 산화물의 영역들 사이의 갭(gap)들을 포함하는, 기관 상에 제공되는 투명 전도성 산화물의 패터닝된 층을 포함한다. 제 1 유전체 재료가, 투명 전도성 산화물의 패터닝된 층의 갭들 내에 제공된다. 또한, 층 스택은, 투명 전도성 산화물의 층의 투명 전도성 산화물의 영역들 상에 직접적으로 그리고 제 1 유전체 재료 상에 직접적으로 증착되는 유전체 층을 포함한다.

[0008] [0008] 다른 실시예에 따르면, 터치 패널을 위한 층 스택을 형성하기 위한 방법이 제공된다. 방법은, 폴리머를 포함하는 기관 상에 투명 전도성 산화물의 층을 증착하는 단계; 및 투명 전도성 산화물의 영역들 사이에 갭들을 형성하기 위해, 투명 전도성 산화물의 층을 패터닝하는 단계를 포함한다. 방법은, 투명 전도성 산화물의 패터닝된 층의 갭들을 제 1 유전체 재료로 충전하는(filling) 단계; 투명 전도성 산화물의 패터닝된 층의 투명 전도성 산화물의 영역들 상에 직접적으로 증착된 제 1 유전체 재료를 제거하는 단계; 및 투명 전도성 산화물의 영역 상에 직접적으로 그리고 제 1 유전체 재료 상에 직접적으로 유전체 층을 제공하는 단계를 더 포함한다.

[0009] [0009] 실시예들은 또한, 개시된 방법들을 수행하기 위한 장치들에 관한 것이고, 각각의 설명된 방법 단계를 수행하기 위한 장치 부분들을 포함한다. 이러한 방법 단계들은, 하드웨어 컴포넌트들에 의해, 적절한 소프트웨어에 의해 프로그래밍된 컴퓨터에 의해, 이들 양자의 임의의 조합에 의해, 또는 임의의 다른 방식으로 수행될 수 있다. 게다가, 본 발명에 따른 실시예들은 또한, 설명된 장치를 동작시키는 방법들에 관한 것이다. 방법은, 장치의 모든 각각의 기능을 수행하기 위한 방법 단계들을 포함한다.

도면의 간단한 설명

[0010] [0010] 본 발명의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 발명의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있다. 첨부 도면들은 본 발명의 실시예들에 관한 것이고, 아래에서 설명된다.

도 1은 본원에서 설명되는 실시예들에 따른, 터치 패널을 위한 층 스택의 개략도를 도시한다.

도 2a 내지 2e는 본원에서 설명되는 실시예들에 따른, 터치 패널을 위한 예시적인 층 스택의 제조의 개략적인 표현들을 도시한다.

도 3은 본원에서 설명되는 실시예들에 따른, 층 스택 내에 제공되는 패터닝된 TCO 층의 개략적인 도면을 도시한다.

도 4a는 본원에서 설명되는 실시예들에 따른, 층 스택을 포함하는 터치 패널의 단면 개략도를 도시한다.

도 4b는 본원에서 설명되는 실시예들에 따른, 도 4a에 도시된 터치 패널의, 다른 측(side)으로부터의 단면 개략도를 도시한다.

도 5는 본원에서 설명되는 실시예들에 따른 층 스택의 광학적 작용(optical behavior)의 개략적 표현을 도시한다.

도 6은 본원에서 설명되는 실시예들에 따른 층 스택의 광학적 작용의 개략적 표현을 도시한다.

도 7은 본원에서 설명되는 실시예들에 따른, 터치 패널을 위한 층 스택을 형성하는 방법의 흐름도를 도시한다.

도 8은 본원에서 설명되는 실시예들에 따른, 터치 패널을 위한 층 스택을 형성하는 방법의 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이제, 본 발명의 다양한 실시예들이 상세히 참조될 것이고, 다양한 실시예들 중 하나 또는 그 초과에 예들은 도면들에서 예시된다. 도면들의 다음의 설명 내에서, 동일한 참조 번호들은 동일한 컴포넌트들을 지칭한다. 일반적으로, 개별적인 실시예들에 대한 차이들만이 설명된다. 각각의 예는 본 발명의 설명으로써 제공되고, 본 발명의 제한으로서 의도되지 않는다. 추가로, 일 실시예의 일부로서 예시되거나 또는 설명되는 피처(feature)들은, 또 다른 실시예를 산출하기 위해, 다른 실시예들에 대해 또는 다른 실시예들과 함께 사용될 수 있다. 설명은 그러한 변형들 및 변화들을 포함하도록 의도된다.
- [0012] 도 1은 본원에서 설명되는 실시예들에 따른 층 스택(100)을 도시한다. 전형적인 실시예들에 따르면, 층 스택은 (예를 들어, 증착에 의해) 서로의 위에(one atop of another) 형성되는 다수의 필름들에 의해 구성된다. 일반적으로, 필름들 또는 층들은 기판(110) 상에 증착될 수 있다. 본원에서 설명되는 바와 같은 기판은 폴리머 기판일 수 있다. 본원에서 이용되는 바와 같은 용어 "기판"은, 비가요성(inflexible) 기판들, 예를 들어, 강성의(rigid) 폴리머 기판, 및 웨브(web) 또는 포일(foil)과 같은 가요성(flexible) 기판들 모두를 포괄할 것이다. 일 실시예에서, 기판은 폴리머 포일, 특히 PET 포일이다.
- [0013] 몇몇 실시예들에 따르면, 본원에서 설명되는 바와 같은 층 스택은, 터치 패널을 위한 층 스택, 특히, 터치 패널을 위한 반사-방지 층 스택(anti-reflective layer stack)일 수 있다. 터치 패널에서 이용되는 경우, 본원에서 설명되는 실시예들에 따른 층 스택은 패터닝된 TCO(투명 전도성 산화물) 층을 포함하며, 이는 도 1에서 TCO 패턴(160)으로서 볼 수 있다. TCO 층의 패턴은, TCO의 영역들 및 그러한 TCO의 영역들 사이의 갭들을 포함할 수 있다. 도 1에서, TCO 패턴의 갭들 내에 재료(170)가 충전됨을 볼 수 있다. 유전체 층(180)이, 재료(170) 상에 직접적으로, 뿐만 아니라, TCO 영역들(160) 상에 직접적으로 증착된다. 몇몇 실시예들에 따르면, 유전체 층(180)은 제 2 유전체 재료를 포함할 수 있다. 일 예에서, 유전체 층은 최상부(top) 층인 것으로서 설명될 수 있다.
- [0014] 본원에서 설명되는 다른 실시예들과 결합될 수 있는 전형적인 실시예들에 따르면, 본원에서 언급되는 투명 전도성 산화물은, 인듐 주석 산화물(ITO) 층(예를 들어, 결정질 ITO), 도핑된(doped) ITO 층, 불순물-도핑된 ZnO, In₂O₃, SnO₂ 및 CdO, ITO (In₂O₃:Sn), AZO (ZnO:Al), IZO (ZnO:In), GZO (ZnO:Ga), 또는 ITO, 도핑된 ITO, 불순물 도핑된 ZnO, In₂O₃, SnO₂ 및 CdO, AZO, IZO, GZO의 조합을 포함하거나 또는 이러한 조합으로 이루어지는 다중-성분 산화물들일 수 있다.
- [0015] 일반적으로, 거칠고(rugged) 깨지지 않는(unbreakable) PET 포일 기판들에 기초하는 보다 큰 크기의 투사 용량성(projective capacitive) 터치 패널 센서들은, TCO 패터닝 이후, 센서 엘리먼트들의 비가시성(invisibility)과 함께, 높은 광학적 및 컬러 중립적 투과, 및 낮은 시트 저항 TCO 층(이를 테면, <150 Ohm/square 또는 그 미만의 시트 저항을 갖는 TCO 층)을 요구한다. 최적의 디바이스 성능을 위해서는, TCO 층의 비가시성을 위해 매우 얇은 ITO 층이 요구된다. 예를 들어, 얇은 층 두께는 약 25 nm 미만의 범위일 수 있다. 현재의 프로세스 기술들 및 설계 집적 스킴(scheme)들은 약 100 Ohm/square 에서 제한된다. 층 스택의 최상부에 TCO가 증착되는 현재의 층 아키텍처를 이용해서는, 더 낮은 시트 저항이 불가능하다.
- [0016] 터치 패널을 위한 층 스택을 제조하는 표준 프로세스 흐름에서, ITO 층은 층 스택의 최상부에 마지막 층

으로서 증착된다. 알려져있는 대안적인 층 구조에서는, ITO 층이 층 시스템 내에 매립된다(embedded). 이러한 소위 "매립형(buried) ITO"는, 패터닝된 ITO 층에 대해, 더 낮은 시트 저항, 비교적 높은 광학적 및 컬러 증립적 투과를 갖는 더 두꺼운 ITO 층들을 허용한다. 하지만, "매립형 ITO"의 증가된 TCO 층 두께 및 감소된 시트 저항은 층 스택의 추가의 개선에 대한 요구를 초래하는데, 왜냐하면, 예를 들어 더 두꺼운 구조화된 TCO 층은 보다 더 용이하게 가시적이게 되는 경향이 있기 때문이다.

[0017] 또한, 알려진 시스템들에서는, 열악한 햇빛 가독성(sunlight readability), 스크린의 컬러화된 외관(colored appearance)(반사율), 아래에 있는(underlying) 디스플레이로부터 생성되는 픽처에 대한 컬러 변화, 및 기능적인 스크린의 구조화된 코어 층(예를 들어, 패터닝된 투명 전도성 산화물(TCO))으로부터의 거의 가시적인 패턴이 종종 얻어진다. 또한, 대면적 터치 패널들, 예를 들어 7 인치 또는 그 초과와 대각선을 갖는 터치 패널들, 특히, 20 인치 초과와 대각선을 갖는 터치 스크린들에 대해, 전도율이 충분하지 않을 수도 있다.

[0018] 터치 패널의 광학적 외관(optical appearance)을 개선하면서, 낮은 표면 저항을 갖는 층을 동시에 제공하기 위해, 반사 방지 층 스택 내에 TCO 층을 이용하는 것이 본 발명자들에 의해 발견되었다. 본원에서 설명되는 실시예들에 따르면, TCO 패턴 사이의 갭들은 제 1 유전체 재료, 특히 제 1 유전체 투명 재료로 충전된다. 특히, 제 1 유전체 재료는 TCO 패턴과 동일한 또는 유사한 광학 파라미터들(이를 테면, 굴절률(n) 또는 흡광 계수(k))을 제공할 수 있다. 도 1에서, TCO 패턴(160)의 갭들 내에서 제 1 유전체 재료(170)를 볼 수 있다. 몇몇 실시예들에 따르면, 패터닝된 TCO 층은, 제 1 유전체 재료와 함께, 패턴 구조가 없는 폐쇄 필름(closed film)처럼 광학적으로 작용한다. 이러한 작용은 반사 방지 코팅 스택들 내에서의 어플리케이션들을 허용한다. 몇몇 실시예들에서, TCO 패턴 상에 직접적으로 그리고 제 1 유전체 재료 상에 직접적으로 제 2 유전체 재료가 증착되기 전에, TCO 패턴 내의 갭들은 제 1 유전체 재료로 충전된다.

[0019] 일 실시예에서, TCO층의 갭들 내로 충전되는 제 1 유전체 재료는 TCO 층과 동일한 또는 유사한 광학 특성들을 가질 수 있다. 예를 들어, 설명되는 특성의 값이 유사(similar) 값으로부터 최대 약 15% 만큼 벗어나는 경우, 그 특성은 "유사한" 것으로서 나타낼 수 있다.

[0020] ITO가 TCO로서 이용되는 경우, 일 실시예에서, 제 1 유전체 재료의 굴절률은 약 $n=2.0$ 내지 약 $n=2.35$ 일 수 있다. 제 1 유전체 재료의 굴절률은 굴절률(n)의 값에 대해 최대 15% 만큼 벗어날 수 있다. 제 1 유전체 재료의 흡광 계수(k)는 약 2.11×10^{-1} 일 수 있으며, 흡광 계수(k)의 값에 대해 15%의 편차를 포함할 수 있다. TCO의 광학 특성들과 유사하거나 동일한, 제 1 유전체 재료의 다른 광학 특성들은, 약 $0.471 \mu\text{m}^{-1}$ 의 색 분산(chromatic dispersion) $dn/d\lambda$ 및 $1.0623 \times 10^5 \text{ cm}^{-1}$ 의 흡수 계수(α)를 포함할 수 있으며, 그에 의해 이러한 값들 각각은, TCO 층의 각각의 값들에 대해 유사한 경우, 약 15%의 편차를 포함할 수 있다.

[0021] TCO 패턴의 갭들 내에 충전되는 제 1 유전체 재료는 TCO 재료에 의존하여, 특히 TCO 재료의 광학 특성들에 의존하여 선택될 수 있다. 몇몇 실시예들에 따르면, TCO 패턴 사이의 갭들을 충전하기 위한 제 1 유전체 재료는, 예를 들어, SiN_xO_y 의 화학식을 갖는 재료일 수 있다. 몇몇 실시예들에서, 제 1 유전체 재료는 Si_3N_4 , Ta_2O_5 , ZrO_2 , ZnO , 및/또는 SnO_2 를 포함할 수 있다.

[0022] 본원에서 설명되는 실시예들에 따른 층 스택의 구조로 인해, 전도성 필름이 바다를 통한 최적의 광 투과에 악영향을 미치지 않도록 하는 것이 가능해진다. 특히, 본원에서의 실시예들에 따른 층 스택은, 전도성 필름, 심지어 구조화된 전도성 필름이 광의 투과에 악영향을 미치지 않고 그리고 원치않는 반사율 특성들을 피하는 것을 가능하게 한다.

[0023] 갭 충전되는(gap filled) TCO 층에 대한 반사-방지 층 스택의 일 실시예가 도 1에 도시되어 있다. 상기 설명된 기관(110), TCO 패턴(160), TCO 패턴의 갭들 내의 제 1 유전체 재료(170), 및 제 2 유전체 재료로 형성되는 유전체 층(180) 이외에, 층 스택(100)은, 예를 들어, 기관 상의 다음 층들의 접착을 개선하고, 다음 층들에 대한 시드(seed) 층, 기관에 대한 배리어 층 등의 역할을 하기 위한 접착 층(120)을 포함할 수 있다. 접착 층(120)은 실리콘 산화물, 이를 테면 SiO_x 를 포함할 수 있다. 예를 들어, 접착 층은 SiO_2 또는 SiO 를 포함할 수 있다. 몇몇 실시예들에 따르면, 접착 층은 얇은 층일 수 있다. 얇은 접착 층은 약 25 nm의 층 두께를 제공할 수 있다.

[0024] 예시적으로 도시된 층 스택(100)은, 고 굴절률 및 저 굴절률을 갖는 재료들(이를 테면, SiO_x , TiO_x , NbO_x , SiN_x , SiO_xN_y , AlO_x , AlO_xN_y , MgF_2 , TaO_x)을 포함할 수 있다. 예를 들어, 제 1 고 굴절률 층(130), 저 굴

절물 층(140), 및 제 2 고 인덱스(high index) 층(150)이 접착 층과 TCO 층 사이에 제공된다.

- [0025] 본원에서 설명되는 다른 실시예들과 결합될 수 있는 일 실시예에서, 고 굴절률 층(또는 단지 고 인덱스 층)(130 또는 150)은 1.8 보다 큰 굴절률을 가질 수 있다. 예를 들어, 니오븀-산화물 함유 필름이 고 굴절률 층으로서 증착될 수 있다. 고 굴절률을 갖는 필름들은, 예를 들어, NbO_x , SiN_x , SiO_xN_y , AlO_xN_y , TiO_x , TaO_x , ZrO_x 등을 포함하는 필름들에 의해 제공될 수 있다. 몇몇 실시예들에 따르면, 니오븀-산화물 함유 필름은 Nb_xO_y , 이를 테면 Nb_2O_5 와 같은 화학식을 가질 수 있다.
- [0026] 몇몇 실시예들에 따르면, 저 굴절률을 갖는 필름들은, SiO_x , MgF_x , SiO_xN_y 등, 이를 테면 SiO_2 를 포함하는 필름들에 의해 제공될 수 있다. 저 굴절률 층 또는 단지 저 인덱스(low index) 층으로서 설명되는 층은, 본원에서 설명되는 다른 실시예들과 결합될 수 있는 일 실시예에서 1.6 보다 낮은 굴절률을 가질 수 있다.
- [0027] 본원에서 설명되는 몇몇 실시예들에 따르면, 본원에서 설명되는 바와 같은 유전체 층 내의 제 2 유전체 재료는, TCO 패턴의 갭들 내에 제공되는 제 1 유전체 재료와 상이한 유전체 재료일 수 있다. 본원에서 설명되는 다른 실시예들과 결합될 수 있는 일 실시예에서, 유전체 층은 상기 설명된 바와 같이 저 인덱스 재료를 포함할 수 있다. 예를 들어, 유전체 층은 SiO_2 를 포함할 수 있다. 저 인덱스 층인 유전체 층은 그 아래에 배열된 층 스택을 패시베이팅할 수 있을 뿐만 아니라, 층 스택이 반사-방지 층 스택이 되게 하는 데에 또한 기여할 수 있다. 몇몇 실시예들에서, 제 1 및 제 2 유전체 재료에 대해 동일한 유전체 재료가 이용될 수 있다.
- [0028] 본원에서 설명되는 다른 실시예들과 결합될 수 있는 몇몇 실시예들에 따르면, 유전체 층(이를 테면, 도 1에서 설명된 유전체 층(180), 및 하기에서 도 2e에서 설명되는 유전체 층(280))은 "등급화된 인덱스(graded index)" 층으로서 형성될 수 있다. 등급화된 인덱스 층에서, 층 내의 재료의 굴절률은 제 1 값으로부터 제 2 값으로 시프트(shift)될 수 있다. 일 실시예에서, 등급화된 인덱스 층의 굴절률은 연속적으로 또는 단계적으로(in steps) 시프트될 수 있다. 예를 들어, 유전체 층의 굴절률은, TCO 층의 굴절률로부터 SiO_2 의 굴절률까지의 범위, 이를 테면, ITO 층과 접촉하는 측(side)에서의 2.0의 굴절률(ITO의 굴절률)로부터 SiO_xN_y 의 굴절률($n=1.9$), SiO_xN_y 의 굴절률($n=1.8$) 등을 걸쳐서 SiO_2 의 굴절률($n=1.46$)까지의 범위의 굴절률을 가질 수 있다.
- [0029] 또한, 다음의 설명에서, 층 또는 필름은, 어떠한 양의 재료(an amount of material)가 증착된 것으로서 이해될 수 있다. 특히, 그러한 양의 재료는, 정의되는 두께를 갖는 층을 형성하기 위해, 기판 또는 다른 층 상에 증착될 수 있다. 몇몇 실시예들에 따르면, 층은, 어떠한 양의 재료가 다른 재료 상에 증착된 것으로서 정의될 수 있다. 층은, 단지 그러한 양의 재료의 증착에 의해, 재료의 증착 및 이후의 프로세싱(이를 테면, 에칭, 레벨링(leveling), 임프린트(imprint) 방법 등)에 의해, 또는 하나 초과 재료의 조성물(composition)이 증착되고 그리고 정의된 방식으로 프로세싱됨으로써, 형성될 수 있다. 예를 들어, 균일한 광학적 외관을 갖는, 패터닝된 재료, 및 패턴의 갭들 내에 충전되는 재료가, 함께 층을 형성할 수 있다. 특히, 패턴 및 패턴의 갭들 내의 충전물(filling)에 의해 형성되는 층은 실질적으로 균일한 두께를 가질 수 있으며, 하나의 층으로서 나타낼 수 있다. 그럼에도 불구하고, 재료에 대한 층의 상기 설명에 따르면, 패터닝된 층 상에 증착되어, 갭들을 충전하고 패턴 상에 제공되는 재료 또한, 층으로서 나타낼 수 있다.
- [0030] 도 2a 내지 2e에는, 도 1에서 설명된 바와 같은 층 스택을 형성하기 위한 예가 도시된다. 도 2a에서, 층 스택(200)은 기판(210), 접착 층(220), 제 1 고 굴절률 층(230), 저 굴절률 층(240) 및 제 2 고 굴절률 층(250)을 포함한다. 몇몇 실시예들에 따르면, 도 2a 내지 2e에서 설명되는 층들은 도 1과 관련하여 설명된 바와 같은 층들일 수 있다. 예를 들어, 도 2a 내지 2e에서 설명되는 층들의 재료들 및 특성들은 도 1과 관련하여 설명된 것들(예를 들어, 광학 특성들)과 동일할 수 있다.
- [0031] 도 2a에 도시된 실시예에서, TCO 층(260)이 제 2 고 굴절률 층(250) 상에 증착된다. TCO 층(260)은 전형적으로 약 25 nm 내지 약 90 nm, 보다 전형적으로는 약 30 nm 내지 약 70 nm, 및 훨씬 더 전형적으로는 약 40 nm 내지 약 60 nm의 두께를 가질 수 있다. 일 예에서, TCO 층의 두께는 약 50 nm 일 수 있다.
- [0032] 명시적으로 도시되지는 않았지만, 본원에서 설명되는 다른 실시예들과 결합될 수 있는 몇몇 실시예들에서, 도 2a에 도시된 바와 같은 층 스택(200)은 TCO 층 상에 증착되는 콘택(contact) 층을 더 포함할 수 있다. 이러한 콘택 층은 금속, 이를 테면 구리를 포함할 수 있다. 예를 들어, 콘택 층은, 본원에서 설명되는 실시예들에 따라 형성되는 층 스택을 터치 패널 배열에서 이용하는 것을 가능하게 하기 위해 제공될 수 있다. 콘택 층은, 하기에서 상세히 설명될 바와 같이, TCO 층 또는 패터닝된 TCO 층에 대한 콘택을 제공하도록 형성 및 이

용될 수 있다. 대안적으로, TCO 층을 컨택하기 위해 터치 패널에서 Ag 페이스트(paste)가 제공될 수 있다.

[0033] 도 2b는, 패터닝된 TCO 층(260)을 갖는, 도 2a에 도시된 층 스택(200)을 도시한다. 패턴은 TCO 재료의 영역들(261), 및 TCO 재료의 영역들(261) 사이의 갭들(262)을 포함할 수 있다. 몇몇 실시예들에 따르면, TCO 영역들(261) 사이의 갭들(262)은 TCO 재료를 실질적으로 포함하지 않는다. TCO 패턴을 형성하기 위해, TCO 층(260)은 에칭되거나, 또는 유사한 프로세스, 예를 들어, 요구되는 패턴의 네거티브(negative)를 제공하는 마스크를 이용함으로써 프로세싱될 수 있다. 몇몇 실시예들에 따르면, 또한, 터치 패널을 위해 요구되는 층 스택 및/또는 터치 패널을 위한 컨택 라인들을 형성하기 위해, 컨택 층이 패터닝되거나 또는 컨택 층의 부분(part)들이 제거될 수 있다.

[0034] 몇몇 실시예들에 따르면, TCO 층(260)의 패터닝은 임프린트 방법에 의해, 특히, (예를 들어, 구리가 또한 에칭되어야 하는 경우) 멀티레벨 임프린트(multilevel imprint) 방법에 의해 수행될 수 있다. 예를 들어, 이러한 멀티레벨 임프린트 방법은, 패터닝될 층(이를 테면, 본 실시예에서는 층(260))을 폴리머 코팅에 의해 코팅하는 것, 폴리머 코팅을 엠보싱(embossing)하는 것, 엠보싱된 폴리머 코팅을, 예를 들어 UV 광을 사용하여 경화시키는 것, 엠보싱 구조를 릴리싱(releasing)함으로써, 엠보싱된 폴리머 코팅을 노출시키는(exposing) 것, 및 폴리머 코트(coat)를 마스크로서 이용하여 패턴을 에칭하는 것을 포함할 수 있다. 이에 의해, TCO의 영역들 및 TCO의 영역들 사이의 갭들을 포함하는 상기 설명된 패턴이 형성될 수 있다.

[0035] 몇몇 실시예들에 따르면, TCO 층은 약 150 Ohm/square 또는 그 미만의 표면 저항을 가질 수 있다. 일 실시예에서, TCO 층의 표면 저항은 전형적으로 100 Ohm/square 미만, 보다 전형적으로는 약 80 Ohm/square 미만, 훨씬 더 전형적으로는 약 70 Ohm/square 미만이다. 일 예에서, TCO 층은 약 50 Ohm/square의 표면 저항을 제공한다.

[0036] 일반적으로, 구조화된 TCO 패턴, 예를 들어, TCO의 라인들은 옴(Ohm) 단위의 라인 저항에 해당한다. 하지만, 시트 저항이 적절한 파라미터이며, 그리고 테스트 영역(test area)들의 증착에 의해 결정될 수 있거나, 구조 기하형상 및 패터닝된 구조들의 저항에 기초하여 결정 또는 계산될 수 있다. 그에 따라, 비록 구조화된 층의 시트 저항이 직접적으로 결정될 수 없고(여전히 간접적으로 이루어짐), 그리고 오히려, 구조화되지 않은(unstructured) 층의 저항을 지칭하기는 하지만, 당업자는 구조화된 층에 대한 값에 해당하는 시트 저항에 관련시킬 것이다.

[0037] 도 2a 내지 2e가 TCO의 영역들로서 스트라이프(stripe)들 또는 정사각형들의 단순한 패턴을 도시하는 한편, 도 3은 TCO 패턴을 포함하는 층의 다른 예를 도시한다. TCO 층(300)은 TCO 영역들(320) 및 TCO 영역들(320) 사이의 갭들(330)을 갖는다. 도 3에서 볼 수 있는 바와 같이, TCO의 패턴은 하나의 방향에서 TCO 영역들(320)을 연결할 수 있고, 다른 방향에서는 TCO 영역들(320) 사이에 실질적으로 어떠한 연결도 제공하지 않을 수 있다. 예를 들어, TCO 영역들(320)을 연결함으로써 TCO 영역들(320)의 로우(row)들(310)이 형성되는 반면, 로우들(310) 사이에는 실질적으로 어떠한 연결도 제공되지 않는다. 도 3에 도시된 예에서, TCO 패턴은 뿔형(rhomb-like) TCO 영역들을 포함하지만; 본원에서 설명되는 TCO 패턴은 도시된 패턴으로 제한되지 않으며, 그리고 다르게 형상화된 TCO 영역들, 이를 테면, 스트라이프들의 형상, 직사각형 형상, 정방형(quadratic) 형상, 삼각형 형상, 다각형 형상, 또는 터치 패널에서 TCO 층에 대해 이용되기에 적합한 임의의 형상을 갖는 TCO 영역들을 제공할 수 있다. 몇몇 실시예들에 따르면, TCO 영역들은 전형적으로 약 1 mm 내지 약 7 mm, 보다 전형적으로는 약 2 mm 내지 약 6 mm, 훨씬 더 전형적으로는 약 3 mm 내지 약 5 mm의 직경을 가질 수 있다. 일 실시예에서, (도 3에서 참조 부호(325)에 의해 표시된) TCO 영역의 직경은 3mm 일 수 있다. 용어 "직경"은 TCO 영역들의 형태(form)에 의존하며, 그리고 하나의 방향에서 TCO 영역의 일차원(one dimension)에 의해 또한 정의될 수 있음을 이해해야 한다. 몇몇 실시예들에 따르면, 그리고 상기에서 이미 설명된 바와 같이, TCO 영역들은 경로들(이를 테면, 경로들(326))에 의해 연결될 수 있다. 일 실시예에서, 로우들(310)을 형성하기 위해 하나의 방향으로 TCO 영역들(320)을 연결하는 경로(326)는 약 1 mm의 폭(327)을 가질 수 있다.

[0038] 도 3은 TCO 패턴과 접촉하는 구리 라인들(340)을 추가적으로 도시한다. 몇몇 실시예들에 따르면, 구리 라인들(340)은 제어기(350)와 TCO 패턴을 연결한다. 예를 들어, 제어기(350)는, 터치 스크린을 접촉함으로써 유발되어 TCO 패턴 및 구리 라인들에 의해 전달되는 전류의 차이를 검출할 수 있다.

[0039] 도 2a 내지 2e를 다시 참조하면, 도 2c에서, 패터닝된 TCO 층(260)은 제 1 유전체 재료(270)에 의해 덮인다. 제 1 유전체 재료(270)는 도 1에서 설명된 제 1 유전체 재료와 동일한 특성들을 가질 수 있는 바, 이를 테면, TCO 층(260)과 유사한 또는 동일한 광학적 특성들을 가질 수 있다. 제 1 유전체 층(270)의 증착은 TCO 패턴의 갭들(262)을 충전한다.

- [0040] 몇몇 실시예들에 따르면, 도 2c에서 그리고 (도 2d에 도시된) 추가의 단계에서 도시된 바와 같이, 제 1 유전체 재료가 증착되어 TCO 층을 덮으며, TCO 패턴(260) 위의 (또는 TCO 패턴의 정의된 두께 위의) 제 1 유전체 재료는 제거된다. 몇몇 실시예들에 따르면, TCO 층(260) 상부의 제 1 유전체 재료(270)는 에칭 단계에 의해 제거된다.
- [0041] 도면(drawing)들에서 도시된 도(figure)들은 정확한 규모(scale)의 치수들을 도시하는 것은 아님을 이해해야 한다. 예를 들어, 제 1 유전체 재료의 층(270)은 실질적으로 TCO 층 만큼 두꺼울 수 있으며, 그리고 TCO 패턴 상에 제공되는 층(270)의 부분들 또는 입자들을 제거하기 전에, 증착 프로세스로 인해 TCO 패턴 상에 제 1 유전체 재료의 입자들을 제공할 수 있다. 도 2d에서 수행되는 프로세싱 단계 이후, 즉 TCO 패턴으로부터 제 1 유전체 재료를 제거한 이후, 제 1 유전체 재료의 층(270)은 TCO 층(260)과 실질적으로 동일한 두께, 이를 테면 약 50 nm의 두께를 가질 수 있다. 몇몇 실시예들에 따르면, TCO 패턴(260) 및 제 1 유전체 재료(270)는, 실질적으로 균일한 두께를 갖는 층(265)을 형성할 수 있다.
- [0042] 도 2e에서, TCO 영역들 상에 직접적으로 그리고 제 1 유전체 재료(270) 상에 직접적으로, 유전체 층(280)이 증착된다. 몇몇 실시예들에 따르면, 유전체 층(280)은 제 2 유전체 재료를 포함할 수 있으며, 제 2 유전체 재료는 제 1 유전체 재료와 상이할 수 있거나, 또는 상기 설명된 바와 같이 저 인텍스 재료일 수 있다. 예를 들어, 유전체 층은 SiO_x , 이를 테면 SiO_2 를 포함할 수 있다.
- [0043] "층이 재료 상에 직접적으로 증착된다" 또는 "층이 다른 층 상에 직접적으로 증착된다"라는 용어는, 서로 상에 직접적으로 증착되는 재료들 또는 층들 사이에 실질적으로 어떠한 추가의 층도 증착되지 않는 상황을 나타낸다는 것을 이해해야 한다. 하지만, 어떠한 층 상에 이전에 제공된 다른 재료들의 잔류물(remains), 입자들 또는 오염물질(contamination)들이 있을 수 있는데, 이들은 하나의 층을 다른 층 상에 직접적으로 제공하는 것을 방해하지 않으면서, 2개의 층들 사이에 있을 수 있다. 몇몇 실시예들에 따르면, 서로의 상에 직접적으로 제공되는 2개의 층들 간의 오염물질들은, 서로의 상에 직접적으로 제공되는 층들의 표면적의 최대 15%를 차지할 수 있다. 일 실시예에서, 제 2 재료 상에 직접적으로 제 1 재료를 제공한다는 것은, 제 2 재료의 적어도 약 85%가 제 1 재료와 직접적으로 컨택함을 의미할 수 있다. 예를 들어, 본원에서 설명되는 바와 같이 유전체 층이 TCO의 영역들 상에 직접적으로 증착된다는 것은, TCO 영역들의 표면의 85% 또는 그 초과가 유전체 층에 의해 직접적으로 덮임을 의미할 수 있다. 몇몇 실시예들에 따르면, TCO 패턴 내에 존재하는 모든 TCO 영역들이 제 2 유전체 재료에 의해 직접적으로 덮인다. 이는, TCO 갭들 내의 제 1 유전체 재료에 대한 구체적인 예에서도 동일하게 적용되며, 그에 의해, 본원에서 설명되는 바와 같은 유전체 층은 제 1 유전체 재료 상에 직접적으로 증착 또는 제공되거나 (또는 제 1 유전체 재료와 컨택한다).
- [0044] 몇몇 실시예들에 따르면, 특히, 컨택 층을 포함하는 실시예들에 따르면, 유전체 층(280)은, 전도성 구조를 컨택할 수 있도록 컨택 패턴 또는 컨택 층을 언커버링(uncover)하기 위해 임프린트 단계(이를 테면, 상기 설명된 바와 같은 임프린트 방법)를 받을 수 있다.
- [0045] 도 4a는 본원에서 설명되는 실시예들에 따른, 터치 패널 내의 층 구조의 예의 단면도를 도시한다. 터치 패널을 위한 층 구조(400)는 가요성 기판(410), 접착 층(420), 제 1 고 인텍스 층(430), 제 1 저 인텍스 층(440), 및 제 2 고 인텍스 층(450)을 포함할 수 있다. 터치 패널의 층 구조(400)는, TCO의 영역들 및 TCO의 영역들 사이의 갭들을 갖는 TCO 패턴(460)을 더 포함한다. TCO의 영역들 사이의 갭들은 제 1 유전체 재료(470)에 의해 충전된다. 몇몇 실시예들에 따르면, 층의 재료들은 도 1 및 2a 내지 2e의 층 스택들 내의 상기 설명된 층들의 재료들에 해당할 수 있다. 예를 들어, TCO 층의 패턴은 상기 언급된 바와 같은 임프린트 방법에 의해 형성될 수 있다. 일 실시예에서, 컨택 층(이를 테면, 구리 층)이 또한, TCO 층을 컨택하기 위해 스택 내에 형성될 수 있다. 대안적으로, 버스바(busbar)들을 제공하기 위해, Ag 페이스트가 제공될 수 있다.
- [0046] 도 4a에 도시된 터치 패널의 단면도는 또한, TCO 패턴의 갭들 내의 제 1 유전체 재료(470) 상에 직접적으로 그리고 TCO 패턴(460)의 TCO 영역들 상에 직접적으로 제공되는 제 2 유전체 재료를 포함하는 층(480)을 포함한다. 층(480)은 격리(isolate) 층으로서 나타낼 수 있다. 일 실시예에서, 층(480)은 SiO_2 를 포함한다.
- [0047] 몇몇 실시예들에 따르면, 터치 패널(400)은 층(461) 및 층(481)을 포함한다. 층(461)은 실질적으로 층(460) 처럼 제공될 수 있다. 예를 들어, 층(461)은 제 2 TCO 층일 수 있고, 층(481)은 제 2 유전체 층일 수 있다. 이는, 예를 들어, 층(461)이, TCO의 영역들 및 TCO의 영역들 사이의 갭들을 포함하는 TCO 패턴을 포함할 수 있음을 의미할 수 있으며, 갭들은, Si_3N_4 , Ta_2O_5 , ZrO_2 , ZnO , SnO_2 , 또는 SiN_xO_y 의 식을 갖는 재료들을 포함할 수 있는, 상기 설명된 바와 같은 제 1 유전체 재료와 같은 유전체 재료로 충전된다. 몇몇 실시예들에 따르면,

도 4a의 왼쪽의 좌표계에 표시된 바와 같이, 도 4a의 TCO 패턴(460)은 실질적으로 x-방향으로 연장하는 (running) TCO의 라인들에 의해 제공되는 한편, 층(461) 내의 TCO 패턴은 실질적으로 y-방향으로 연장하는 라인들을 포함한다.

[0048] 도 4b에는, 도 4a 및 4b 옆에 도시된 좌표계에서 볼 수 있는 바와 같이, 90도 회전(turn)한 이후의 터치 패널(400)의 단면도가 사시도로 도시되어 있다. 도 4b에서는, TCO 영역들(462) 및 TCO 영역들(462) 사이의 갭들을 갖는 TCO 패턴을 포함하는 층(461)의 구조를 볼 수 있다. 본원에서 설명되는 실시예들에 따르면, TCO 영역들(462) 사이의 갭들은, 상기 설명된 제 1 유전체 재료와 같은 유전체 재료(463)로 충전된다.

[0049] 도 4a 및 4b에 도시된 구조에 의해, 용량성 터치 패널이 제공될 수 있다. 도 4a 및 4b에서, 터치 패널은 2개의 층들(460 및 461) 간의 캐패시턴스 변화(capacitance variation)의 감지를 이용할 수 있다. 몇몇 실시예들에 따르면, 층들(460 및 461)은 또한 전도성 층들로서 나타낼 수 있다. 2개의 전도성 층들은 서로에 대해 평행하게 배열될 수 있으며, 격리기(isolator) 층(이를 테면, 층(480))에 의해 이격될 수 있다. (예를 들어, 예시적으로 구리로 형성되는, 상기 설명된 바와 같은 콘택 라인들에 의해) 전류가 인가되면, 전도성 층들 사이에, 저장된 전자들의 필드(field)가 달성된다. 손가락 또는 적합한 스틱(stick)이 터치 패널을 접촉하거나 또는 단지 패널에 근접하게 가까워지면, 2개의 전도성 층들 사이의 캐패시턴스의 값이 영향을 받고 달라질 것이다. (예를 들어, 제어기로 인해), 이러한 변수(variable)를 감지함으로써, 이를 테면, 링크된 제어기 주문제작된(customized) 알고리즘에 의해, 터치 위치가 표시될 수 있다.

[0050] 도 5는 본원에서 설명되는 실시예들에 따른 층 스택의 광학적 작용의 개략도를 도시한다. 약 50 nm의 두께를 갖는 패터닝된 TCO 층을 포함하는 층 스택의 광학적 작용이 도 5에 도시된다. 가로축에는, 약 380 nm 내지 약 780 nm 범위의 파장이 표시되어 있다. 세로축은 층 스택의 투과 작용을 입사광의 퍼센트 단위로 도시한다. 도 5의 다이어그램으로부터, 당업자는, 약 430 nm 내지 약 780 nm의 파장에서의 투과는 90% 초과이고, 약 540 nm 내지 약 740 nm의 파장에서의 투과는 95% 초과임을 인식할 것이다. 따라서, 본원에서 설명되는 실시예들에 따른 층 스택은, 알려진 시스템들과 비교하여, 강화된 광 투과율(optical transmittance)을 제공한다. 또한, 본원에서 설명되는 실시예들에 따른 층 스택은, 예를 들어, 층 스택 내에 비교적 두꺼운 TCO 층을 제공함으로써, 약 50 Ohm/square의 낮은 표면 저항을 제공한다.

[0051] 도 6은 본원에서 설명되는 실시예들에 따른 층 스택의 광학적 작용의 개략도를 도시한다. 약 50 nm의 두께를 갖는 패터닝된 TCO 층을 포함하는 층 스택의 광학적 작용이 도 6에 도시되어 있다. 가로축에는, 약 400 nm 내지 약 800 nm 범위의 파장이 표시되어 있다. 세로축은 층 스택의 반사 작용(reflection behavior)을 입사광의 퍼센트 단위로 도시한다. 도 6의 다이어그램으로부터, 당업자는, 약 440 nm 내지 약 660 nm의 파장에서의 반사는 0.5% 미만이고, 약 440 nm 및 약 600 nm의 파장에서의 반사는 0.2% 미만임을 인식할 것이다. 따라서, 본원에서 설명되는 실시예들에 따른 층 스택은, 터치 패널에서 반사-방지 층 스택의 역할을 할 수 있음과 동시에, 정의된 표면 저항을 갖는 신뢰성있는 전도성 층을 제공할 수 있다.

[0052] 도 7은 본원에서 설명되는 실시예들에 따른, 터치 패널을 위한 층 스택을 형성하기 위한 방법(700)의 흐름도를 도시한다. 방법(700)은, 박스(710)에서, 기판 상에 TCO 층을 증착하는 단계를 포함한다. 예를 들어, 기판은 폴리머를 포함할 수 있다. 본원에서 설명되는 몇몇 실시예들에 따르면, 기판은 웹, 포일, 또는 가요성 기판일 수 있다. 일 실시예에서, 코팅될 기판은 PET 기판, 특히 PET 포일이다. 박스(720)에서, 기판 상에 증착된 TCO 층이 패터닝된다. 이러한 패터닝은 에칭 단계에 의해, 멀티레벨 임프린트 방법 등에 의해 수행될 수 있다. 본원에서 설명되는 실시예들에 따르면, 패터닝된 TCO 층의 패턴은 TCO의 영역들 및 TCO의 영역들 사이의 갭들을 포함한다.

[0053] 본원에서 설명되는 다른 실시예들과 결합될 수 있는, 본원에서 설명되는 몇몇 실시예들에 따르면, 코팅될 기판은 웹일 수 있지만, 대면적 기판을 또한 포함할 수 있다. 몇몇 실시예들에서, 기판은, 약 0.67 m^2 기판들($0.73 \times 0.92 \text{ m}$)에 해당하는 GEN 4.5, 약 1.4 m^2 기판들($1.1 \text{ m} \times 1.3 \text{ m}$)에 해당하는 GEN 5, 약 4.29 m^2 기판들($1.95 \text{ m} \times 2.2 \text{ m}$)에 해당하는 GEN 7.5, 약 5.7 m^2 기판들($2.2 \text{ m} \times 2.5 \text{ m}$)에 해당하는 GEN 8.5, 또는 심지어, 약 8.7 m^2 기판들($2.85 \text{ m} \times 3.05 \text{ m}$)에 해당하는 GEN 10 일 수 있다. 훨씬 더 큰 세대(larger generation)들, 이를 테면 GEN 11 및 GEN 12, 및 해당하는 기판 면적(area)들이 유사하게 구현될 수 있다.

[0054] 몇몇 실시예들에 따르면, 방법(700)은 박스(730)를 더 포함하며, 여기에서는, 패터닝된 TCO 층의 갭들이 제 1 유전체 재료에 의해 충전된다. 제 1 유전체 재료는 TCO 층과 동일한 또는 적어도 유사한 광학 특성들을

가질 수 있다. 예를 들어, 제 1 유전체 재료는 도 1 및 도 2a 내지 2e와 관련하여 상기 설명된 바와 같은 제 1 유전체 재료일 수 있으며; 특히, 제 1 유전체 층은 TCO 패턴에서 이용되는 TCO와 동일한 또는 유사한 흡광 계수(k) 및/또는 동일한 또는 유사한 굴절률(n)을 가질 수 있다.

[0055] 박스(740)에서, 터치 패널을 위한 층 스택을 형성하기 위한 방법(700)은, 패터닝된 TCO 층의 TCO 영역들 상에 직접적으로 증착된 유전체 재료를 제거하는 단계를 포함한다. 일 실시예에서, TCO의 영역들 사이의 갭들의 충전은, 도 2c 및 2d에서 설명된 바와 같이, 즉, TCO 층 사이에 그리고 TCO 층 상에 제 1 유전체 재료를 제공함으로써, 수행된다. 이후, TCO 영역들 상에 제공된 제 1 유전체 재료가 제거될 수 있으며, 그에 따라, 제 1 유전체 재료는 TCO 영역들 사이의 갭들 내에만 존재하고, TCO 영역들 상에는 존재하지 않게 된다. 따라서, 몇몇 실시예들에 따르면, 제 1 유전체 재료는 TCO 층의 두께에 해당하는 두께로 형성된다. 예를 들어, TCO 층 및 제 1 유전체 재료의 두께는 전형적으로 약 25 nm 내지 약 90 nm, 보다 전형적으로는 약 30 nm 내지 약 70 nm, 훨씬 더 전형적으로는 약 40 nm 내지 약 60 nm 일 수 있다. 일 예에서, TCO 층의 두께는 약 50 nm일 수 있다.

[0056] 본원에서 설명되는 실시예들에 따르면, 방법(700)의 박스(750)는, TCO 영역 상에 직접적으로 그리고 제 1 유전체 재료 상에 직접적으로 유전체 층을 제공하는 단계를 포함한다. 다른 층 상으로의 하나의 층의 직접적인 증착은, 상기 설명되고 정의된 바와 같이 수행될 수 있다. 예를 들어, 제 2 재료 상에 직접적으로 제 1 재료를 제공한다는 것은, 제 2 재료의 약 85%가 제 1 재료와 직접적으로 컨택함을 의미할 수 있다. 예를 들어, 본원에서 설명된 바와 같이 유전체 층이 TCO의 영역들 상에 직접적으로 증착된다는 것은, TCO 영역들의 표면의 85% 또는 그 초과가 유전체 층에 의해 직접적으로 덮임을 의미할 수 있다. 이는, TCO 갭들 내의 제 1 유전체 재료에 대한 구체적인 예에서도 동일하게 적용되며, 그에 의해, 본원에서 설명되는 바와 같은 유전체 층은 제 1 유전체 재료 상에 직접적으로 증착 또는 제공되거나 (또는 제 1 유전체 재료와 컨택한다).

[0057] 몇몇 실시예들에 따르면, 폴리머 기판 상의 재료의 증착은, 전형적으로 약 150°C 미만, 보다 전형적으로는 약 120°C 미만, 훨씬 더 전형적으로는 약 100°C 미만의 온도에서 일어날 수 있다. 일 실시예에서, 본원에서 설명된 바와 같은 층 증착, 특히 TCO 재료의 층 증착은, 특히, PET 포일이 기판으로서 이용되는 경우, 약 80°C의 온도에서 일어날 수 있다. 본원에서 설명되는 층들의 증착은 스퍼터 프로세스, 예를 들어, 타겟 또는 회전 가능한 타겟을 이용하는 스퍼터 프로세스에 의해 수행될 수 있다.

[0058] 일 실시예에서, 터치 패널을 위한 층 스택을 형성하기 위한 방법은, TCO 층을 증착하기 전에, 기판 상에 직접적으로 접착 층을 증착하는 단계를 포함한다. 접착 층은 기판 상에 이후에 형성되는 층들의 접착을 개선시키는 역할을 할 수 있을 뿐만 아니라, 배리어 층 및 격리 층의 특성을 또한 제공할 수 있다. 일 실시예에서, 접착 층은, SiO_x , 이를 테면 SiO_2 를 포함하는 재료를 포함할 수 있다. 접착 층은 약 25 nm 또는 그 미만의 두께를 갖는 얇은 층일 수 있다. 접착 층을 증착한 후, 제 1 고 굴절률 층이 접착 층 상에 형성될 수 있다. 제 1 고 굴절률 층은 1.8 보다 높은 고 굴절률을 갖는 재료를 포함할 수 있다. 예를 들어, 고 굴절률을 갖는 재료는 Nb_xO_y , 이를 테면 Nb_2O_5 를 포함할 수 있다. 제 1 고 굴절률 층 상에는, 제 1 저 굴절률 층이 증착될 수 있다. 일 실시예에서, 저 굴절률 층은 1.6 보다 낮은 굴절률을 갖는 재료를 포함할 수 있다. 예를 들어, 제 1 저 굴절률 층은 SiO_2 와 같은 재료를 포함할 수 있다. 일 실시예에서, 저 굴절률 층 상에는, 제 2 고 굴절률 층이 형성될 수 있다. 제 2 고 굴절률 층은 제 1 저 굴절률 층과 유사한 층일 수 있으며, 예를 들어, 제 1 고 굴절률 층의 재료와 비교하여, 동일한 재료 및/또는 동일한 또는 유사한 재료 특성들을 제공한다. 몇몇 실시예들에 따르면, TCO 층의 상기 설명된 증착은 제 2 고 굴절률 층 상에서 수행될 수 있다.

[0059] 도 8은 터치 패널을 위한 층 스택을 형성하기 위한 방법의 실시예의 흐름도(800)를 도시한다. 일반적으로, 박스들(810, 820, 830, 840, 및 850)은 방법(700)의 박스들(710, 720, 730, 740, 및 750)에 각각 해당할 수 있다. 방법(800), 박스(810)에서 폴리머를 포함하는 기판 상에 TCO 층을 증착한 이후, 박스(815)에서 TCO 층 상에 컨택 층을 증착하는 단계를 더 포함한다. 컨택 층은, 박스(820)에서 TCO 층을 패터닝하기 전에, 증착될 수 있다. 일 실시예에서, 컨택 층은 구리 층을 포함할 수 있다.

[0060] 박스(820) 이후 수행될 수 있는 박스(825)에서, 패터닝된 TCO 층의 갭들을 제 1 유전체 재료로 충전하기 전에 컨택 층이 패터닝될 수 있다. 몇몇 실시예들에 따르면, TCO 층 및 컨택 층의 패터닝은 동시에 수행될 수 있다. 컨택 층을 패터닝한 후, 박스(830)에서 TCO 영역들 사이의 갭들 내에 제 1 유전체 재료가 충전될 수 있으며, 그리고 박스(840)에서, TCO 패턴 및 유전체 재료 충전물을 포함하는 균일한 층을 갖도록, 패터닝된 TCO 층의 TCO 영역들 상에 직접적으로 증착된 유전체 재료가 TCO 영역들로부터 제거될 수 있다. 박스(850)는, 상기 설명된 바와 같이, TCO 영역 상에 직접적으로 그리고 제 1 유전체 재료 상에 직접적으로 유전체 층을 제공하는

단계를 포함할 수 있다.

[0061] 구리가 컨택 가능물(contact possibility)로서 이용되고 TCO 층 상에 증착되는 몇몇 실시예들에 따르면, 터치 패널을 위한 층 스택을 형성하는 방법은, TCO 층 및 컨택 층을 패터닝하기 위한 2-레벨 임프린트 또는 다른 리소그래피 방법들을 포함할 수 있다. 2-레벨 임프린트 방법 이후, 컨택 층은 (패턴을 형성하도록) 에칭된다. 일 실시예에서, TCO는, TCO 패턴을 형성하기 위해, 컨택 층 에칭 이후 에칭된다. 상기 설명된 바와 같이, 에칭된 패턴은 TCO 영역들 및 TCO 영역들 사이의 갭들을 포함할 수 있다. 이후, 제 1 유전체 재료가 TCO 영역들 사이의 갭들 내에 충전되며, 여기서, 특히, 제 1 유전체 재료는 TCO와 동일한 굴절률 및/또는 동일한 흡광 계수를 갖는다(예를 들어, SiN_xO_y 식을 갖는 재료). 제 1 유전체 재료의 증착 이후, 제 2 임프린트 방법 또는 해당하는 리소그래피 방법이 이용된다. 이후, 특히, TCO 영역들 상에 존재하는 제 1 유전체 재료를 제거하기 위해, 그리고 추가적으로, 특히, 균일한 광학적 외관을 갖는, 제 1 유전체 재료 및 TCO 패턴을 포함하는 폐쇄 층(closed layer)을 형성하기 위해, 증착된 제 1 유전체 재료가 에칭된다. 제 1 유전체 재료를 에칭한 후, SiO_2 를 포함할 수 있는 유전체 층과 같은 저 굴절률 층이, TCO 패턴 및 제 1 유전체 재료를 포함하는 폐쇄 층 상에 증착될 수 있고, 제 3 임프린트 방법 또는 해당하는 리소그래피 방법에 의해 프로세싱될 수 있으며, 그리고 에칭될 수 있다. 예를 들어, 유전체 층은, (연결 라인(connecting line)들로서 제공될 수 있는) 컨택 패턴 또는 컨택 층을 노출시키기 위해, 특히, (예를 들어, 도 3에 도시된 바와 같이) 제어기에 연결될 수 있는 컨택 라인들을 통해 TCO 층을 컨택하는 것이 가능해지도록 컨택 패턴을 노출시키기 위해, 에칭될 수 있다.

[0062] 본원에서 설명되는 실시예들에 따르면, 패터닝된 TCO 층은, 제 1 유전체 재료와 함께, 패턴 구조가 없는 폐쇄 필름처럼 광학적으로 작용한다. TCO의 영역들 및 갭들 내에 충전되는 유전체 재료는 광학적으로 균일한 층을 형성한다. 특히, TCO 영역들 및 TCO 영역들 사이의 유전체 충전물에 의해 형성되는 필름은 전형적으로 약 25 nm 내지 약 90 nm, 보다 전형적으로는 약 30 nm 내지 약 70 nm, 훨씬 더 전형적으로는 약 40 nm 내지 약 60 nm의 두께를 가질 수 있다. 일 예에서, TCO 영역들 및 유전체 충전물을 포함하는 층의 두께는 약 50 nm 일 수 있다. 두께의 값들은, 단지(mere) TCO 층의 두께의 값들에 해당한다. TCO 영역들 사이에 증착되는 제 1 유전체 재료는 TCO 영역들 상에는 실질적으로 제공되지 않는다. 하지만, 상기 설명된 제거 단계로부터 남겨지는 입자들 또는 오염물질들이 예외일 수 있다. 실질적으로, 패터닝된 TCO 층 및 제 1 유전체 재료는, 균일한 광학적 외관을 갖는, 특히 상기 언급된 두께를 갖는 층을 형성한다.

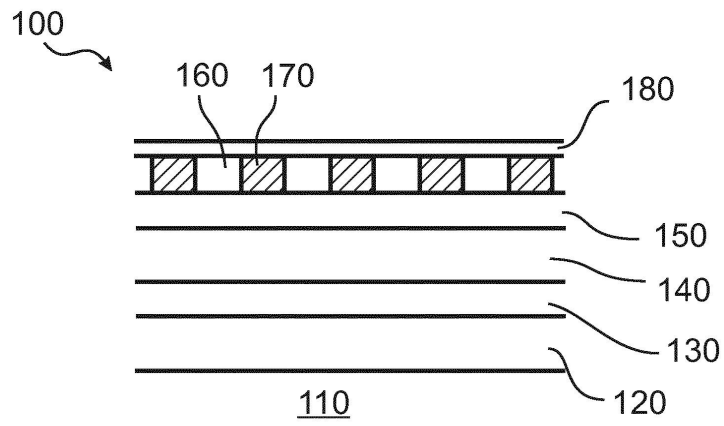
[0063] 본원에서 설명되는 실시예들에 따른 층 스택, 본원에서 설명되는 실시예들에 따른 층 스택을 포함하는 터치 패널, 및 본원에서 설명되는 실시예들에 따른 층 스택을 형성하기 위한 방법은, 높은 투과율을 제공함과 동시에, 낮은 표면 저항을 제공한다. TCO 패턴은 반사 방지 층 스택 내에서 거의 또는 완전히 비가시적이다. 따라서, 본원에서 설명되는 층 스택을 포함하는 터치 패널들은, 몇몇 실시예들에서, 제한된 온도에서의 층 증착만을 허용하는 폴리머 기판 상에 전도성 층이 제공되면서, 개선된 광학적 외관을 갖는다.

[0064] 상기 기재된 설명은, 최상의 모드(best mode)를 포함하는 본 발명을 개시하고, 그리고 임의의 당업자로 하여금 본 발명을 제작하고 이용할 수 있도록 하기 위하여, 예시들을 이용한다. 본 발명이 다양한 구체적인 실시예들에 관하여 설명되었지만, 당업자는 본 발명이 청구항들의 사상 및 범위 내에서 변경들을 가지면서 실행될 수 있다는 것을 인식할 것이다. 특히, 실시예들의 예시들의 상호 비-배타적인 특징들 및 상기 설명된 실시예들 또는 그 변경들은 서로 결합될 수 있다.

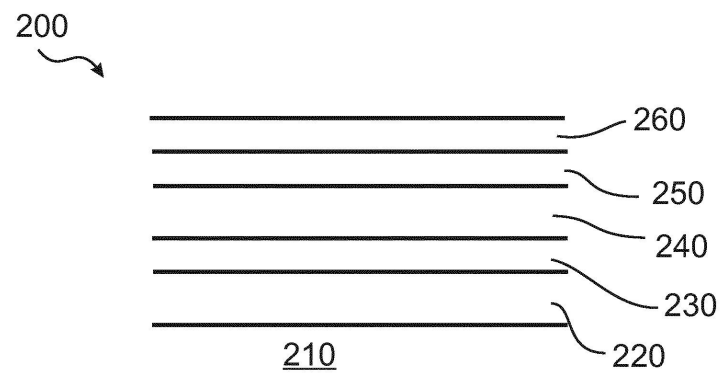
[0065] 전술한 바가 본 발명의 실시예들에 관한 것이지만, 본 발명의 다른 그리고 추가적인 실시예들이, 본 발명의 기본적인 범위로부터 벗어나지 않고 고안될 수 있고, 본 발명의 범위는 다음의 청구항들에 의해 결정된다.

도면

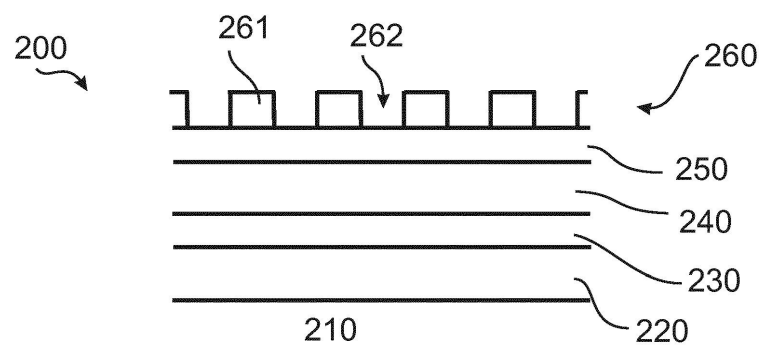
도면1



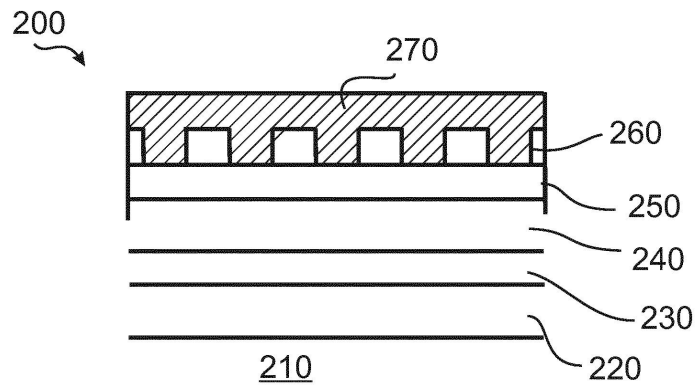
도면2a



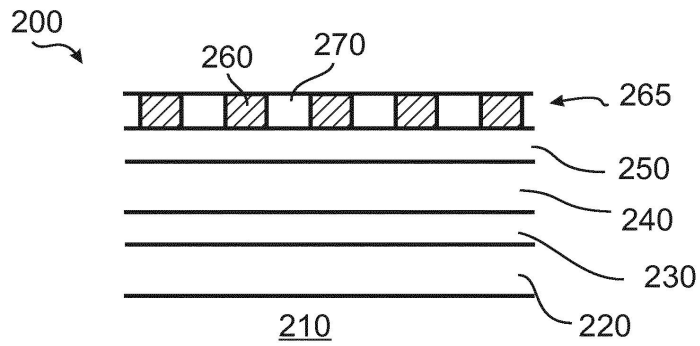
도면2b



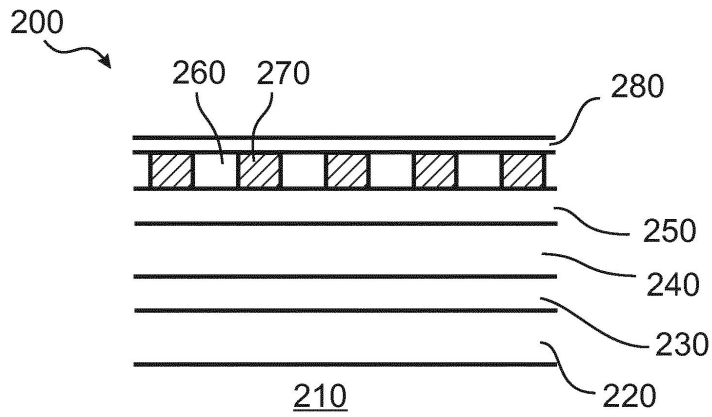
도면2c



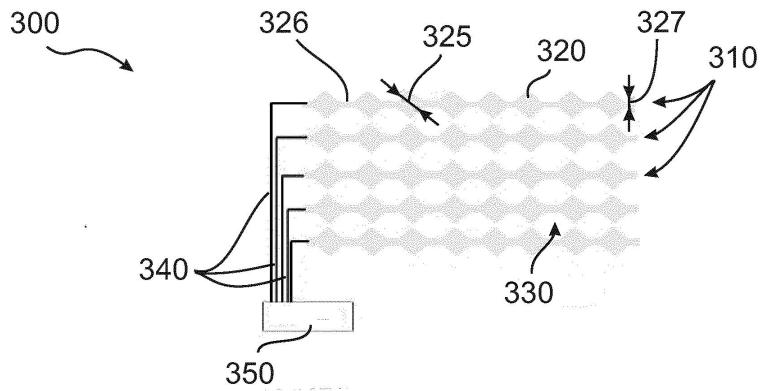
도면2d



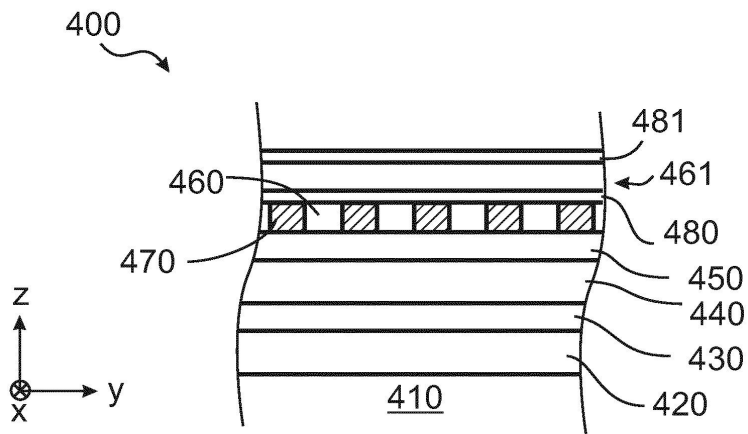
도면2e



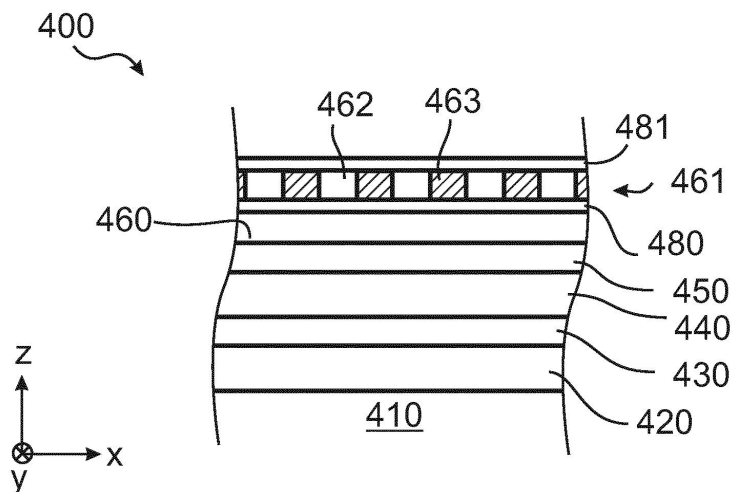
도면3



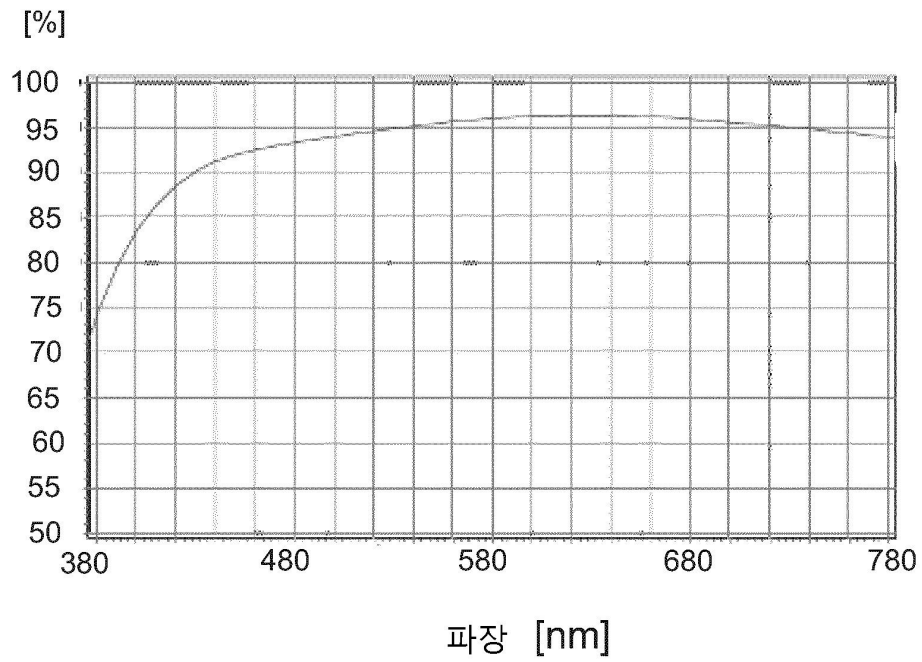
도면4a



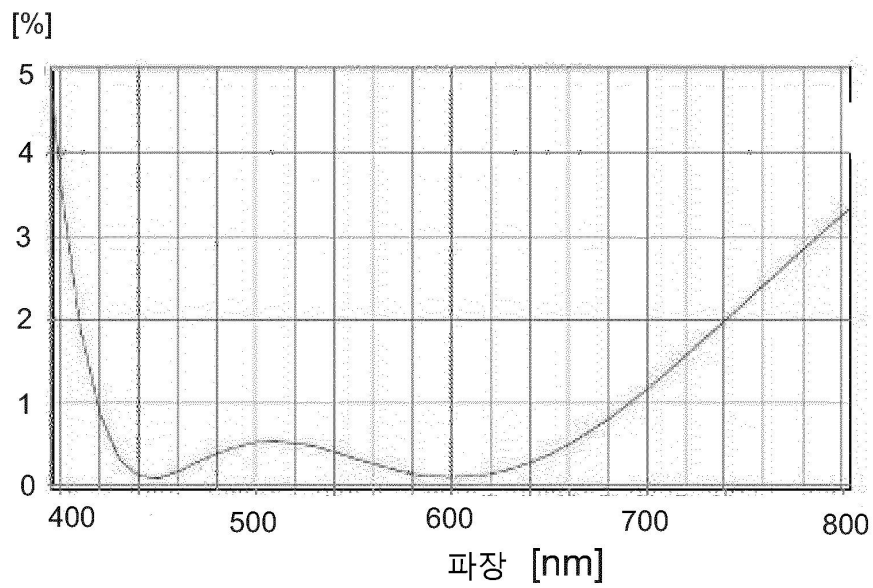
도면4b



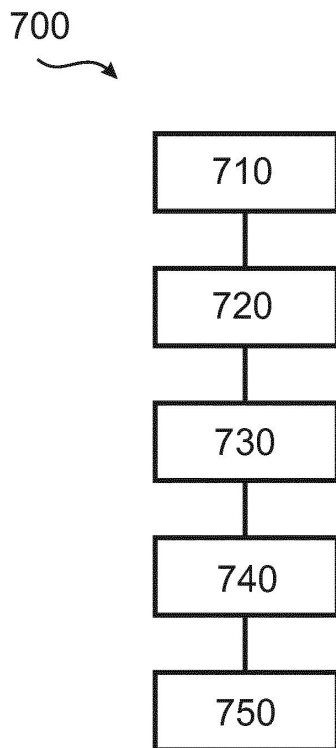
도면5



도면6



도면7



도면8

