

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3950294号
(P3950294)

(45) 発行日 平成19年7月25日(2007.7.25)

(24) 登録日 平成19年4月27日(2007.4.27)

(51) Int.C1.

F 1

HO1L 21/8238 (2006.01)	HO1L 27/08	321A
HO1L 27/092 (2006.01)	HO1L 21/76	L
HO1L 21/76 (2006.01)	HO1L 27/08	321B
HO1L 27/08 (2006.01)	HO1L 27/08	331A

請求項の数 4 (全 23 頁)

(21) 出願番号	特願2000-349675 (P2000-349675)
(22) 出願日	平成12年11月16日 (2000.11.16)
(65) 公開番号	特開2002-158293 (P2002-158293A)
(43) 公開日	平成14年5月31日 (2002.5.31)
審査請求日	平成15年1月24日 (2003.1.24)

(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(74) 代理人	100062144 弁理士 青山 葉
(74) 代理人	100084146 弁理士 山崎 宏
(72) 発明者	柴田 晃秀 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(72) 発明者	岩田 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板内に形成された第1導電型の1番目に深いウェル領域と、

前記第1導電型の1番目に深いウェル領域上に形成された第1の第1導電型の2番目に深いウェル領域と、

前記第1の第1導電型の2番目に深いウェル領域上に形成された第1の第2導電型の浅いウェル領域と、

前記第1の第2導電型の浅いウェル領域上に形成され、ゲート電極と前記第1の第2導電型の浅いウェル領域とが電気的に接続された第1導電型の動的閾値トランジスタと、

前記第1導電型の1番目に深いウェル領域上に形成された第1の第2導電型の2番目に深いウェル領域と、

前記第1の第2導電型の2番目に深いウェル領域上に形成された第2の第2導電型の浅いウェル領域と、

前記第2の第2導電型の浅いウェル領域上に形成された第1導電型の基板バイアス可変トランジスタとなる第1導電型の電界効果トランジスタと、

前記第1の第2導電型の2番目に深いウェル領域上に形成された第3の第2導電型の浅いウェル領域と、

前記第3の第2導電型の浅いウェル領域上に形成され、前記第1導電型の電界効果トランジスタの基板バイアスを変化させるための第1の入力端子と、

10

20

前記半導体基板内に形成された第2導電型の1番目に深いウェル領域と、
前記第2導電型の1番目に深いウェル領域上に形成された第2の第2導電型の2番目に深いウェル領域と、

前記第2の第2導電型の2番目に深いウェル領域上に形成された第1の第1導電型の浅いウェル領域と、

前記第1の第1導電型の浅いウェル領域上に形成され、ゲート電極と前記第1導電型の浅いウェル領域とが電気的に接続された第2導電型の動的閾値トランジスタと、

前記第2導電型の1番目に深いウェル領域上に形成された第2の第1導電型の2番目に深いウェル領域と、

前記第2の第1導電型の2番目に深いウェル領域上に形成された第2の第1導電型の浅いウェル領域と、10

前記第2の第1導電型の浅いウェル領域上に形成された第2導電型の基板バイアス可変トランジスタとなる第2導電型の電界効果トランジスタと、

前記第2の第1導電型の2番目に深いウェル領域上に形成された第3の第1導電型の浅いウェル領域と、15

前記第3の第1導電型の浅いウェル領域上に形成され、前記第2導電型の電界効果トランジスタの基板バイアスを変化させるための第2の入力端子とを備え、

前記第1の第1導電型の2番目に深いウェル領域上に形成されると共に、前記第1導電型の動的閾値トランジスタが形成された前記第1の第2導電型の浅いウェル領域は、第1導電型の動的閾値トランジスタの形成領域であり、20

前記第1の第2導電型の2番目に深いウェル領域上に形成されると共に、前記第1導電型の基板バイアス可変トランジスタが形成された前記第2の第2導電型の浅いウェル領域は、第1導電型の基板バイアス可変トランジスタの形成領域であり、

前記第1導電型の基板バイアス可変トランジスタが形成される前記第2の第2導電型の浅いウェル領域と、前記第1の入力端子が形成される前記第3の第2導電型の浅いウェル領域とは、素子分離領域で分離されており、かつ、前記第1の第2導電型の2番目に深いウェル領域によって電気的に接続されており、25

前記第2の第2導電型の2番目に深いウェル領域上に形成されると共に、前記第2導電型の動的閾値トランジスタが形成された前記第1の第1導電型の浅いウェル領域は、第2導電型の動的閾値トランジスタの形成領域であり、30

前記第2の第1導電型の2番目に深いウェル領域上に形成されると共に、前記第2導電型の基板バイアス可変トランジスタが形成された前記第2の第1導電型の浅いウェル領域は、第2導電型の基板バイアス可変トランジスタの形成領域であり、

前記第2導電型の基板バイアス可変トランジスタが形成される前記第2の第1導電型の浅いウェル領域と、前記第2の入力端子が形成される前記第3の第1導電型の浅いウェル領域とは、素子分離領域で分離されており、かつ、前記第2の第1導電型の2番目に深いウェル領域によって電気的に接続されており、35

前記第1導電型の動的閾値トランジスタの形成領域と前記第2導電型の動的閾値トランジスタの形成領域とは、素子分離領域を介して互いに隣接し、40

前記第1導電型の動的閾値トランジスタの形成領域は、素子分離領域を介して、前記第1導電型の基板バイアス可変トランジスタの形成領域に隣接し、

前記第2導電型の動的閾値トランジスタの形成領域は、素子分離領域を介して、前記第2導電型の基板バイアス可変トランジスタの形成領域に隣接し、

前記各素子分離領域は、隣接する浅いウェル領域同士を電気的に分離し、かつ、2番目に深いウェル領域同士を電気的に分離しない深さを有した素子分離領域であり、45

前記第1導電型の1番目に深いウェル領域及び前記第1の第1導電型の2番目に深いウェル領域は、第3の入力端子によって電位が固定されており、

前記第2導電型の1番目に深いウェル領域及び前記第2の第2導電型の2番目に深いウェル領域は、第4の入力端子によって電位が固定されており、50

全体的に3層のウェル領域からなることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、前記第1導電型の1番目に深いウェル領域上に形成された第1の第2導電型の2番目に深いウェル領域と、前記第1の第2導電型の2番目に深いウェル領域上に形成された第2の第2導電型の浅いウェル領域と、前記第2の第2導電型の浅いウェル領域上に形成された第1導電型の電界効果トランジスタと、前記第3の第2導電型の浅いウェル領域上に形成され、前記第1導電型の電界効果トランジスタの基板バイアスを変化させるための前記第1の入力端子とからなる第1導電型の回路ブロック、あるいは、

前記第2導電型の1番目に深いウェル領域上に形成された第2の第1導電型の2番目に深いウェル領域と、前記第2の第1導電型の2番目に深いウェル領域上に形成された第2の第1導電型の浅いウェル領域と、前記第2の第1導電型の浅いウェル領域上に形成された第2導電型の電界効果トランジスタと、前記第3の第1導電型の浅いウェル領域上に形成され、前記第2導電型の電界効果トランジスタの基板バイアスを変化させるための前記第2の入力端子とからなる第2導電型の回路ブロックの少なくとも一方を複数個備えることを特徴とする半導体装置。 10

【請求項3】

請求項1または2に記載の半導体装置において、前記第1導電型の動的閾値トランジスタと前記第2導電型の動的閾値トランジスタ、または前記第1導電型の電界効果トランジスタと前記第2導電型の電界効果トランジスタ、または前記第1導電型の動的閾値トランジスタと前記第2導電型の電界効果トランジスタ、または前記第1導電型の電界効果トランジスタと前記第2導電型の動的閾値トランジスタで相補型回路を構成することを特徴する半導体装置。 20

【請求項4】

請求項1乃至3のいずれか1つに記載の半導体装置において、前記素子分離領域の幅は少なくとも2種類有り、一方の側にある浅いウェル領域が第1導電型で、他方の側にある浅いウェル領域の導電型が第2導電型で、かつ、前記一方の側にある2番目に深いウェル領域が第2導電型で、他方の側にある2番目に深いウェル領域の導電型が第1導電型である前記素子分離領域の幅をA、両側にある浅いウェル領域の導電型が同一で、かつ、両側にある2番目に深いウェル領域の導電型が互いに異なる前記素子分離領域の幅をB、両側にある浅いウェル領域の導電型が同一で、かつ、両側にある2番目に深いウェル領域の導電型が同一である前記素子分離領域の幅をCとするとき、 30

$A > C, B > C$

であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より具体的には、動的閾値トランジスタ及び基板バイアス可変トランジスタを有する半導体装置に関する。 40

【0002】

【従来の技術】

MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いたCMOS(相補型MOS)回路において消費電力を減少させるには、電源電圧を下げる事が最も有効である。しかし、単に電源電圧を低下させるとMOSFETの駆動電流が低下し、回路の動作速度が遅くなる。この現象は、電源電圧がトランジスタの閾値の3倍以下になると顕著になることが知られている。この現象を防ぐためには、閾値を低くすればよいが、そうするとMOSFETのオフ時のリーク電流が増大するという問題が生じることとなる。そのため前記問題が生じない範囲で閾値の下限が規定される。閾値の下限は、電源電圧の下限に対応しているため、低消費電力化の限界を規定することとなる。

【0003】

50

20

30

40

50

従来、前記問題を緩和するために、バルク基板を用いたダイナミック閾値動作トランジスタ（以下、DTMOSと言う。）が提案されている（特開平10-22462号公報、Novel Bulk Threshold Voltage MOSFET(B-DTMOS) with Advanced Isolation(SITOS) and Gate to Shallow Well Contact(SSS-C) Processes for Ultra Low Power Dual Gate CMOS, H.Kotaki et al., IEDM Tech. Dig., p459, 1996）。前記DTMOSは、オン時に実効的な閾値が低下するため、低電源電圧で高駆動電流が得られるという特徴を持つ。DTMOSの実効的な閾値が、オン時に低下するのは、ゲート電極とウェル領域が電気的に短絡されているからである。

【0004】

以下、N型のDTMOSの動作原理を説明する。なお、P型のDTMOSは、極性を逆にすることで同様の動作をする。前記N型のMOSFETにおいて、ゲート電極の電位がローレベルにあるとき（オフ時）はP型のウェル領域の電位もローレベルにあり、実効的な閾値は通常のMOSFETの場合と変わりない。したがって、オフ電流値（オフリーケ）は通常のMOSFETの場合と同じである。

【0005】

一方、ゲート電極の電位がハイレベルにある時（オン時）はP型のウェル領域の電位もハイレベルになり、基板バイアス効果により実効的な閾値が低下し、駆動電流は通常のMOSFETの場合に比べて増加する。このため、低電源電圧で低リーケ電流を維持しながら大きな駆動電流を得ることができる。

【0006】

DTMOSはゲート電極とウェル領域が電気的に短絡されている。このため、ゲート電極の電位が変化すると、ウェルの電位も同様に変化する。したがって、各DTMOSのウェル領域は、隣接するMOSFETのウェル領域と互いに電気的に分離されなければならない。そのため、ウェル領域は、互いに極性の異なる浅いウェル領域と深いウェル領域とからなる。なおかつ、各DTMOSの浅いウェル領域は、素子分離領域により互いに電気的に分離されている。

【0007】

低電圧駆動でオフリーケを抑え、かつ高駆動電流を得るための従来の方法としては、スタンダードバイ時とアクティブ時でウェルバイアスを変化させる方法もある（特開平6-216346号公報、特開平10-340998号公報）。

【0008】

以下、スタンダードバイ時とアクティブ時でウェルバイアスを変化させるMOSFETを、基板バイアス可変トランジスタと記述する。

【0009】

以下、N型の基板バイアス可変トランジスタの動作原理を説明する。なお、P型の基板バイアス可変トランジスタは、極性を逆にすることで同様の動作をする。N型の基板バイアス可変トランジスタにおいて、回路がアクティブ状態にあるときは、バイアス発生回路よりP型のウェル領域に0Vまたは正の電圧を印加する（ソースの電位を基準とする）。P型のウェル領域に正の電圧を印加した場合は、基板バイアス効果により実効的な閾値が低下し、駆動電流は通常のMOSFETの場合に比べて増加する。また、回路がスタンダードバイ状態にあるときは、バイアス発生回路よりP型のウェル領域に負の電圧を印加する。これにより、基板バイアス効果により実効的な閾値が増大し、オフリーケは通常のMOSFETまたはDTMOSに比べて減少する。

【0010】

通常、基板バイアス可変トランジスタを用いた回路では、回路ブロック毎にアクティブ状態かスタンダードバイ状態かが選択される。これは、各素子毎にバイアス発生回路を設けた場合、素子数と回路面積が著しく増大するためである。以上の理由から、回路ブロック内では、N型MOSFETのP型のウェル領域は共通である（P型MOSFETのN型のウェル領域も同様である）。したがって、アクティブ状態にある回路ブロック内では、全てのN型MOSFETのウェル領域に0Vまたは正の電圧が印加されており、通常のMOS

10

20

30

40

50

FETまたはDTMOSに比べてオフリードが増大する（P型MOSFETも同様である）。

【0011】

基板バイアス可変トランジスタを用いた回路では、回路ブロック内のMOSFETのウェル領域は共通にしなければならない。そのため素子分離領域の底面の深さは、MOSFETのソース領域及びドレイン領域と深いウェル領域との接合の深さよりも深く、かつ、ウェル領域の下端の深さより浅く設定される。

【0012】

前記DTMOSと前記基板バイアス可変トランジスタを組み合わせて、それぞれの長所を生かす技術が開示されている（特開平10-340998号公報）。 10

【0013】

この技術で作成された素子の断面図を図11に示す。図11中、311は半導体P型基板、312はN型の深いウェル領域、313はP型の深いウェル領域、314はN型の深いウェル領域、315はP型の深いウェル領域、316は素子分離領域、317はN型MOSFETのソース領域、318はN型MOSFETのドレイン領域、319はP型MOSFETのソース領域、320はP型MOSFETのドレイン領域、321はN型の深いウェル領域にコンタクトをとるためのN+拡散層、322はP型の深いウェル領域にコンタクトをとるためのP+拡散層、323はゲート絶縁膜、324はゲート電極、325はP型の基板バイアス可変トランジスタ、326はN型の基板バイアス可変トランジスタ、327はN型のDTMOS、328はP型のDTMOS、329はP型の基板バイアス可変トランジスタへのウェルバイアス入力、330はN型の基板バイアス可変トランジスタへのウェルバイアス入力、331はP型の深いウェル領域の固定バイアス入力をそれぞれ示している。なお、図示してはいないが、N型のDTMOS327ではゲート電極324とP型の深いウェル領域315が、P型のDTMOS328ではゲート電極324とN型の深いウェル領域314が、それぞれ電気的に短絡されている。 20

【0014】

DTMOS327及び328では、深いウェル領域314及び315の電位がゲート電極324の電位に応じて変動する。深いウェル領域314及び315の電位の変動が他の素子の深いウェル領域314及び315に影響を与えるのを防ぐため、深いウェル領域314及び315の下には、その深いウェル領域314及び315とは反対導電型の深いウェル領域313及び312を形成する。かつ、素子分離領域316を互いに隣接する素子の深いウェル領域314及び315を電気的に分離するに足る深さで形成する。これにより、深いウェル領域314及び315は、隣接する素子の深いウェル領域314及び315と電気的に分離される。一方、1つの回路ブロック内にある基板バイアス可変トランジスタ326の深いウェル領域は共通でなくてはならない。そのため、図11中N型基板バイアス可変トランジスタ326のP型の深いウェル領域315の下部にはP型の深いウェル領域313が形成されており、このP型の深いウェル領域313がP型の深いウェル領域315と一体となって共通のウェル領域を構成している。このP型の共通ウェル領域313、315にはN型の基板バイアス可変トランジスタ326へのウェルバイアス入力330を介してアクティブ時とスタンバイ時で異なる電位が与えられる。他の回路ブロックもしくはDTMOS部の素子に影響を与えないために、更に基板深くにN型の深いウェル領域312を形成している。これにより、P型の深いウェル領域313を電気的に分離している。図11中、P型基板バイアス可変トランジスタ325の深いウェル領域314の下部にはN型の深いウェル領域312が形成されており、このN型の深いウェル領域312がN型の深いウェル領域314と一体となって共通のウェル領域312、314を構成している。このN型の共通ウェル領域312、314にはP型の基板バイアス可変トランジスタ325へのウェルバイアス入力329を介してアクティブ時とスタンバイ時で異なる電位が与えられる。 40

【0015】

図12及び13は、この従来の半導体装置の深いウェル領域312、313の形成手順 50

を示す。図12に示すように、フォトレジスト332をマスクとして、P型の深いウェル領域313を形成するための不純物注入を行い、次いで、更に深くN型の深いウェル領域312を形成するための不純物注入を行う。次に、図13に示すように、フォトレジスト332をマスクとして、N型の深いウェル領域312'を形成するための不純物注入を行う。このとき、N型の深いウェル領域312'の深さは、P型の深いウェル領域313の深さと同程度にする。以上の工程で、N型の深いウェル領域312と312'は一体化し、P型の深いウェル領域312が電気的に分離される。

【0016】

このようにして、基板バイアス可変トランジスタ325, 326とDTMOS327, 328を同一基板311上に形成し、それぞれの長所を生かした回路を実現することができる。

10

【0017】

【発明が解決しようとする課題】

図11に示すように、DTMOS327, 328と基板バイアス可変トランジスタ325, 326を組み合わせた従来の半導体装置（特開平10-340998号公報）では、P型の深いウェル領域313, 313, …は電気的に分離することができるが、N型の深いウェル領域312は1枚の基板311内で共通になっている。したがって、同一基板311内にN型の基板バイアス可変トランジスタ326, 326…の回路ブロックを複数作成することはできるが、P型の基板バイアス可変トランジスタ325…の回路ブロックを複数作成することはできない。そのため、P型の基板バイアス可変トランジスタ325…の回路ブロックを、アクティブ状態の回路ブロックとスタンダードバイ状態の回路ブロックに適切に分けることができない。例えば、P型の基板バイアス可変トランジスタ325, 325…の一部のみアクティブ状態にする必要がある場合でも、P型の基板バイアス可変トランジスタ325, 325…の全体がアクティブ状態になってしまい、リーク電流が増加する。このため、消費電力が増加することとなる。

20

【0018】

また、前記従来の半導体装置では、N型の深いウェル領域312は基板311内で一体であるから、基板311全体の面積に匹敵する大面積のPN接合をもつ。すなわち、非常に大きな静電容量が寄生している。したがって、P型の基板バイアス可変トランジスタ325, 325…の回路ブロックにおいてアクティブ・スタンダードバイの切り替えを行うと、N型の深いウェル領域312全体のバイアスが変化して、多量の電荷を充放電することになる。このため、消費電力が増加することとなる。

30

【0019】

更にまた、前記従来の半導体装置では、P型の基板バイアス可変トランジスタ325, 325…をアクティブ状態にすると（すなわち、N型の深いウェル領域312に電源電圧よりも低い電位を与えると）、ラッチアップ現象を誘発しやすくする可能性がある。P型DTMOS328のN型の深いウェル領域314、P型の深いウェル領域313、N型の深いウェル領域312、及びN型DTMOS324のP型の深いウェル領域315を通る経路からなるNPNP構造において、P型DTMOS328のN型の深いウェル領域314に接地電位以下のバイアスがかかった場合（アンダーシュート）を考える。DTMOS328はゲート電極324と深いウェル領域314が電気的に接続されているので、ゲート電極324を通じてP型DTMOS328のN型の深いウェル領域314に接地電位以下のバイアスがかかりうる。このとき、P型DTMOS328のN型の深いウェル領域314と、P型の深いウェル領域313との間の接合には順方向電圧がかかるので、P型の深いウェル領域313には電子が注入される。P型の深いウェル領域313に注入された電子は、N型の深いウェル領域312に到達し、N型の深いウェル領域312の電位を下げる。N型の深いウェル領域312の電位が下がると、N型DTMOS327のP型の深いウェル領域315からN型の深いウェル領域312にホールが注入される。N型の深いウェル領域312に注入されたホールは、P型の深いウェル領域313に到達し、P型の深いウェル領域313の電位を上げる。P型の深いウェル領域313の電位が上がると、

40

50

P型D T M O S 3 2 8のN型の浅いウェル領域3 1 4からP型の深いウェル領域3 1 3への電子注入がますます増加する。以上の過程が繰り返されて（正の帰還がかかり）、前記N P N P構造に異常電流が流れ、ラッチアップ現象が発生する。ここで、最初からN型の深いウェル領域3 1 2に電源電圧より低い電圧がかかっていれば（すなわち、P型の基板バイアス可変トランジスタ3 2 5がアクティブ状態にあれば）、よりラッチアップ現象が起こりやすい。また、P型の基板バイアス可変トランジスタ3 2 5がスタンドバイ状態になつても（すなわち、N型の深いウェル領域3 1 2に電源電圧より高い電位を与えても）、ラッチアップ現象を誘発しやすくなる可能性がある。この場合は、N型D T M O S 3 2 7のP型の浅いウェル領域3 1 5とN型の深いウェル領域3 1 2との接合、及びP型の深いウェル領域3 1 3とN型の深いウェル領域3 1 2との接合に大きな逆バイアスがかかる。そのため、N型D T M O S 3 2 7のP型の浅いウェル領域3 1 5とP型の深いウェル領域3 1 3との間でパンチスルーレが起こり、前記N P N P構造でラッチアップ現象が起こる引きがねとなる。なお、ラッチアップの経路としては、前記の他に、N型D T M O S 3 2 7のドレイン領域3 1 8、N型D T M O S 3 2 7のP型の浅いウェル領域3 1 5、N型の深いウェル領域3 1 2及びP型の深いウェル領域3 1 3を通る経路からなるN P N P構造なども挙げられる。このように、N型の深いウェル領域3 1 2のバイアスが大きく変化すると、ラッチアップ現象の制御が難しくなる。このため、素子の信頼性が低下することとなる。

【0020】

本発明は、前記問題を解決するべくなされたものであり、その目的は、低消費電力で信頼性の高い、D T M O S及び基板バイアス可変トランジスタを有する半導体装置を提供することにある。

【0021】

【課題を解決するための手段】

前記目的を達成するため、本発明の半導体装置は、
半導体基板と、

前記半導体基板内に形成された第1導電型の1番目に深いウェル領域と、
前記第1導電型の1番目に深いウェル領域上に形成された第1の第1導電型の2番目に深いウェル領域と、

前記第1の第1導電型の2番目に深いウェル領域上に形成された第1の第2導電型の浅いウェル領域と、

前記第1の第2導電型の浅いウェル領域上に形成され、ゲート電極と前記第1の第2導電型の浅いウェル領域とが電気的に接続された第1導電型の動的閾値トランジスタと、

前記第1導電型の1番目に深いウェル領域上に形成された第1の第2導電型の2番目に深いウェル領域と、

前記第1の第2導電型の2番目に深いウェル領域上に形成された第2の第2導電型の浅いウェル領域と、

前記第2の第2導電型の浅いウェル領域上に形成された第1導電型の基板バイアス可変トランジスタとなる第1導電型の電界効果トランジスタと、

前記第1の第2導電型の2番目に深いウェル領域上に形成された第3の第2導電型の浅いウェル領域と、

前記第3の第2導電型の浅いウェル領域上に形成され、前記第1導電型の電界効果トランジスタの基板バイアスを変化させるための第1の入力端子と、

前記半導体基板内に形成された第2導電型の1番目に深いウェル領域と、

前記第2導電型の1番目に深いウェル領域上に形成された第2の第2導電型の2番目に深いウェル領域と、

前記第2の第2導電型の2番目に深いウェル領域上に形成された第1の第1導電型の浅いウェル領域と、

前記第1の第1導電型の浅いウェル領域上に形成され、ゲート電極と前記第1導電型の浅いウェル領域とが電気的に接続された第2導電型の動的閾値トランジスタと、

10

20

40

50

前記第2導電型の1番目に深いウェル領域上に形成された第2の第1導電型の2番目に深いウェル領域と、

前記第2の第1導電型の2番目に深いウェル領域上に形成された第2の第1導電型の浅いウェル領域と、

前記第2の第1導電型の浅いウェル領域上に形成された第2導電型の基板バイアス可変トランジスタとなる第2導電型の電界効果トランジスタと、

前記第2の第1導電型の2番目に深いウェル領域上に形成された第3の第1導電型の浅いウェル領域と、

前記第3の第1導電型の浅いウェル領域上に形成され、前記第2導電型の電界効果トランジスタの基板バイアスを変化させるための第2の入力端子と
10
を備え、

前記第1の第1導電型の2番目に深いウェル領域上に形成されると共に、前記第1導電型の動的閾値トランジスタが形成された前記第1の第2導電型の浅いウェル領域は、第1導電型の動的閾値トランジスタの形成領域であり、

前記第1の第2導電型の2番目に深いウェル領域上に形成されると共に、前記第1導電型の基板バイアス可変トランジスタが形成された前記第2の第2導電型の浅いウェル領域は、第1導電型の基板バイアス可変トランジスタの形成領域であり、

前記第1導電型の基板バイアス可変トランジスタが形成される前記第2の第2導電型の浅いウェル領域と、前記第1の入力端子が形成される前記第3の第2導電型の浅いウェル領域とは、素子分離領域で分離されており、かつ、前記第1の第2導電型の2番目に深い
20
ウェル領域によって電気的に接続されており、

前記第2の第2導電型の2番目に深いウェル領域上に形成されると共に、前記第2導電型の動的閾値トランジスタが形成された前記第1の第1導電型の浅いウェル領域は、第2導電型の動的閾値トランジスタの形成領域であり、

前記第2の第1導電型の2番目に深いウェル領域上に形成されると共に、前記第2導電型の基板バイアス可変トランジスタが形成された前記第2の第1導電型の浅いウェル領域は、第2導電型の基板バイアス可変トランジスタの形成領域であり、

前記第2導電型の基板バイアス可変トランジスタが形成される前記第2の第1導電型の浅いウェル領域と、前記第2の入力端子が形成される前記第3の第1導電型の浅いウェル
30
領域とは、素子分離領域で分離されており、かつ、前記第2の第1導電型の2番目に深いウェル領域によって電気的に接続されており、

前記第1導電型の動的閾値トランジスタの形成領域と前記第2導電型の動的閾値トランジスタの形成領域とは、素子分離領域を介して互いに隣接し、

前記第1導電型の動的閾値トランジスタの形成領域は、素子分離領域を介して、前記第1導電型の基板バイアス可変トランジスタの形成領域に隣接し、

前記第2導電型の動的閾値トランジスタの形成領域は、素子分離領域を介して、前記第2導電型の基板バイアス可変トランジスタの形成領域に隣接し、

前記各素子分離領域は、隣接する浅いウェル領域同士を電気的に分離し、かつ、2番目に深いウェル領域同士を電気的に分離しない深さを有した素子分離領域であり、

前記第1導電型の1番目に深いウェル領域及び前記第1の第1導電型の2番目に深い
40
ウェル領域は、第3の入力端子によって電位が固定されており、

前記第2導電型の1番目に深いウェル領域及び前記第2の第2導電型の2番目に深い
ウェル領域は、第4の入力端子によって電位が固定されており、

全体的に3層のウェル領域からなることを特徴としている。

【0022】

本明細書において、第1導電型とは、P型またはN型を意味する。また、第2導電型とは、第1導電型がP型の場合はN型、N型の場合はP型を意味する。

【0023】

前記発明の半導体装置は、動的閾値トランジスタと、基板バイアス可変トランジスタである電界効果トランジスタとを含む半導体装置において、3層のウェル領域と、前記の深
50

さを有する素子分離領域とによって、各導電型の基板バイアス可変トランジスタが設けられた各導電型の複数のウェル領域を電気的に互いに独立させたものである。

【0024】

したがって、前記発明によれば、前記第1導電型の電界効果トランジスタが設けられた第2導電型のウェル領域を、容易に他の第2導電型のウェル領域と分断することができる。また、前記第2導電型の電界効果トランジスタが設けられた第1導電型のウェル領域を、容易に他の第1導電型のウェル領域と分断することができる。

【0025】

したがって、前記発明によれば、基板バイアス可変トランジスタの回路ブロックを任意の数形成することができて、アクティブ状態にすべき回路ブロックとスタンバイ状態にすべき回路ブロックとを適切に分けることができ、半導体装置の消費電力を減少することができる。

10

【0026】

また、前記発明によれば、基板バイアス可変トランジスタが設けられたウェル領域と反対導電型のウェル領域とのPN接合面積を従来に比べて減少することができて、半導体装置の消費電力を減少することができる。

【0027】

更にまた、前記動的閾値トランジスタが設けられる部分の深いウェル領域の電位を固定することができるから、ラッチャップ現象を容易に抑制することができる。

【0028】

1実施の形態では、前記第1導電型の1番目に深いウェル領域上に形成された第1の第2導電型の2番目に深いウェル領域と、前記第1の第2導電型の2番目に深いウェル領域上に形成された第2の第2導電型の浅いウェル領域と、前記第2の第2導電型の浅いウェル領域上に形成された第1導電型の電界効果トランジスタと、前記第3の第2導電型の浅いウェル領域上に形成され、前記第1導電型の電界効果トランジスタの基板バイアスを変化させるための前記第1の入力端子とからなる第1導電型の回路ブロック、あるいは、

20

前記第2導電型の1番目に深いウェル領域上に形成された第2の第1導電型の2番目に深いウェル領域と、前記第2の第1導電型の2番目に深いウェル領域上に形成された第2の第1導電型の浅いウェル領域と、前記第2の第1導電型の浅いウェル領域上に形成された第2導電型の電界効果トランジスタと、前記第3の第1導電型の浅いウェル領域上に形成され、前記第2導電型の電界効果トランジスタの基板バイアスを変化させるための前記第2の入力端子とからなる第2導電型の回路ブロックの少なくとも一方を複数個備える。

30

【0029】

前記実施の形態によれば、第1導電型の基板バイアス可変トランジスタからなる回路ブロックを複数個設け、それぞれの回路ブロックを必要に応じてスタンバイ状態もしくはアクティブ状態にすることができます。また、第2導電型の基板バイアス可変トランジスタからなる回路ブロックを複数個設け、それぞれの回路を必要に応じてスタンバイ状態もしくはアクティブ状態にすることができます。

【0030】

1実施の形態では、前記第1導電型の動的閾値トランジスタと前記第2導電型の動的閾値トランジスタ、または前記第1導電型の電界効果トランジスタと前記第2導電型の電界効果トランジスタ、または前記第1導電型の動的閾値トランジスタと前記第2導電型の電界効果トランジスタ、または前記第1導電型の電界効果トランジスタと前記第2導電型の動的閾値トランジスタで相補型回路を構成する。

40

【0031】

前記実施の形態によれば、相補型回路を構成しているので、消費電力をより一層低減できる。

【0032】

1実施の形態では、前記素子分離領域の幅は少なくとも2種類有り、一方の側にある浅いウェル領域が第1導電型で、他方の側にある深いウェル領域の導電型が第2導電型で、

50

かつ、前記一方の側にある 2 番目に深いウェル領域が第 2 導電型で、他方の側にある 2 番目に深いウェル領域の導電型が第 1 導電型である前記素子分離領域の幅を A、両側にある浅いウェル領域の導電型が同一で、かつ、両側にある 2 番目に深いウェル領域の導電型が互いに異なる前記素子分離領域の幅を B、両側にある浅いウェル領域の導電型が同一で、かつ、両側にある 2 番目に深いウェル領域の導電型が同一である前記素子分離領域の幅を C とするとき、

A > C、B > C

である。

【0033】

前記実施の形態によれば、広い幅 A、B の素子分離領域と狭い幅 C の素子分離領域を設け、素子分離領域の両側で浅いウェル領域の導電型が異なり、または 2 番目に深いウェル領域の導電型が異なる場合に、広い幅 A、B の素子分離領域を設けているので、ウェル領域間のパンチスルーや、不純物の拡散による素子の閾値シフトを抑制することができる。しかも、両側のウェル領域の導電型が同一のときには、素子分離領域の幅 C を狭くしているので、素子間のマージンを小さくできる。

【0034】

【0035】

【0036】

【0037】

1 実施の形態では、A = B である。

【0038】

この場合、素子分離領域の幅の種類が少なくなり、製造が容易になる。

【0039】

1 実施の形態では、 $0.18 \mu\text{m} < A < 0.7 \mu\text{m}$ である。

【0040】

こうすると、ウェル領域間のパンチスルーや、不純物の拡散による素子の閾値シフトとを確実に抑制しつつ、ウェル領域間のマージンを許容される範囲内に収めることができる。

【0041】

1 実施の形態では、前記素子分離領域は STI (Shallow Trench Isolation) からなる

。

【0042】

前記実施の形態では、素子分離領域が STI からなるので、さまざまな幅の素子分離領域が容易に形成でき、ひいては、半導体装置を容易に形成できる。

【0043】

1 実施の形態の携帯電子機器は、前記半導体装置を備える。

【0044】

前記携帯電子機器は、前記消費電力の少ない半導体装置を備えるので、電池寿命を大幅にのばすことができる。

【0045】

【発明の実施の形態】

以下、本発明を図示の実施の形態により詳細に説明する。

【0046】

本発明に使用することができる半導体基板は、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、P 型または N 型の導電型を有していても良い。

【0047】

図 1 は、本発明の 1 実施の形態の半導体装置の断面の模式図であり、図 2 は、前記半導体装置の平面の模式図である。

【0048】

図 1 に示すように、本半導体装置では、P 型シリコン基板 11 内に、N 型の非常に深い

10

20

30

40

50

つまり 1 番目に深いウェル領域 12 と P 型の非常に深いつまり 1 番目に深いウェル領域 13 が形成されている。

【0049】

N 型の非常に深いウェル領域 12 内には、N 型の深いつまり 2 番目に深いウェル領域 14 が形成されている。N 型の深いウェル領域 14 内には、P 型の浅いウェル領域 17 が形成されている。P 型の浅いウェル領域 17 には N 型のソース領域 19 及び N 型のドレイン領域 20 が形成されている。また、N 型のソース領域 19 と N 型のドレイン領域 20 との間のチャネル領域上には、ゲート絶縁膜 25 を介してゲート電極 26 が形成され、N 型の DTMOS29, 29 を構成している。なお、図示はしていないが、DTMOS29 はゲート電極 26 と P 型の浅いウェル領域 17 が電気的に接続されている。素子分離領域 18 は、互いに隣接する素子の P 型の浅いウェル領域 17, 17 を電気的に分離するに足る深さを持っている。したがって、各 DTMOS29, 29 の P 型の浅いウェル領域 17, 17 は、互いに電気的に分離されている。なお、N 型の非常に深いウェル領域 12 は、N 型の深いウェル領域 14、N 型の浅いウェル領域 16 及び N 型の不純物の濃い領域 23 を介して、N 型の非常に深いつまり 1 番目に深いウェル領域 12 へのバイアス入力端子 31 に接続されている。通常、N 型の非常に深いウェル領域 12 へのバイアス入力端子 31 には、電源電圧が与えられる。10

【0050】

また、N 型の非常に深いウェル領域 12 内には、P 型の深いつまり 2 番目に深いウェル領域 15 が形成されている。P 型の深いウェル領域 15 内には、P 型の浅いウェル領域 17 が形成されている。P 型の浅いウェル領域 17 には N 型のソース領域 19 及び N 型のドレイン領域 20 が形成されている。また、N 型のソース領域 19 と N 型のドレイン領域 20 との間のチャネル領域上には、ゲート絶縁膜 25 を介してゲート電極 26 が形成され、N 型の基板バイアス可変トランジスタ 27, 27 を構成している。P 型の深いウェル領域 15 と P 型の浅いウェル領域 17 とは一体となっており、素子分離領域 18 では分離されない。したがって、N 型の基板バイアス可変トランジスタ 27, 27 は P 型のウェル領域 15, 17 を共有する。なお、P 型の深いウェル領域 15 及び P 型の浅いウェル領域 17 は、P 型の不純物の濃い領域 24 を介して、N 型の基板バイアス可変トランジスタ 27 へのウェルバイアス入力端子 34 に接続されている。N 型の基板バイアス可変トランジスタ 27, 27 へのウェルバイアス入力端子 34 には図示しないバイアス発生回路から、アクティブ時には 0V または正の電圧が、スタンダバイ時には負の電圧が、それぞれ印加される。20

【0051】

P 型の非常に深いつまり 1 番目に深いウェル領域 13 内には、P 型の深いつまり 2 番目に深いウェル領域 15 が形成されている。P 型の深いウェル領域 15 内には、N 型の浅いウェル領域 16 が形成されている。N 型の浅いウェル領域 16 には P 型のソース領域 21 及び P 型のドレイン領域 22 が形成されている。また、P 型のソース領域 21 と P 型のドレイン領域 22 との間のチャネル領域上には、ゲート絶縁膜 25 を介してゲート電極 26 が形成されて、P 型の DTMOS30 を構成している。なお、図示はしていないが、DTMOS30 はゲート電極 26 と N 型の浅いウェル領域 16 が電気的に接続されている。素子分離領域 18 は、互いに隣接する素子の N 型の浅いウェル領域 16, 16 を電気的に分離するに足る深さを持っている。したがって、各 DTMOS30 の N 型の浅いウェル領域 16 は、互いに電気的に分離されている。なお、P 型の非常に深いつまり 1 番目に深いウェル領域 13 は、P 型の深いつまり 2 番目に深いウェル領域 15、P 型の浅いウェル領域 17 及び P 型の不純物の濃い領域 24 を介して、P 型の非常に深いウェル領域 13 へのバイアス入力端子 32 に接続されている。通常、P 型の非常に深いウェル領域 13 へのバイアス入力端子 32 には、0V が与えられる。30

【0052】

また、P 型の非常に深いウェル領域 13 内には、N 型の深いつまり 2 番目に深いウェル領域 14 が形成されている。N 型の深いウェル領域 14 内には、N 型の浅いウェル領域 1

6が形成されている。N型の深いウェル領域16にはP型のソース領域21及びP型のドレイン領域22が形成されている。また、P型のソース領域21とP型のドレイン領域22との間のチャネル領域上には、ゲート絶縁膜25を介してゲート電極26が形成されて、P型の基板バイアス可変トランジスタ28が構成されている。N型の深いウェル領域14とN型の深いウェル領域16とは一体となっており、素子分離領域18では分離されない。したがって、P型の基板バイアス可変トランジスタ28はN型のウェル領域14, 16を共有する。なお、N型の深いウェル領域14及びN型の深いウェル領域16は、N型の不純物の濃い領域23を介して、P型の基板バイアス可変トランジスタ28へのウェルバイアス入力端子33に接続されている。P型の基板バイアス可変トランジスタ28へのウェルバイアス入力端子33には図示しないバイアス発生回路から、アクティブ時には電源電圧または電源電圧より低い電圧が、スタンバイ時には電源電圧より高い電圧が、それぞれ印加される（N MOSのソース電位を0V、PMOSのソース電位を電源電圧としている）。

【0053】

次に、本実施の形態の半導体装置を、図2を用いて説明する。なお、図2では回路を構成するための個々の配線やバイアス発生回路は省略している。半導体基板上には、N型の非常に深いウェル領域が形成された領域51と、P型の非常に深いウェル領域が形成された領域52がある。N型の非常に深いウェル領域が形成された領域51内には、N型の基板バイアス可変トランジスタからなるブロック53と、N型のDTMOSからなるブロック54が形成されている。P型の非常に深いウェル領域が形成された領域52内には、P型の基板バイアス可変トランジスタからなるブロック55と、P型のDTMOSからなるブロック56が形成されている。

【0054】

N型の基板バイアス可変トランジスタからなるブロック53は、基板バイアストランジスタの共通ウェル領域を結ぶ上部配線57で、他のN型の基板バイアス可変トランジスタからなるブロック53と接続されていてもよい。こうして互いに接続されたN型の基板バイアス可変トランジスタからなる複数のブロック53, 53は、N型の基板バイアス可変トランジスタからなる1つの回路ブロックとして機能する。この回路ブロックの共通ウェル領域には、図示しないバイアス発生回路から、アクティブ時には0Vまたは正の電圧が与えられ、スタンバイ時には負の電圧が与えられる。

【0055】

P型の基板バイアス可変トランジスタからなるブロック55は、基板バイアストランジスタの共通ウェル領域を結ぶ上部配線57で、他のP型の基板バイアス可変トランジスタからなるブロック55と接続されていてもよい。こうして互いに接続されたP型の基板バイアス可変トランジスタからなるブロック55, 55は、P型の基板バイアス可変トランジスタからなる1つの回路ブロックとして機能する。この回路ブロックの共通ウェル領域には、図示しないバイアス発生回路から、アクティブ時には電源電圧または電源電圧より低い電圧が与えられ、スタンバイ時には電源電圧より高い電圧が与えられる。

【0056】

図1で示すウェル構造を用い、更に図2で示すように配置することにより、基板バイアス可変トランジスタとDTMOSが混在する回路において、容易に複数の基板バイアス可変トランジスタの回路ブロックを形成することができる。また、N型の素子とP型の素子を上部配線で接続して相補型(CMOS)回路を組むことができる。

【0057】

次に、前記半導体装置の作成手順を図1, 2を参照して述べる。

【0058】

まず、半導体基板11上に、素子分離領域18, 181, 182, 183を形成する。前記素子分離領域18, 181, 182, 183は、例えばSTI(Shallow Trench Isolation)法を用いて形成することができる。前記STI法を用いれば、さまざまな幅の素子分離領域を同時に形成するのが容易である。しかし、素子分離領域18, 181, 18

10

20

30

40

50

2, 183の形成方法はS T I法に限らず、素子分離領域18, 181, 182, 183が浅いウェル領域を電気的に分離する機能をもてばよい。例えば、素子分離領域18, 181, 182, 183に埋めこまれる物質は、シリコン酸化膜、シリコン窒化膜の他に、ポリシリコンやアモルファスシリコンなどの導電性物質でもよい。ただし、ポリシリコンやアモルファスシリコンなどの導電性物質を埋めこむ場合は、素子分離領域18, 181, 182, 183の側壁をあらかじめ酸化しておくなどして、素子分離領域18, 181, 182, 183の絶縁性を確保しておく必要がある。

【0059】

前記素子分離領域18, 181, 182, 183の深さは、互いに隣り合う素子の浅いウェル領域16, 17を電気的に分離し、かつ深いウェル領域14, 15は電気的に分離しないように設定される。素子分離領域18, 181, 182, 183の深さは、例えば、0.2~2 μmとするのが好ましい。

10

【0060】

前記素子分離領域18, 181, 182, 183の幅は、以下のように設定される。素子分離領域181のように、その素子分離領域181の両側で深いウェル領域14, 15の導電型が異なる場合、例えば、N型DTMOS29とN型基板バイアス可変トランジスタ27との境界では、N型DTMOS29側の深いウェル領域14がN型で、N型基板バイアス可変トランジスタ27側の深いウェル領域15がP型となる。この場合、N型DTMOS29のP型の深いウェル領域17と、N型基板バイアス可変トランジスタ27のP型の深いウェル領域15との間のパンチスルーフィールドが問題となる。更に、N型DTMOS29のN型の深いウェル領域14にある不純物が拡散し、N型基板バイアス可変トランジスタ27の閾値が変化する可能性がある。別の例としては、N型DTMOS29とP型DTMOS30との境界が挙げられ、同様な問題が起こる。この場合、境界にある素子分離領域182の両側では、浅いウェル領域16, 17の導電型が互いに反対であり、かつ、深いウェル領域15, 14の導電型も互いに反対である。その他、P型DTMOS30とP型基板バイアス可変トランジスタ28との境界、P型DTMOS30とN型基板バイアス可変トランジスタ27との境界、N型DTMOS29とP型基板バイアス可変トランジスタ28との境界、及びN型基板バイアス可変トランジスタ27とP型基板バイアス可変トランジスタ28との境界においても、同様な問題が起こる。そのため、素子分離領域181, 183の両側で深いウェル領域14, 15の導電型が反対である場合、及び、素子分離領域182の両側で浅いウェル領域16, 17の導電型が反対で、かつ深いウェル領域14, 15の導電型も反対である場合は、素子分離領域181, 182, 183の幅は、上述のパンチスルーフィールド及び閾値の変化が起こらない程度に広い必要がある。例えば、深いウェル領域の不純物注入飛程を、0.3 μm程度と非常に浅くしたとしても、不純物は注入時に横方向にも広がり、更にはその後の熱拡散により、さらに横方向に拡散する。上記の注入条件でも、素子分離領域の幅が0.18 μm未満の時は、閾値の変化を抑制することができなかった。また、素子分離領域の幅が0.7 μm以上では、素子分離に要するマージンが無視できなくなる。したがって、上述のパンチスルーフィールド及び閾値の変化が起こらないためには、素子分離領域181, 182, 183の幅は0.18 μm~0.7 μmとするのが好ましい。素子分離領域18の両側で、浅いウェル領域16または17の導電型が同じで、かつ、深いウェル領域14または15の導電型が同じ場合(浅いウェル領域16, 17と深いウェル領域の導電型は異なっていても良い)は、素子分離領域18の幅は小さい方が、マージンを小さくすることができる。したがって、加工の限界の寸法に近くする。この場合、素子分離領域18の幅は、例えば、0.05~0.35 μmとすることができます。

20

30

40

【0061】

すなわち、前記素子分離領域182の幅をA、素子分離領域181, 183の幅をB、素子分離領域18の幅をCとすると、A = B > Cとなっている。もっとも、素子分離領域181, 182, 183の幅は同一でなくてもよい。

【0062】

50

次に、前記半導体基板 1 1 にウェルを形成する手順を、図 3 ~ 8 を用いて説明する。

【0063】

図 3 に示すように、半導体基板 1 1 には、フォトレジスト 3 5 をマスクとして、N型の非常に深いウェル領域 1 2 が形成される。N型を与える不純物イオンとしては³¹P⁺が挙げられる。例えば、不純物イオンとして³¹P⁺を使用した場合、注入エネルギーとして 5 0 0 ~ 3 0 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

【0064】

次に、図 4 に示すように、フォトレジスト 3 5 をマスクとして、P型の非常に深いウェル領域 1 3 が形成される。P型を与える不純物イオンとしては¹¹B⁺が挙げられる。例えば、不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして 2 0 0 ~ 2 0 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

10

【0065】

次に、図 5 に示すように、フォトレジスト 3 5 をマスクとして、N型の深いウェル領域 1 4 が形成される。N型を与える不純物イオンとしては³¹P⁺が挙げられる。例えば、不純物イオンとして³¹P⁺を使用した場合、注入エネルギーとして 2 4 0 ~ 1 5 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

【0066】

次に、図 6 に示すように、フォトレジスト 3 5 をマスクとして、P型の深いウェル領域 1 5 が形成される。P型を与える不純物イオンとしては¹¹B⁺が挙げられる。例えば、不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして 1 0 0 ~ 1 0 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

20

【0067】

次に、図 7 に示すように、フォトレジスト 3 5 をマスクとして、N型の浅いウェル領域 1 6 が形成される。N型を与える不純物イオンとしては³¹P⁺が挙げられる。例えば、不純物イオンとして³¹P⁺を使用した場合、注入エネルギーとして 1 3 0 ~ 9 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

【0068】

次に、図 8 に示すように、フォトレジスト 3 5 をマスクとして、P型の浅いウェル領域 1 7 が形成される。P型を与える不純物イオンとしては¹¹B⁺が挙げられる。例えば、不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして 6 0 ~ 5 0 0 K e V、注入量として $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

30

【0069】

ウェル領域を形成するための不純物注入の順番は前記の限りではなく、順番を入れ替えるてもよい。

【0070】

なお、前記浅いウェル領域 1 6 , 1 7 と深いウェル領域 1 4 , 1 5 との接合の深さ及び深いウェル領域 1 4 , 1 5 と非常に深いウェル領域 1 2 , 1 3 との接合の深さは、前記浅いウェル領域 1 6 , 1 7 への不純物の注入条件、深いウェル領域 1 4 , 1 5 への不純物の注入条件、非常に深いウェル領域 1 2 , 1 3 への不純物の注入条件及びこれより後に行われる熱工程により決定される。前記素子分離領域 1 8 , 1 8 1 , 1 8 2 , 1 8 3 の深さは、隣接する素子の浅いウェル領域 1 6 , 1 7 が電気的に分離され、かつ深いウェル領域 1 4 , 1 5 は電気的に分離されないように設定される。

40

【0071】

更に、前記浅いウェル領域 1 6 , 1 7 の抵抗を低減するため、浅いウェル領域 1 6 , 1 7 の不純物イオンと同じ導電型の高濃度埋込領域を浅いウェル領域中に形成しても良い。浅いウェル領域 1 6 , 1 7 の抵抗が減少すると、ゲート電極 2 6 への入力が速やかに浅いウェル領域 1 6 , 1 7 に伝播し、基板バイアス効果を十分に得ることができ、D T M O S 2 9 , 3 0 の動作の高速化が実現される。高濃度埋込領域は、例えば、P型の浅いウェル

50

領域 17 中に形成する場合は、不純物イオンとして $^{11}\text{B}^+$ 、注入エネルギーとして 100 ~ 400 KeV、注入量として $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で、または N 型の浅いウェル領域 16 中に形成する場合は、不純物イオンとして $^{31}\text{P}^+$ 、注入エネルギーとして 240 ~ 750 KeV、注入量として $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で、それ形成することができる。

【0072】

更にまた、基板表面領域で不純物濃度が薄くなり過ぎるのを防ぐために、浅いウェル領域 16, 17 の不純物イオンと同じ導電型の不純物イオンを、浅いウェル領域 16, 17 内にパンチスルーストッパー注入しても良い。パンチスルーストッパー注入は、例えば、P 型の浅いウェル領域 17 中に形成する場合は、不純物イオンとして $^{11}\text{B}^+$ 、注入エネルギーとして 10 ~ 60 KeV、注入量として $5 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で、または N 型の浅いウェル領域 16 中に形成する場合は、不純物イオンとして $^{31}\text{P}^+$ 、注入エネルギーとして 30 ~ 150 KeV、注入量として $5 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で、それ行うことができる。

【0073】

次に、図 1 に示すゲート絶縁膜 25 とゲート電極 26 がこの順で形成される。

【0074】

前記ゲート絶縁膜 25 としては、絶縁性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合は、シリコン酸化膜、シリコン窒化膜またはそれらの積層体を使用することができる。また、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜などの高誘電膜またはそれらの積層体を使用することもできる。ゲート絶縁膜 25 は、シリコン酸化膜を用いた場合、1 ~ 10 nm の厚さを有することが好ましい。ゲート絶縁膜 25 は、CVD (化学的気相成長法) 法、スパッタ法、熱酸化法等の方法で形成することができる。

【0075】

次に、前記ゲート電極 26 としては、導電性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合は、ポリシリコン、単結晶シリコン等のシリコン膜が挙げられる。また、前記以外にも、アルミニウム、銅等の金属膜が挙げられる。ゲート電極は、0.1 ~ 0.4 μm の厚さを有することが好ましい。ゲート電極は、CVD 法、蒸着法等の方法で形成することができる。

【0076】

更に、前記ゲート電極 26 の側壁に、サイドウォールスペーサーを形成しても良い。このサイドウォールスペーサーの材質は絶縁膜である限りは特に限定されず、酸化シリコン、窒化シリコン等が挙げられる。

【0077】

次に、DTMOS 29, 30 には、図示しないが、ゲート - 基板接続領域を形成する。ソース領域 19, 21、ドレイン領域 20, 22 及びチャネル領域以外の領域において、ゲート電極 26 と浅いウェル領域 16, 17 を電気的に接続するゲート - 基板接続領域を形成するために、ゲート電極 26 及びゲート酸化膜の一部を下地基板が露出するまでエッチングする。この露出した領域には、不純物濃度が濃い領域 (NMOS の場合は P 型の不純物が濃い領域、PMOS の場合は N 型の不純物が濃い領域) が形成される。後に行うシリサイド化工程により、ゲート - 基板接続領域において、ゲート電極 26 と浅いウェル領域 16, 17 とが電気的に接続される。

【0078】

次に、前記浅いウェル領域 17, 16 の表面層には、その浅いウェル領域 17, 16 とは反対導電型のソース領域 (NMOS ソース領域 19 及び PMOS ソース領域 21) 及びドレイン領域 (NMOS ドレイン領域 20 及び PMOS ドレイン領域 22) が形成される。

【0079】

前記ソース領域 19, 21 及びドレイン領域 20, 22 の形成方法は、例えば、ゲート

10

20

30

40

50

電極 26 をマスクとして浅いウェル領域 17, 16 とは反対導電型の不純物イオンを注入することにより自己整合的に形成することができる。前記ソース領域 19, 21 及びドレイン領域 20, 22 は、例えば、不純物イオンとして⁷⁵As⁺イオンを使用した場合、注入エネルギーとして 3 ~ 100 KeV、注入量として $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件、または不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして 1 ~ 20 KeV、注入量として $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件で形成することができる。なお、ゲート電極 26 の下の浅いウェル領域 16, 17 の表面層はチャネル領域として機能する。

【0080】

更に、前記ソース領域 19, 21 及びドレイン領域 20, 22 は、図示しないが、ゲート電極 26 側に LDD (Lightly Doped Drain) 領域を備えていてもよい。LDD 領域の形成方法は、例えば、ゲート電極 26 をマスクとして浅いウェル領域 16, 17 とは反対導電型の不純物イオンを注入することにより自己整合的に形成することができる。この場合、ソース領域 19, 21 及びドレイン領域 20, 22 は、LDD 領域を形成した後、ゲート電極 26 の側壁に図示しないサイドウォールスペーサーを形成し、ゲート電極 26 とサイドウォールスペーサーをマスクとしてイオン注入することにより自己整合的に形成することができる。前記 LDD 領域を形成するための不純物の注入は、例えば、不純物イオンとして⁷⁵As⁺イオンを使用した場合、注入エネルギーとして 3 ~ 100 KeV、注入量として $5 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の条件、または不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして 1 ~ 20 KeV、注入量として $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

【0081】

なお、前記ソース領域 19, 21、ドレイン領域 20, 22 及び LDD 領域形成用の不純物イオンとして前記¹¹B⁺イオンや⁷⁵As⁺イオン以外にも、³¹P⁺イオン、¹²²Sb⁺イオン、¹¹⁵In⁺イオン、⁴⁹BF₂⁺イオン等も使用することができる。

【0082】

また、前記ソース領域 19, 21、ドレイン領域 20, 22 及びゲート電極 26 は、それぞれの抵抗を下げ、それぞれと接続する配線との導電性を向上させるために、その表面層がシリサイド化される。このシリサイド化により、ゲート - 基板接続領域においてゲート電極 26 と浅いウェル領域 16, 17 が電気的に接続される。シリサイドとしては、タンゲステンシリサイド、チタンシリサイド等が挙げられる。

【0083】

なお、図示しないが、ソース領域及びドレイン領域は積上げ型にしてもよい（特開 2000-82815 号公報参照）。この場合は、ソース領域及びドレイン領域の面積を小さくでき、高集積化が可能となる。

【0084】

この後、不純物の活性化アニールを行う。活性化アニールは、不純物が十分に活性化され、かつ不純物が過度に拡散しないような条件で行う。例えば、N型の不純物が⁷⁵As⁺で P型の不純物が¹¹B⁺である場合は、⁷⁵As⁺を注入後に 800 ~ 1000 度 10 ~ 100 分程度アニールし、その後¹¹B⁺を注入してから 800 ~ 1000 度 10 ~ 100 秒アニールすることができる。なお、浅いウェル領域、深いウェル領域及び非常に深いウェル領域の不純物プロファイルをなだらかにするために、ソース領域及びドレイン領域の不純物を注入する前に別にアニールをしてよい。

【0085】

この後、公知の手法により、配線等を形成することにより半導体装置を形成することができる。

【0086】

なお、前記では説明の便宜上、基板バイアス可変トランジスタ 27, 28 と DTMOS 29, 30 のみを形成しているが、通常構造の MOSFET が混在していても良い。この場合は、通常の MOSFET とすべき素子においては浅いウェル領域の電位を固定すれば

よい。

【0087】

前記半導体装置において、前記DTMOS29, 30の深いウェル領域17, 16は、反対導電型の深いウェル領域14, 15と素子分離領域18とによって、素子毎に電気的に分離されている。また、前記基板バイアス可変トランジスタ27, 28の共通ウェル領域は、反対導電型の深いウェル領域14, 15、反対導電型の非常に深いウェル領域12, 13及び素子分離領域18, 181, 183とによって、回路ブロック毎に電気的に分離されている。更にまた、非常に深いウェル領域12, 13及びDTMOS29, 30部の深いウェル領域14, 15の電位は固定されている。

【0088】

したがって、本実施の形態の半導体装置によれば、基板バイアス可変トランジスタ27, 28の回路ブロックを任意の数形成することができる。これにより、アクティブ状態にすべき回路ブロックとスタンバイ状態にすべき回路ブロックとを適切に分けることができる、半導体装置の消費電力を減少することができる。

【0089】

更に、本実施の形態の半導体装置によれば、基板バイアス可変トランジスタ27, 28の共通ウェルと、それに接する反対導電型のウェル領域とのPN接合の面積は、基板バイアス可変トランジスタ27, 28の回路ブロックの面積程度に抑えることができる。これに対して、従来の半導体装置は、基板全体の面積に匹敵する大面積のPN接合をもつ。したがって、本実施の形態の半導体装置では、従来例に比べて、基板バイアス可変トランジスタ27, 28の共通ウェルの電位が変化した時の電荷の充放電が減少する。これにより、半導体装置の消費電力を減少することができる。

【0090】

更にまた、本実施の形態の半導体装置によれば、非常に深いウェル領域12, 13及びDTMOS29, 30部の深いウェル領域14, 15の電位が固定されているため、ラッチャップ現象の制御が容易になる。これにより、半導体装置の信頼性が向上する。

【0091】

本実施の形態の半導体装置を用いて、CMOS回路を組むことができる。低電圧駆動で高駆動電流が得られるDTMOS29, 30と、オフリーケ電流を非常に小さくできる基板バイアス可変トランジスタ27, 28との、それぞれの利点を適切に組み合わせることにより、低消費電力かつ高速なCMOS回路を実現することができる。更に、基板バイアス可変トランジスタ27, 28の回路ブロックを複数形成し、アクティブ状態にすべき回路ブロック以外はスタンバイ状態にすれば、CMOS回路をより低消費電力化することが可能となる。

【0092】

図9は、参考例の半導体装置を示す縦断面図である。この図9の半導体装置は、図11に示す従来の半導体装置とは、細幅の素子分離領域316と広幅の素子分離領域516, 616, 716, 816とが混在している点のみが、異なる。したがって、図9の半導体装置の構成部のうち、図11に示す従来例の半導体装置の構成部と同一構成部は、同一参考番号を付して、説明を省略する。

【0093】

前記細幅の素子分離領域316の両側には、同じ導電型の深いウェル領域314, 315が存在し、かつ、同じ導電型の深いウェル領域312, 323が存在する。前記広幅の素子分離領域516の両側では、深いウェル領域314, 315の導電型が反対で、かつ、深いウェル領域313の導電型が同一になっている。また、前記広幅の素子分離領域616の両側では、深いウェル領域315の導電型が同じで、深いウェル領域312, 313の導電型が反対になっている。また、前記広幅の素子分離領域716, 816の両側では、深いウェル領域314, 315の導電型が反対で、かつ、深いウェル領域312, 313の導電型も反対になっている。すなわち、前記素子分離領域716の幅をA、素子分離領域516, 616, 816の幅をB、素子分離領域316の幅をCとすると、A = B

10

20

30

40

50

> C となっている。もっとも、素子分離領域 516, 616, 716, 816 の幅は同一でなくてもよい。

【0094】

このように、広幅の素子分離領域 516, 616, 716, 816 を設けることによって、パンチスルーや閾値の変化を防ぐことができる。

【0095】

また、本実施の形態の半導体装置を、電池駆動の携帯電子機器に組み込むことができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器などが挙げられる。図10は、携帯電話の例を示している。制御回路111には、本発明の半導体装置が組み込まれている。なお、制御回路111は、本発明の半導体装置からなる論理回路と、メモリとを混載したLSI（大規模集積回路）から成っていてもよい。112は電池、113はRF（無線周波数）回路部、114は表示部、115はアンテナ部、116は信号線、117は電源線である。本発明の半導体装置を携帯電子機器に用いることにより、携帯電子機器の機能と動作速度を保ったままLSI部の消費電力を大幅に下げることが可能になる。それにより、電池寿命を大幅にのばすことが可能になる。

【0096】

【発明の効果】

本発明の半導体装置は、動的閾値トランジスタと基板バイアス可変トランジスタとを含む半導体装置において、3層のウェル領域と素子分離領域を用いて、各導電型の各々について、基板バイアス可変トランジスタが設けられる複数のウェル領域を電気的に互いに独立させることを可能にしたものである。

【0097】

したがって、本発明によれば、各導電型について、基板バイアス可変トランジスタの回路ブロックを任意の数形成することができて、アクティブ状態にすべき回路ブロックとスタンバイ状態にすべき回路ブロックとを適切に分けることができ、半導体装置の消費電力を減少することができる。

【0098】

また、本発明によれば、基板バイアス可変トランジスタが設けられたウェル領域と反対導電型のウェル領域とのPN接合面積を減少することができて、半導体装置の消費電力を減少することができる。

【0099】

更にまた、DTMOS部の深いウェル領域の電位を固定することができるから、ラッチアップ現象を容易に抑制することができる。

【0100】

また、1実施の形態では、3層のウェル領域をもつ半導体装置において、少なくとも2種類の幅を有する素子分離領域を備え、一方の側にある深いウェル領域が第1導電型で、他方の側にある深いウェル領域の導電型が第2導電型で、かつ、前記一方の側にある2番目に深いウェル領域が第2導電型で、他方の側にある2番目に深いウェル領域の導電型が第1導電型である前記素子分離領域の幅をA、両側にある深いウェル領域の導電型が同一で、かつ、両側にある2番目に深いウェル領域の導電型が互いに異なる前記素子分離領域の幅をB、両側にある深いウェル領域の導電型が同一で、かつ、両側にある2番目に深いウェル領域の導電型が同一である前記素子分離領域の幅をCとするとき、 $A > C, B > C$ であるので、3層構造のウェル領域を持っていても、広幅A, Bの素子分離領域で、ウェル領域間のパンチスルーや、不純物の拡散による素子の閾値シフトを抑制することができ、かつ、細幅Cの素子分離領域でマージンを小さくできる。

【0101】

【0102】

【図面の簡単な説明】

【図1】 本発明の1実施の形態の半導体装置の縦断面図である。

【図2】 前記実施の形態の半導体装置の平面図である。

10

20

30

40

50

- 【図3】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図4】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図5】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図6】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図7】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図8】 前記実施の形態の半導体装置の製造方法を説明する図である。
- 【図9】 参考例の半導体装置の縦断面図である。
- 【図10】 本発明の他の実施の形態の携帯電子機器の図である。
- 【図11】 従来の半導体装置の断面図である。
- 【図12】 従来の半導体装置の製造方法を説明する図である。
- 【図13】 従来の半導体装置の製造方法を説明する図である。

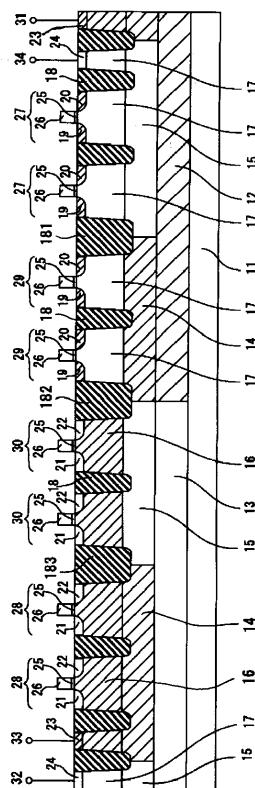
10

【符号の説明】

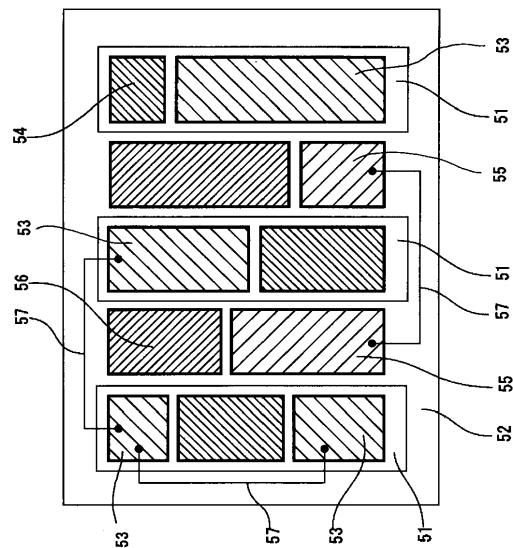
- 11 基板
 12, 13 非常に深いウェル領域
 14, 15, 312, 313 深いウェル領域
 16, 17, 314, 315 浅いウェル領域
 18, 181, 182, 183, 316, 516, 616, 716, 816 素子分離領域
 19, 21 ソース領域
 20, 22 ドレイン領域
 25, 323 ゲート絶縁膜
 26, 324 ゲート電極
 27, 28, 325, 326 基板バイアス可変トランジスタ
 29, 30, 327, 328 DTMOS
 31, 32, 33, 34, 329, 330, 331 バイアス入力端子

20

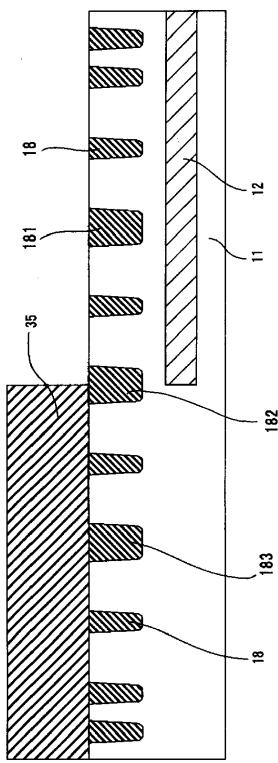
【図1】



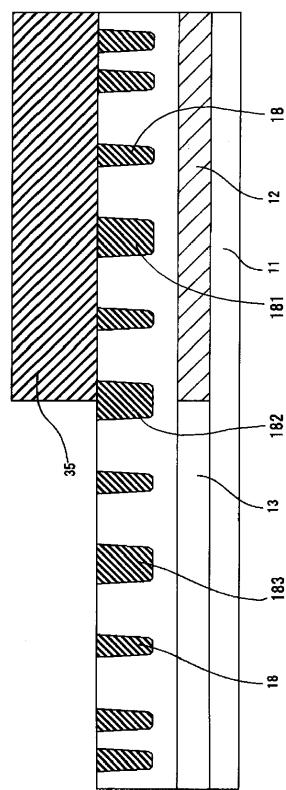
【図2】



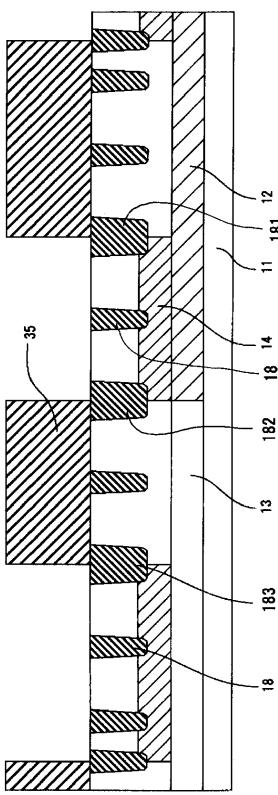
【図3】



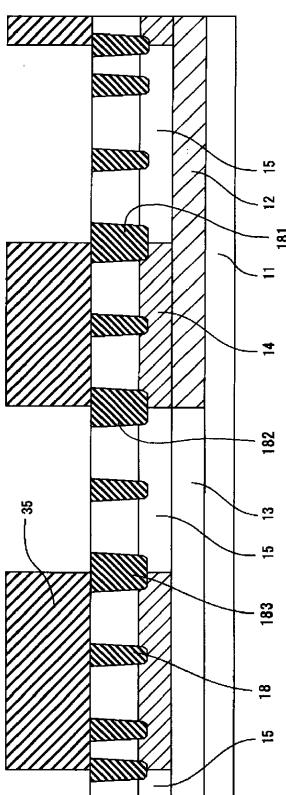
【図4】



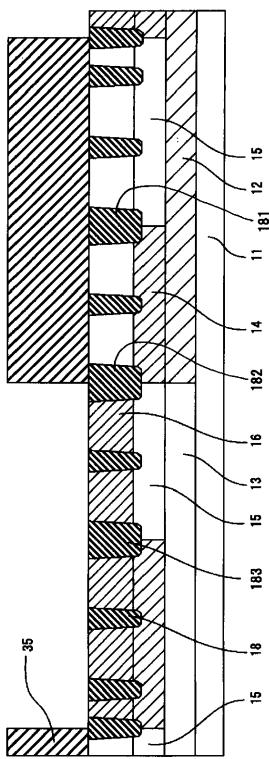
【図5】



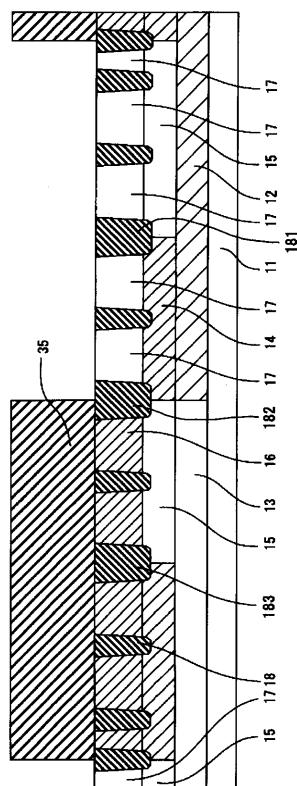
【図6】



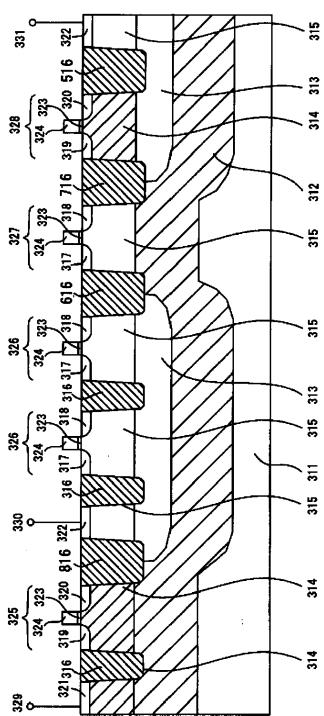
【圖 7】



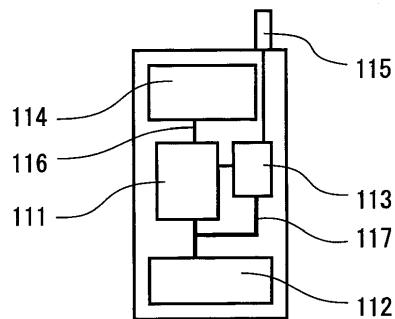
【 四 8 】



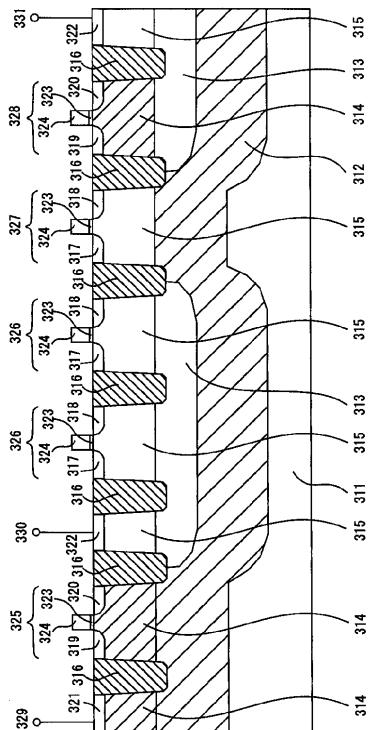
【図9】



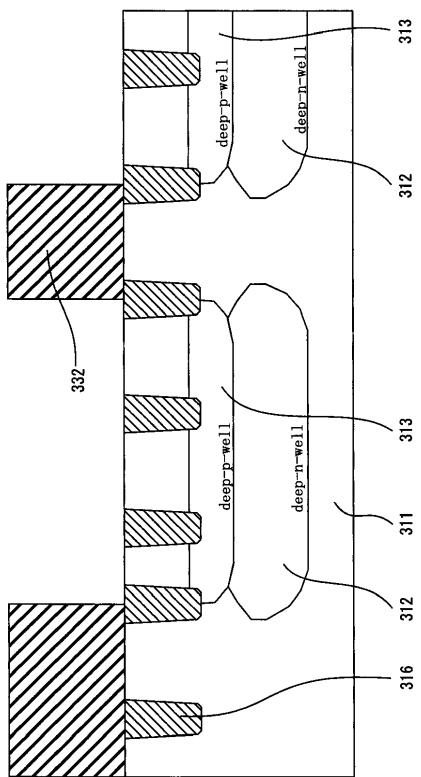
【 図 1 0 】



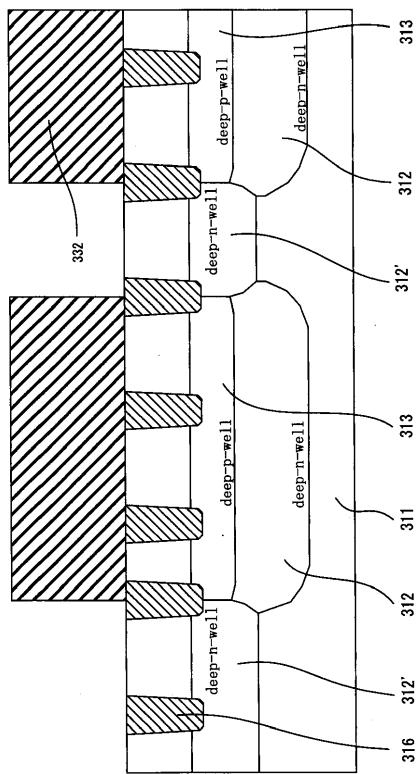
【 図 1 1 】



【 図 1 2 】



【図13】



フロントページの続き

(72)発明者 柿本 誠三
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 松嶋 秀忠

(56)参考文献 特開平10-022462 (JP, A)
特開平10-163342 (JP, A)
特開平10-340998 (JP, A)
特開平10-199968 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238
H01L 21/76
H01L 27/08
H01L 27/092