



# (12)实用新型专利

(10)授权公告号 CN 207367195 U

(45)授权公告日 2018.05.15

(21)申请号 201720956840.4

(22)申请日 2017.08.02

(73)专利权人 湖南利能科技股份有限公司

地址 410205 湖南省长沙市高新技术开发区桐梓坡西路468号

(72)发明人 石雪倩 陈金玲 黎朝晖 瞿仕波

(74)专利代理机构 长沙思创联合知识产权代理事务所(普通合伙) 43215

代理人 肖战胜

(51)Int.Cl.

G06F 13/38(2006.01)

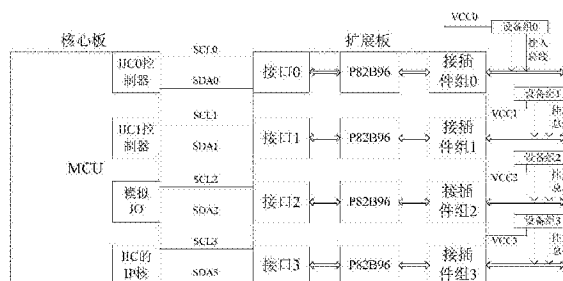
权利要求书1页 说明书4页 附图2页

## (54)实用新型名称

一种IIC接口扩展板

## (57)摘要

本实用新型公开了一种IIC接口扩展板,扩展板的板体上设有N条IIC信号通路;N为整数,N ≥ 2;每一条IIC信号通路设有一个双向总线缓冲器。该IIC接口扩展板电路简洁,易于实施,能提高IIC接口的带载能力。



1. 一种IIC接口扩展板,其特征在于,扩展板的板体上设有N条IIC信号通路;N为整数, $N \geq 2$ ;每一条IIC信号通路设有一个双向总线缓冲器;  
双向总线缓冲器采用P82B96芯片。
2. 根据权利要求1所述的IIC接口扩展板,其特征在于,N为2-10中的任一值。
3. 根据权利要求2所述的IIC接口扩展板,其特征在于,N为4。
4. 根据权利要求1所述的IIC接口扩展板,其特征在于,板体上设有用于连接MCU的接口。
5. 根据权利要求1所述的IIC接口扩展板,其特征在于,板体上设有用于连接IIC总线的接插件。
6. 根据权利要求1所述的IIC接口扩展板,其特征在于,为实现板体与MCU的电平匹配,在N个IIC信号通路的第一端通过上拉电阻接直流电压V1,V1为MCU的IIC接口的基准电压;  
为实现板体与IIC负载的电平匹配,在N个IIC信号通路的第二端通过上拉电阻接直流电压V2,V2为负载端的IIC接口的基准电压。
7. 根据权利要求6所述的IIC接口扩展板,其特征在于,V1为3.3V。
8. 根据权利要求6所述的IIC接口扩展板,其特征在于,V2为12V。
9. 根据权利要求1所述的IIC接口扩展板,其特征在于,板体为PCB板。

## 一种IIC接口扩展板

### 技术领域

[0001] 本实用新型涉及一种IIC接口扩展板。

### 背景技术

[0002] IIC即集成电路总线,是一种双向、二进制、同步串行总线。该总线是一种多向控制总线,多个芯片可连接至同一总线结构下,每个芯片都可以作为实时数据传输的控制源。挂于IIC总线上的器件被分为主机和从机,主机负责初始化IIC总线的数据并产生允许传输的时钟信号,从机则是具备唯一从地址,且被主机寻址的器件。鉴于IIC使用简单,接口资源占用少的特点,在传感器数据采集等领域愈来愈普及。

[0003] 在常见的应用场景中,一般将多个IIC从设备直接挂于总线上进行通讯,但鉴于总线的驱动能力和支持容抗有限等原因,使得总线上可挂载的设备和总线传输长度有限,不能满足某些IIC应用场景的需求。因此,需要对IIC进行扩展。

[0004] 针对IIC接口扩展的方法,目前已有一些实用新型专利提出了解决方案。如CN101324875A提出了一种基于将主设备一级IIC总线扩展为多条二级IIC总线的方法,该专利包含时钟扩展模块、数据控制模块和方向控制模块,时钟扩展模块将一级IIC的SCL信号扩展成多路,数据控制模块用于二级IIC总线的选择,方向控制模块进行读写方向的控制。又如CN104142905A提出的基于CPLD或门的扩展方式,设置一个(n+1)位的数据寄存器并使每一个而输入或门的输入端分对应数据寄存器的一个位实现IIC从设备的扩展。又如CN1599343A所提出的基于时钟开关组的方法,只有时钟开关组中接通时钟开关相连的器件可以响应IIC总线控制器的请求,在相应IIC总线读写操作完成后,关闭相应的时钟开关。

[0005] 目前专利中提出的IIC接口扩展方法多采用外接时钟扩展模块形成多路时钟,再由选通电路选择连接的IIC从设备,或者通过CPLD门电路对从设备的地址信号进行按位操作进行选通。这些方式多针对于同一不可修改从地址的多个从设备连接场景,但对于因IIC自身驱动不够导致接入设备受限,或因IIC自身接入容抗有限导致总线传输距离不能太远,或受硬件限制,无法接入多种总线电平的应用场景,并未给出合适的解决方法;而且上述专利多引入CPLD、FPGA等其它器件,增加了硬件走线的复杂度和软件编程的难度。

[0006] 因此,有必要设计一种IIC接口扩展板。

### 实用新型内容

[0007] 本实用新型所要解决的技术问题是提供一种IIC接口扩展板,该IIC接口扩展板通过扩展板扩展IIC接口,易于实施。

[0008] 实用新型的技术解决方案如下:

[0009] 一种IIC接口扩展板,扩展板的板体上设有N条IIC信号通路;N为整数, $N \geq 2$ ;每一条IIC信号通路设有一个双向总线缓冲器。

[0010] 双向总线缓冲器采用P82B96芯片。

[0011] N为2-10中的任一值。

- [0012] N为4。
- [0013] 板体上设有用于连接MCU的接口。
- [0014] 板体上设有用于连接IIC总线的接插件。
- [0015] 为实现板体与MCU的电平匹配,在N个IIC信号通路的第一端通过上拉电阻接直流电压V1,V1为MCU的IIC接口的基准电压;
- [0016] 为实现板体与IIC负载的电平匹配,在N个IIC信号通路的第二端通过上拉电阻接直流电压V2,V2为负载端的IIC接口的基准电压。
- [0017] V1为3.3V。
- [0018] V2为12V。
- [0019] 板体为PCB板。
- [0020] 一种基于IIC接口扩展板的装置,包括MCU和扩展板;扩展板上设有N条IIC信号通路;N为整数, $N \geq 2$ ;
- [0021] 所述的扩展板上的N个IIC信号通路的第一端分别与MCU上的N个IIC接口相连;
- [0022] 所述的扩展板上的N个IIC信号通路的第二端分别连接N条IIC总线。
- [0023] 所述的MCU上的IIC接口为IIC控制器的接口。
- [0024] 所述的MCU上的IIC接口为由通用IO口模拟的IIC接口。
- [0025] 所述的MCU上的IIC接口为由IP核实现的IIC接口。
- [0026] 扩展板上的每一条IIC信号通路中设有双向总线缓冲器。优选P82B96芯片。
- [0027] 所述的MCU集成在核心板中。
- [0028] 核心板中还集成有现场可编程门阵列。如果MCU内部具备现场可编程门阵列,如ZC7020芯片等,可以由可编程门阵列实现IIC接口功能,MCU并非必须具备该功能。
- [0029] 为实现扩展板与MCU的电平匹配,在N个IIC信号通路的第一端通过上拉电阻接直流电压V1,V1为MCU的IIC接口的基准电压。
- [0030] 为实现扩展板与IIC负载的电平匹配,在N个IIC信号通路的第二端通过上拉电阻接直流电压V2,V2为负载端的IIC接口的基准电压。
- [0031] 有益效果:
- [0032] 本实用新型的IIC接口扩展板,该装置使得硬件电路板对下行IIC从设备的采集更具兼容性,能够满足IIC从设备的扩展,支持多达四种不同总线电平的转换。在从设备数量不多、IIC总线电平种类少的情况下,扩展板的缓冲芯片可进行选择性焊接,不会增加系统的额外成本。

#### 附图说明

- [0033] 图1为IIC接口扩展板的总体结构框图;
- [0034] 图2为一路IIC信号通路的连接示意图。
- [0035] 图3为接口0-3及电源接口定义示意图;
- [0036] 图4为某一个插接组件接口定义示意图。

#### 具体实施方式

- [0037] 以下将结合附图和具体实施例对本实用新型做进一步详细说明:

- [0038] 实施例1:如图1~2,一种IIC接口扩展板,扩展板的板体上设有4条IIC信号通路;4为整数, $N \geq 2$ ;每一条IIC信号通路设有一个双向总线缓冲器。
- [0039] 双向总线缓冲器采用P82B96芯片。
- [0040] 板体上设有用于连接MCU的接口。
- [0041] 板体上设有用于连接IIC总线的接插件。
- [0042] 为实现板体与MCU的电平匹配,在N个IIC信号通路的第一端通过上拉电阻接直流电压V1,V1为MCU的IIC接口的基准电压;
- [0043] 为实现板体与IIC负载的电平匹配,在N个IIC信号通路的第二端通过上拉电阻接直流电压V2,V2为负载端的IIC接口的基准电压。
- [0044] V1为3.3V。
- [0045] V2为12V。
- [0046] 板体为PCB板。
- [0047] 如图1-2,一种基于IIC接口扩展板的装置,包括MCU和扩展板;扩展板上设有4条IIC信号通路;所述的扩展板上的4个IIC信号通路的第一端分别与MCU上的4个IIC接口相连;
- [0048] 所述的扩展板上的4个IIC信号通路的第二端分别连接4条IIC总线。
- [0049] 所述的MCU上的IIC接口为IIC控制器的接口,即利用MCU上自带的IIC接口,具体为2个。
- [0050] 所述的MCU上的IIC接口为由通用IO口模拟的IIC接口,即通过IO接口模拟IIC接口,具体为1个。
- [0051] 所述的MCU上的IIC接口为由IP核实现的IIC接口,即通过IP核来配置IIC接口,具体为1个。
- [0052] 扩展板上的每一条IIC信号通路中设有双向总线缓冲器。优选P82B96芯片。
- [0053] 所述的MCU集成在核心板中。
- [0054] 核心板中还集成有现场可编程门阵列。
- [0055] 为实现扩展板与MCU的电平匹配,在4个IIC信号通路的第一端通过上拉电阻接直流电压V1,V1为MCU的IIC接口的基准电压,具体为3.3V。
- [0056] 为实现扩展板与IIC负载的电平匹配,在N个IIC信号通路的第二端通过上拉电阻接直流电压V2,V2为负载端的IIC接口的基准电压,如为12V,也不一定为12V,视IIC从设备工作电平而定,图为以12V为例的一路总线连接情况。
- [0057] 本实用新型的多路IIC扩展的方法和装置包括以下模块:
- [0058] 核心板模块,该模块为包含CPU在内的最小系统。可引出独立的4路IIC接口IIC0-IIC3(可通过MCU内置的IIC控制器、IO模拟或如ZC7020等具备现场可编程门阵列MCU内置的IP核实现),负责对IIC设备发出读写时序、返回ACK,并保存、解析、处理从设备的数据。
- [0059] 扩展板模块,该模块为单独的一块电路板,其与核心板采用排线或接插件的方式进行连接。对上层核心板有四组接口,分别连接核心板的四个IIC控制器,对下有用于连接不同电平总线的4组电源接口和用于连接IIC从设备的多组IIC接口。板内存在四个P82B96缓冲芯片用于提升系统可支持的IIC从设备容抗,并将四种各异的总线逻辑电平转换为MCU的电平大小。

[0060] P82B96为双向总线缓冲器；P82B96是一款双极性、内部无锁存、双向逻辑接口器件，它提供标准I<sup>2</sup>C器件和远距离总线间的桥接，可以将不同电压和电流级别的类似总线与I<sup>2</sup>C总线进行桥接。该器件可桥接SMBus (350μA)、3.3V逻辑器件，15V电平及低阻抗导线可以延长通信距离，增加抗干扰能力。该器件对I<sup>2</sup>C总线协议和时钟速率没有特殊要求。P82B96能增加I<sup>2</sup>C总线节点上挂载的最小负载数、新总线负载数和远程I<sup>2</sup>C总线器件数，且不会对本地节点造成影响。挂载器件数目和物理上的限制也会大大减小。通过平衡传输线(双绞线)或光耦隔离(光纤)发送信号，Tx、Rx结构上的分隔使其发送变得简单，且Tx和Rx信号直接相连时不会锁死。

[0061] 从设备模块，该模块为多种支持IIC总线传输协议的智能采集传感器，以在火车上的应用场景为例，该模块包含加速度传感器、倾角传感器、温度传感器和压力传感器等。同一类型或同总线电平幅值的传感器接于同一接插件组，便于P82B96芯片将相应的电平转换到合适的阈值后将信号输出至核心板。

[0062] 下面详细描述本实用新型的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本实用新型，而不能理解为对本实用新型的限制。相反，本实用新型的实施例包括落入所附加权利要求书的精神和内涵范围内的所有变化、修改和等同物。本部分的描述仅是示范性和解释性，不应对本实用新型的保护范围有任何的限制作用。此外，本领域技术人员根据本文件的描述，可以对本文件中实施例以及不同实施例中的特征进行相应组合。

[0063] 在本实用新型的描述中，需要说明的是，除非另有明确的规定和限定，术语“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本实用新型中的具体含义。此外，在本实用新型的描述中，除非另有说明，“多个”的含义是两个或两个以上。

[0064] 流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为，表示包括一个或更多个用于实现特定逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分，并且本实用新型的优选实施方式的范围包括另外的实现，其中可以不按所示出或讨论的顺序，包括根据所涉及的功能按基本同时的方式或按相反的顺序，来执行功能，这应被本实用新型的实施例所属技术领域的技术人员所理解。

[0065] 如图2所示，是以MCU单路IIC接口及其相应电路为例的硬件连接示意图。需要说明的是，图2中以MCU的IO口和供电电平为3.3V、传感器引出的IIC总线电平为12V、外接四个传感器进行说明仅是示意性的，本实用新型中负责采集的从IIC设备数量和总线电平大小并无固定值，以四个传感器和固定电平大小为例仅是为了清楚起见。

[0066] 如图2所示，是具有四个IIC从设备的例子。

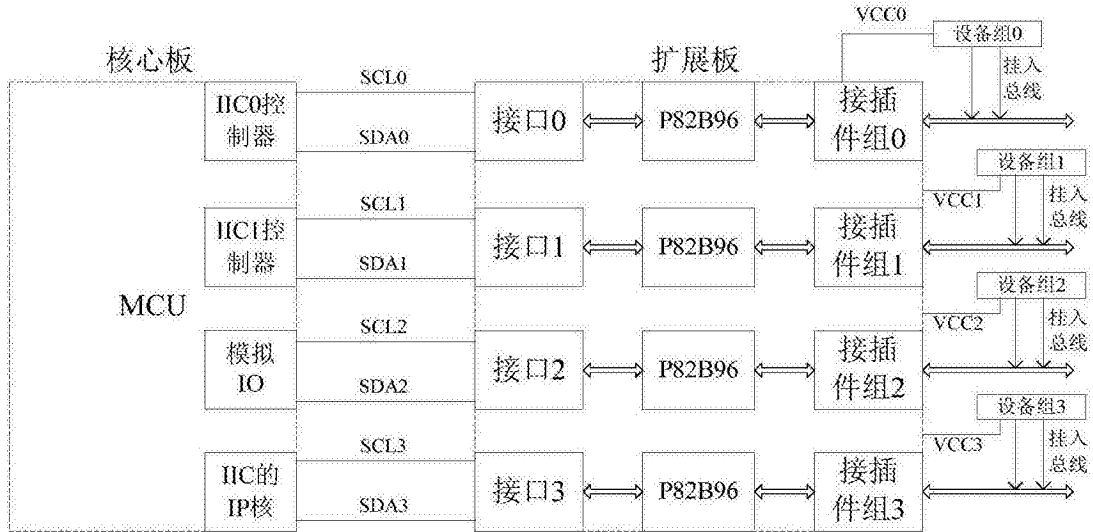


图1

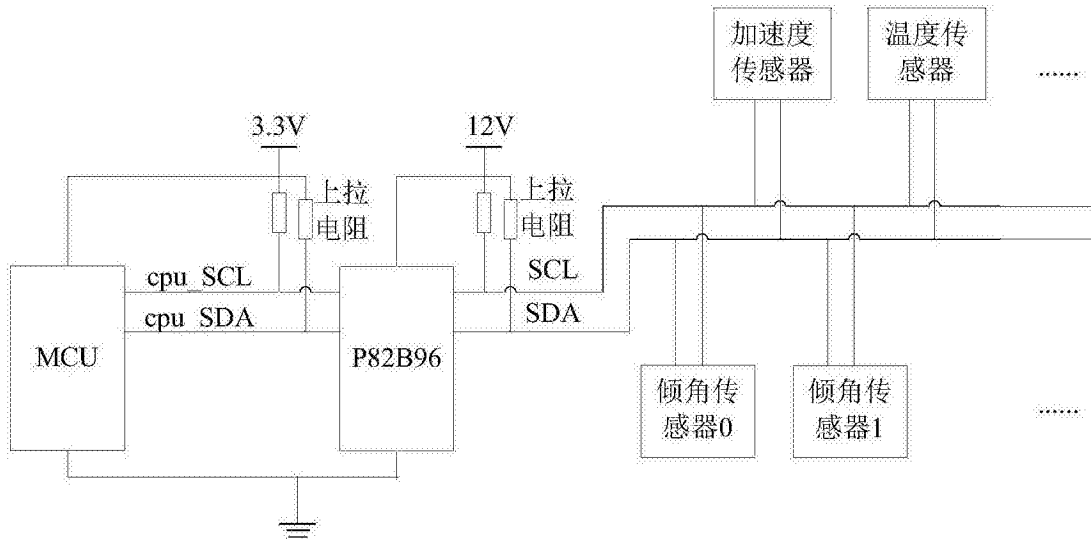


图2

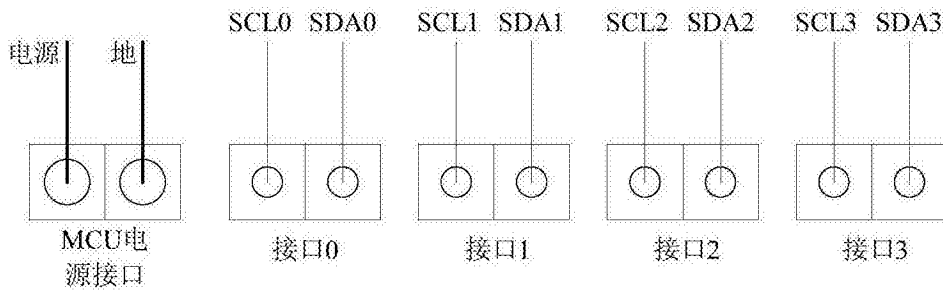


图3

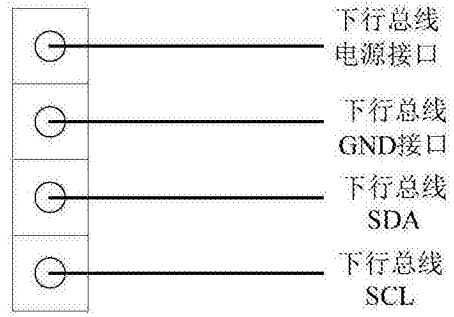


图4