(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3679101号
(P3679101)
(45)発行日　平成17年8月3日(2005.8.3)　(24)登録日　平成17年5月20日(2005.5.20)

(51)Int.Cl.[7]	F I		
H01L 23/50	H01L	23/50	U
H01L 21/52	H01L	21/52	G

請求項の数 3　(全 19 頁)

(21)出願番号	特願2003-207140(P2003-207140)
(22)出願日	平成15年8月11日(2003.8.11)
(62)分割の表示	特願平10-185261の分割
原出願日	平成5年3月25日(1993.3.25)
(65)公開番号	特開2004-48022(P2004-48022A)
(43)公開日	平成16年2月12日(2004.2.12)
審査請求日	平成15年8月11日(2003.8.11)
(31)優先権主張番号	特願平4-71116
(32)優先日	平成4年3月27日(1992.3.27)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願平4-320098
(32)優先日	平成4年11月30日(1992.11.30)
(33)優先権主張国	日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　梶原　祐二郎
東京都小平市上水本町５丁目２２番１号
株式会社日立マイコンシステム内
(72)発明者　鈴木　一成
東京都小平市上水本町５丁目２２番１号
株式会社日立マイコンシステム内
最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】
【請求項１】
搭載される半導体チップの外形寸法より小さく、かつ前記半導体チップの裏面に部分的に接続されるチップ搭載部と、前記チップ搭載部に搭載される半導体チップを囲むように配置される複数のインナーリードとを有するリードフレームを準備する工程と、
前記準備されたリードフレームの前記チップ搭載部において、前記チップ搭載部の中心位置よりも外側の領域の複数箇所に接着剤を塗布する工程と、
表面に複数の電極を有する半導体チップを前記複数箇所に塗布された接着剤を介して前記チップ搭載部に接着する工程と、
前記半導体チップの複数の電極と前記複数のインナーリードとを接続する工程と、
前記半導体チップ、複数のインナーリードおよびチップ搭載部を樹脂で封止する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。
【請求項２】
前記リードフレームは前記チップ搭載部に接続される複数の吊りリードを有していることを特徴とする請求項１に記載の半導体集積回路装置の製造方法。
【請求項３】
前記複数箇所への接着剤塗布は、ディスペンサによる滴下により行われることを特徴とする請求項１に記載の半導体集積回路装置の製造方法。
【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は、半導体チップを搭載するリードフレーム、このリードフレームを用いた半導体集積回路装置およびその製造方法に関し、特に、リードフレームの標準化およびＬＳＩパッケージのリフロー・クラック耐性の向上に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
ＱＦＰ(Quad Flat Package) などの表面実装型樹脂封止装置（Surface Mount Device）であるＬＳＩパッケージは、リフロー半田工程におけるパッケージ・クラックの発生をいかに抑えるかが重要な課題となっている。
【０００３】
すなわち、ＬＳＩパッケージが吸湿した場合、ＬＳＩパッケージ全体を加熱するリフロー半田工程での高温に起因する内部応力によって樹脂とダイパッドとの界面などに剥離が生じる。パッケージ・クラックとは、この剥離がダイパッド界面に結露していた水分の膨張、すなわち水蒸気圧によって拡大して樹脂が割れる現象である。これにより、耐湿性の劣化、樹脂のふくれによる半田付け不良が生じていた。また、このパッケージ・クラックが半導体チップの上面で発生すると、ワイヤの切断などの深刻な不良を引き起こすことになる。
【０００４】
従来、樹脂とダイパッドの界面の剥離を防ぐ対策としては、ダイパッドの一部に貫通孔を設け、この貫通孔を通じて半導体チップの裏面を樹脂と密着させる方法（特開平２－８３９６１号公報）や、ダイパッドの裏面にディンプル加工を施すことによって、樹脂とダイパッドの接着力を向上させる方法などが知られている。
【０００５】
他方、ピン数が同じでチップサイズが違う製品、例えば一品種あたりの製品数量が少ないＡＳＩＣ(Application Specific Integrated Circuit) 製品においても、高密度実装が可能な製品が要求されており、前述したＱＦＰなどの表面実装型ＬＳＩパッケージに半導体チップを搭載する傾向にある。そこで従来は、チップサイズに対応したリードフレームを作成して製品を製造していたため、その製造コストの上昇を招いていた。
【０００６】
そのため、生産数量が少ない各種チップサイズのＡＳＩＣに対応することのできるリードフレームとして、「日経マイクロデバイセズ、１９８７年１２月号」Ｐ７６～Ｐ７８には、ポリイミド樹脂系のテープをダイパッドとしてインナーリードに取付け、このテープ上に半導体チップを搭載するリードフレームが開示されている。
【０００７】
【発明が解決しようとする課題】
しかしながら、近年のＬＳＩパッケージは、樹脂体中に占める半導体チップの面積割合が増加している。さらに樹脂の肉厚が従来よりも極めて薄くなっているため、前述した対策、すなわち、ダイパッドに貫通孔やディンプルを形成するといった方法ではパッケージ・クラックの発生を有効に防止することが困難になりつつある。
【０００８】
また、チップサイズに対応したリードフレームを作らずに、従来のリードフレーム、すなわちダイパッドの外形寸法（チップ搭載面の面積）が半導体チップの外形寸法（チップ主面あるいは裏面の面積）よりも大きいリードフレームを用いることを検討したが、ダイパッドに搭載する半導体チップの大きさがかなり制限されることが分かった。
【０００９】
すなわち、ダイパッドの外形寸法よりも１～２㎜以上小さい半導体チップを搭載すると、ワイヤが垂れてダイパッド端に接触し、ワイヤボンディング不良を起こすので、比較的小さい半導体チップは使用できない。また、インナーリードの先端の位置がダイパッドによって制限され、かつワイヤの長さにも制限（ワイヤ長は、ワイヤボンダの性能や電気的特

性などにより決定され、1.０㎜～5.０㎜位が適当とされている）があるため、比較的小さいチップを用いることはできない。他方、ダイパッド上には、その外形寸法までの大きさの半導体チップしか搭載できないため、大きい方のチップサイズも制限が生じる。

【００１０】

また、前述したダイパッドとしてポリイミド樹脂系のテープをインナーリードに取付けたものは、半導体チップの大きさに制限はなくなるが、テープの熱膨張係数がリードフレームや半導体チップのそれと異なるため、半田リフロー工程において互いの熱膨張係数の違いからそれらの界面に剥離が生じ、パッケージ・クラックが発生する。従って、界面剥離やパッケージ・クラックの発生を防ぎ、しかも各種サイズの半導体チップを搭載することのできるＬＳＩパッケージが必要である。

【００１１】

本発明の一つの目的は、ＬＳＩパッケージのリフロー・クラック耐性を向上させることのできる技術を提供することにある。

【００１２】

本発明の他の目的は、ＬＳＩの少量多品種化に対応したリードフレームを提供することにある。

【００１３】

本発明の他の目的は、上記リードフレームを用いた半導体集積回路装置を提供することにある。

【００１４】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１５】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

(1).本発明の半導体集積回路装置の製造方法は、搭載される半導体チップの外形寸法より小さく、かつ前記半導体チップの裏面に部分的に接続されるチップ搭載部と、前記チップ搭載部に搭載される半導体チップを囲むように配置される複数のインナーリードとを有するリードフレームを準備する工程と、前記準備されたリードフレームの前記チップ搭載部において、前記チップ搭載部の中心位置よりも外側の領域の複数箇所に接着剤を塗布する工程と、表面に複数の電極を有する半導体チップを前記複数箇所に塗布された接着剤を介して前記チップ搭載部に接着する工程と、前記半導体チップの複数の電極と前記複数のインナーリードとを接続する工程と、前記半導体チップ、複数のインナーリードおよびチップ搭載部を樹脂で封止する工程と、を有するものである。

【００１６】

また、本発明におけるリードフレームは、半導体チップを搭載するダイパッドの外形寸法を前記半導体チップの外形寸法よりも小さくし、かつ前記半導体チップの外形寸法に応じてリードの先端を所定の長さに切断可能としたリードフレームである。

【００１７】

すなわち、所定の大きさを有する半導体チップを搭載するためのチップ搭載部と、前記チップ搭載部を支持する吊りリード部と、前記チップ搭載部の周囲を取り囲むように配置され、かつ搭載されるべき半導体チップの大きさに応じて切断可能な領域を有し、この領域にメッキ層が形成されたインナーリード部および前記インナーリード部に接続され、かつ前記インナーリード部から外方に向かって延在するアウターリード部からなる複数のリードとを備え、前記チップ搭載部の外形寸法を、前記搭載されるべき半導体チップの外形寸法よりも小さくしたリードフレームである。

(2).本発明のリードフレームは、第１の面とそれに対向する第２の面とを有する１枚の板状のフレームを用意する工程、前記フレームをその第１の面から第２の面に向かう方向に切断することにより、所定の大きさを有する半導体チップを搭載するためのチップ搭載部

と前記チップ搭載部を支持する吊りリード部とを形成する工程、前記フレームをその第２の面から第１の面に向かう方向に切断することにより、前記チップ搭載部の周囲を取り囲むように配置される複数のリードを形成する工程、前記インナーリード部の前記搭載されるべき半導体チップの大きさに応じて切断可能な領域にメッキ層を形成する工程によって製造される。

(3).本発明のリードフレームを用いた半導体集積回路装置は、所定の大きさを有する半導体チップを搭載するためのチップ搭載部と、前記チップ搭載部を支持する吊りリード部と、前記チップ搭載部の周囲を取り囲むように配置されたインナーリード部および前記インナーリード部に接続され、かつ前記インナーリード部から外方に向かって延在するアウターリード部からなる複数のリードとを備え、前記チップ搭載部の外形寸法が前記搭載されるべき半導体チップの外形寸法よりも小さいリードフレームを使用し、主面に集積回路とボンディングパッドとが形成された方形状の半導体チップを前記リードフレームのチップ搭載部にボンディングし、前記半導体チップのボンディングパッドと前記リードフレームのインナーリード部とをボンディングワイヤで電気的に接続し、前記半導体チップ、前記インナーリード部および前記チップ搭載部を樹脂封止するものである。

【００１８】

上記した手段によれば、チップ搭載部の外形寸法をその上に搭載する半導体チップのそれよりも小さくし、またチップ搭載部の上に搭載する半導体チップの外形寸法に応じてリードの先端を所定の長さに切断可能としたことにより、外形寸法がかなり広い範囲で異なる各種の半導体チップで共用することができるため、ＬＳＩパッケージの少量多品種化に対応したリードフレームおよびそれを用いた半導体集積回路装置を提供することができる。

【００１９】

さらに詳しく説明すると、従来のリードフレーム、すなわちチップ搭載部の外形寸法がその上に搭載する半導体チップの外形寸法よりも大きいリードフレームを用いる場合、前述したようにかなり狭い範囲（チップ搭載部の外縁からチップ端までが１～２㎜）のサイズの半導体チップしか共用できないので、インナーリード先端をカットする必要がない。

【００２０】

これに対し、本発明のリードフレームは、チップ搭載部の外形寸法がその上に搭載される半導体チップのそれよりも小さいため、広い範囲（本願で説明するリードフレームでは５㎜～15㎜×５㎜～15㎜の半導体チップ）のサイズの半導体チップが共用できるので、ワイヤ長の制限に合わせてインナーリード先端位置を変更する必要がある場合にも十分対応できる。

【００２１】

さらに、ＬＳＩパッケージの少量多品種化に対応したリードフレームを提供できると共に、チップ搭載部の外形寸法がその上に搭載される半導体チップのそれよりも小さいので、チップ搭載部の上に搭載された半導体チップの裏面が封止樹脂と接着する。そして、半導体チップ（シリコン）と樹脂との界面の接着力は、チップ搭載部（金属）と樹脂との界面の接着力よりも大きいため、チップ搭載部と樹脂との界面に水分が浸入するのを防止することができ、ＬＳＩパッケージを半田リフローによって基板に実装する際のパッケージ・クラックを抑制することができる。

【００２２】

【発明の実施の形態】

図１は、本発明の一実施の形態であるＱＦＰの製造に用いるリードフレームの平面図である。

【００２３】

リードフレーム１の中央部には、主面に集積回路およびボンディングパッドが形成された半導体チップ２を搭載するための円形のダイパッド（チップ搭載部）３が形成されている。このダイパッド３は、四本の吊りリード４によって支持されている。ダイパッド３のチップ搭載面の面積は、その上に搭載される半導体チップ２の主面の面積よりも小さく設定

されているのが特徴である。

【００２４】

ダイパッド３の周囲には、複数本のリード５がダイパッド３を囲むように配置されている。吊りリード４の幅広部およびリード５の中途部には、絶縁性の薄い合成樹脂フィルムからなるテープ６が枠状に形成されて接着されている。このテープ６の外側には、リード５の支持とモールド時における樹脂の溢出防止とを兼ねたダムバー７が枠状に各リード５間を連結するように形成されている。

【００２５】

リードフレーム１の最外周部は、単位フレームを複数連結している外枠８および各単位フレーム間を分離するように形成されている内枠９からなり、外枠８の一部には、リードフレーム１をモールド金型に位置決めする際のガイドとなるガイド孔１０が設けられている。

【００２６】

リードフレーム１を構成する上記ダイパッド３、吊りリード４、リード５、ダムバー７、外枠８および内枠９は、４２アロイや銅などの導電材料からなる。リード５の一部を構成し、後に樹脂で封止されるインナーリード部５ａの先端には、Ａｇのメッキが施されている。図示はしないが、リードフレーム１は、これらの各部により構成される単位フレームを一方向に複数個連設した構成になっている。

【００２７】

次に、上記リードフレーム１の製造方法の一例を図２～図１０を用いて説明する。

【００２８】

まず、図２に示すように、フープ材をプレス加工して、ダイパッド３、吊りリード４、リード５（インナーリード部５ａおよびアウターリード部５ｂからなる）、ダムバー７、外枠８、内枠９およびガイド孔１０を一体形成する。一例として、フープ材は板厚0.１５㎜程度の４２アロイからなる。また、ダイパッド３の直径は３㎜程度、吊りリード４の幅は0.３㎜程度である。インナーリード部５ａ間のピッチは、加工限界を考慮して、例えば１３２ピンのリードフレームでは約0.２２㎜、１６８ピンでは0.２５㎜である。更にダイパッド３の中心からインナーリード５ａの先端までの距離は、最大、１３２ピンで約５㎜、１６８ピンで約6.２㎜である。

【００２９】

上記の各部をプレスで形成する場合は、図３に示すように、切断箇所の裏面側にバリ１１ができる。本実施の形態のリードフレーム１は、ダイパッド３の面積がその上に搭載される半導体チップ２の面積より小さいので、ダイパッド３のチップ搭載面にバリ１１ができると半導体チップ２を接着することができなくなる。従って、ダイパッド３をプレス加工する時は、チップ搭載面を上に向けて上から打ち抜き、バリ１１がチップ搭載面の裏面側にできるようにする。

【００３０】

一方、インナーリード部５ａの先端は、ワイヤボンディングの際にバリ１１が下側にあると、ワイヤがボンディングされにくく、ボンディング不良が生じることがある。従って、インナーリード部５ａをプレス加工する時は、ボンディング面を下に向けて上から打ち抜き、バリがワイヤボンディング面側にできるようにする。

【００３１】

次に、図４に示すように、インナーリード部５ａのワイヤボンディング領域３２にＡｇメッキを施す。後述するように、本実施の形態のリードフレーム１は、ダイパッド３上に搭載する半導体チップ２の外形寸法に応じてリード５の先端を所定の長さに切断して使用するため、従来のリードフレームに比べてＡｇメッキを施す領域の面積を大きくしてある。例えば従来の場合は、ワイヤボンディング誤差、メッキ層形成時の誤差を考慮して、インナーリード部５ａの先端からの距離が１㎜程度の範囲であればよかったが、本発明では、１㎜以上、第１カット、第２カットを考慮すると1.５～２㎜以上必要である。

【００３２】

次に、リードフレーム１のダウンセット加工を行う。ダウンセット加工は、図５(a),(b)に示すように、プレス型１２を使って吊りリード４の中途部（同図(b)の符号Ｓで示す部分）を下方に折り曲げることにより、水平方向から見たダイパッド３の高さをリード５の高さよりも低くする作業である。すなわち、ダイパッド３のチップ搭載面側とインナーリード部５ａのワイヤボンディング面を第１の面、この第１の面に対向する面を第２の面とすると、ダイパッド３の第１の面が、インナーリード部５ａの第１の面よりも第２の面側に位置するように加工する。

【００３３】

図６は、ダウンセット加工を施したリードフレーム１の平面図である。一例として、ダイパッド３の中心から各吊りリード４のダウンセット位置（Ｓ）までの距離は、8.5～9.0mm程度であり、ダウンセット量（ダイパッド３の主面からリード５の主面までの高さ）は、0.2mm程度である。

【００３４】

上記のダウンセット加工を施すことにより、半導体チップ２を搭載したリードフレーム１をモールド金型に装着してパッケージを成形する際に、半導体チップ２の上面側とダイパッド３の下面側とで樹脂の肉厚をほぼ等しくすることができる。

【００３５】

次に、ダイパッド３を支持する吊りリード４の中途部（吊りリード４の幅広になっている部分）およびインナーリード部５ａにテープ６を接着する。テープ６の接着は、図７に示すように、ヒートステージ１３上に載置したリードフレーム１の上にテープ６を位置決めし、上方からツール１４を圧着して行う。一例として、テープ６は外形寸法18.5mm×18.5mm程度、幅1.5mm程度、厚さ0.05mm程度のポリイミド樹脂からなるフィルム６ａの片面にアクリル樹脂系の接着剤６ｂを厚さ0.02mm程度塗布した構成になっている。

【００３６】

図８は、テープ６を接着したリードフレーム１の平面図、図９は図８のIX－IX線における断面図、図１０は図８のＸ－Ｘ線における断面図である。

【００３７】

テープ６の接着面積を確保するため、図８に示すように、吊りリード４の中途部は、他の部分より幅を広くしてある（吊りリード４の幅広部）。すなわち、この幅広部にテープ６、すなわち絶縁性のフィルムを接着してダイパッド３を固定することにより、半導体チップ２を搭載したリードフレーム１をモールド金型に装着してパッケージを成形する際、溶融樹脂の流動によるダイパッド３の変動を防止することができるので、半導体チップ２の上面側とダイパッド３の下面側とで溶融樹脂の流速がほぼ等しくなり、貫通ボイドなどの成形不良の発生を防止することができる。

【００３８】

このようにして得られる本実施の形態のリードフレーム１は、ダイパッド３のチップ搭載面の面積がその上に搭載される半導体チップ２の主面あるいはこの主面に対向する裏面の面積よりも小さいので、外形寸法の異なる各種の半導体チップを搭載することが可能である。また、リード５の先端を切断してリード５を短くすることにより、さらに大面積の半導体チップ２を搭載することも可能である。

【００３９】

図１１(a)は、大面積、すなわち前記図１中に二点鎖線で示されている半導体チップ２よりも大面積の半導体チップを搭載するために、リード５の先端を切断したリードフレーム１ａの平面図であり、図１１(b)はそのXI－XI線における断面図である。なお、図１１(a)中の破線は、切断前のリード５の先端位置を示している。図１２は、リード５の先端をさらに切断したリードフレーム１ｂの平面図であり、このようにすると、さらに大面積の半導体チップを搭載することができる。

【００４０】

このようにして、例えばダイパッド３の直径が３mm程度である場合は、外形寸法が５mm×５mm程度から１５mm×１５mm程度の範囲までの各種半導体チップを搭載することができる

。リード５の切断はプレスにより行うが、ワイヤボンディング領域３２に施したＡｇメッキの剥離を防止するため、ワイヤボンディング領域３２を下に向けて行う。従って、図１１(b) に示すように、インナーリード部５ａの先端は、上側を向くように成形される。

【００４１】

次に、上記リードフレーム１を用いたＱＦＰの製造方法の一例を図１３～図３０を用いて説明する。

【００４２】

まず、図１３に示すように、リードフレーム１のダイパッド３上に半導体チップ２を接着するための接着剤１５を塗布する。なお、同図にはリード５の先端を切断していないリードフレーム１を示してあるが、半導体チップ２よりも大面積の半導体チップを搭載する場合は、ダイパッド３上に接着剤１５を塗布する工程に先立って、あらかじめリード５の先端を所定の長さに切断しておく。すなわち、前記図１１のリードフレーム１ａあるいは前記図１２のリードフレーム１ｂを形成しておく。リード先端のカット（切断）は、チップが搭載される場合に、そのチップ外周部とインナーリード５ａの先端が接続しない距離以上（例えば0.５㎜以上）離れる位置を考慮して行う。

【００４３】

接着剤１５の塗布は、図１４に示すように、ステージ１６上に載置したリードフレーム１のダイパッド３上にディスペンサ１７を使って接着剤１５を滴下することにより行う。接着剤１５は、一例として熱硬化性のエポキシ樹脂にＡｇ粉末を混入させたものからなる。なお、図中の符号１８はノズル、１９はシリンジである。ダイパッド３の大きさは、接着剤１５が塗布される分だけあればよい。

【００４４】

上記リードフレーム１は、ダイパッド３の面積が小さいので、接着剤１５をダイパッド３の主面の一点に塗布するだけでよい。そのため、ダイパッドの面積が大きい従来のリードフレームに比べると、使用するノズル１８の構造が簡単で済み、かつ接着剤１５の塗布も短時間で済み、その塗布量も低減できるという利点がある。

【００４５】

さらに、図１５に示すように、ダイパッド３の周囲に吊りリード４よりも幾分幅の広い小パッド（あるいは接着剤塗布部ともいう）２０を形成し、ダイパッド３およびこの小パッド２０のそれぞれの主面上に接着剤１５を塗布するようにしてもよい。このようにすると、充分な接着強度が得られるので、ダイパッド３上で半導体チップ２が回転ずれを起こしたりする不具合を防止することができる。また、小パッド２０（接着剤塗布部）を形成したことにより、実質的に吊りリード４の剛性が増すので、半導体チップ２を搭載したリードフレーム１をモールド金型に装着してパッケージを成形する際、溶融樹脂の流動によるダイパッド３の変動を防止することができる。

【００４６】

上記小パッド２０は、図１６に示すように、それぞれの吊りリード４の途中、例えばダイパッド３と中途部Ｓとの間に形成してもよい。この場合も前記同様の効果を得ることができる。

【００４７】

次に、図１７に示すように、接着剤１５を塗布したダイパッド３上にコレット２１を使って半導体チップ２を位置決めする。一例として、半導体チップ２は外形寸法5.３４㎜×5.３４㎜程度、厚さ0.４㎜程度のシリコン単結晶からなる。

【００４８】

図１８は、ダイパッド３を支持する吊りリード４の一部にＶ溝２２を形成したリードフレーム１の平面図である。このＶ溝２２は、ダイパッド３上に半導体チップ２を正確に位置決めするための目盛りとして利用されるもので、図１９にその断面を拡大して示すように、各吊りリード４の主面上に一定の間隔をおいて複数形成される。

【００４９】

そして、ダイパッド３上に半導体チップ２を位置決めする際は、図２０(a) ～(c) に示す

ように、リードフレーム１の上方からカメラ（図示せず）などを使ってＶ溝２２の位置を検出し、その情報に基づいて、各種外形寸法の半導体チップ２を正確な位置に移動させる。

【００５０】

また、図２１に示すように、各吊りリード４の途中、すなわちダイパッド３と中途部Ｓとの間に複数の突起２３を一定の間隔で形成し、これをダイパッド３上に半導体チップ２を位置決めするための目盛りとして利用してもよい。これらのＶ溝２２や突起２３は、ダイパッド３上に半導体チップ２を位置決めした後の外観検査工程で利用することもできる。

【００５１】

次に、図２２に示すように、ダイパッド３上に半導体チップ２を位置決めしたリードフレーム１をヒートステージ２４上で加熱して接着剤１５を硬化させる。一例として、加熱条件は２００～２５０℃、３０秒～１分程度である。なお、接着剤１５の硬化は、オーブンを使って行うこともできる。図２３は、ダイパッド３上に半導体チップ２を搭載する工程が完了したリードフレーム１の平面図である。

【００５２】

次に、図２４～図２６に示すように、ダイパッド３上に搭載された半導体チップ２のボンディングパッド２５とリード５との間をＡｕのワイヤ２６でボンディングし、電気的に接続する。図２５は、インナーリード部５ａと半導体チップ２との接続関係を示す断面図、図２６は、吊りリード４と半導体チップ２との関係を示す断面図である。

【００５３】

図２４に示すように、本実施の形態のリードフレーム１は、半導体チップ２の各辺に沿ってリード５の先端をＶ字状に配列してある（半導体チップ２のコーナー部近傍の、すなわち吊りリード４に近い方のリード５を長く、各辺中央部近傍の、すなわち吊りリード４から遠くに位置するリード５を短くしてある）。これにより、ワイヤ２６の長さが全てのボンディングパッド２５とリード５との間でほぼ等しくなるので、ワイヤの長さを変更する必要がなく、ワイヤボンディング作業が容易になる。

【００５４】

図２７は、本実施の形態で使用するワイヤボンディング装置のヒートステージ２７の主面を示す平面図である。このヒートステージ２７の主面には、リードフレーム１のダイパッド３と吊りリード４の一部（前記ダウンセット位置（Ｓ）よりも内側の部分）とが嵌め込まれる逃げ溝２８が形成されている。

【００５５】

ヒートステージ２７の主面に上記のような逃げ溝２８を形成したことにより、図２８に示すように、ダイパッド３上に大面積の半導体チップ２ｂを搭載したリードフレーム１（同図(a))でも、小面積の半導体チップ２を搭載したリードフレーム１（同図(b))でも、ワイヤボンディングが可能となるので、半導体チップ２の外形寸法が変わる毎にヒートステージ２７を交換する手間が不要となる。なお、２８図(a) 中の符号t_1 はリードフレーム１の板厚（本実施の形態では0.１５㎜程度）を示し、t_2 はダイパッド３のダウンセット量（本実施の形態では0.２㎜程度）を示している。図２８からも明らかなように、逃げ溝２８の深さはt_1 ＋t_2 よりも大きいので、ダウンセット（タブ下げ）加工のばらつきが吸収され、またリードフレーム１のダイパッド３と吊りリード４の一部を逃げ溝２８に嵌め込ませた場合、ワイヤボンディングされるリードやチップの部分は図示のようにヒートステージ２７に密着し、熱伝導が良くなることにより、ボンディング性能が向上する。ワイヤの長さは、ボンディングパッドからインナーリード部５ａのボンディング点までの直線距離で1.０～5.０㎜位である。

【００５６】

次に、上記リードフレーム１をモールド金型に装着し、図２９に示すように、半導体チップ２、ダイパッド４、インナーリード部５ａおよびワイヤ２６をエポキシ樹脂などでモールドすることによりパッケージ本体２９を成形した後、リードフレーム１の不要箇所、すなわちパッケージ本体２９の外部に露出したダムバー７、外枠８および内枠９などをプレ

スで切断除去し、最後にパッケージ本体２９の外部に露出したリード５を所定の形状に成形することにより、ＱＦＰ形の表面実装型半導体装置３０が完成する。その後、図３０に示すように、この表面実装型半導体装置３０をリフロー半田付け法により配線基板３４上に実装する。図中、３３はリード５を載置するランドパッド、３６は半田である。

【００５７】

本実施の形態のリードフレーム１を用いて製造された表面実装型半導体装置（ＱＦＰ）３０は、ダイパッド３の面積がその上に搭載された半導体チップ２の面積よりも小さいため、半導体チップ２の周辺部の裏面が封止樹脂と密着している。

【００５８】

これにより、封止樹脂とダイパッド３との界面の接着力が増大するので、水分が浸入してもリフロー半田工程の高温に起因する水分膨張による上記界面の剥離を抑制することができ、リフロー・クラック耐性の向上した表面実装型半導体装置（ＱＦＰ）３０を提供することができる。

【００５９】

また、本実施の形態のリードフレーム１は、外形寸法の異なる各種の半導体チップ２を搭載することができるので、外形寸法の異なる半導体チップ毎にリードフレームを作成する手間が不要となる。これにより、リードフレーム１を標準化することができるので、その製造コストが低減され、表面実装型半導体装置（ＱＦＰ）３０を安価に提供することができる。

【００６０】

また、本実施の形態のリードフレーム１は、ダイパッド３の外形寸法を小さくしたことにより、半導体チップ２をダイパッド３上に搭載する際に用いる接着剤１５の使用量を少なくすることができるので、この点においても、表面実装型半導体装置（ＱＦＰ）３０を安価に提供することができる。

【００６１】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００６２】

ダイパッドの形状は円形に限らず、チップのダイパッドへの接着強度や接着剤の最低塗布領域を確保していれば、例えば矩形であってもよい。また、図３１に示すように、半導体チップ２の面積よりも小面積のダイパッド３の一部に貫通孔３１を形成し、半導体チップ２と樹脂との接着面積をさらに大きくすることにより、リフロー・クラック耐性をさらに向上させることができる。

【００６３】

また、図３２に示すように、四本の吊りリード４が交差する部分の幅を広く形成し、この部分をダイパッド３として利用してもよい。

【００６４】

前記実施の形態では、ＱＦＰを製造するためのリードフレームに本発明を適用した場合について説明したが、表面実装型ＬＳＩパッケージの組み立てに用いるリードフレーム全般に適用することができる。また、ＤＩＰ(Dual In-line Package)のようなピン挿入型ＬＳＩパッケージの製造に用いるリードフレームに適用することもできる。

【００６５】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1).本発明によれば、リフロー・クラック耐性の向上したＬＳＩパッケージを提供することができる。

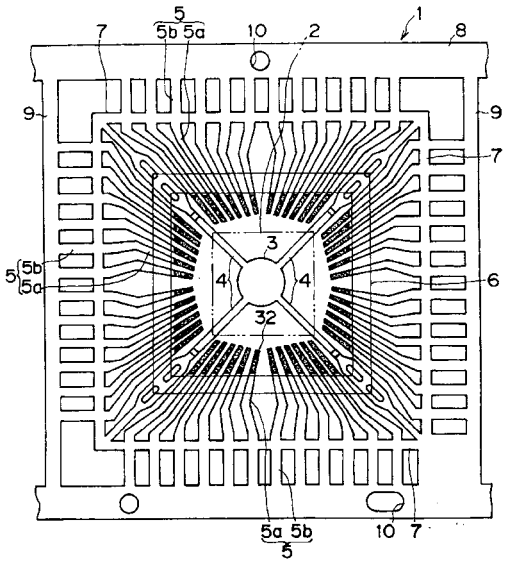
(2).本発明によれば、ＬＳＩパッケージの少量多品種化に対応したリードフレームを提供することができるので、ＬＳＩパッケージの製造コストを低減することができる。

【図面の簡単な説明】
【図１】本発明の一実施の形態であるリードフレームの平面図である。
【図２】本発明のリードフレームのプレス工程を示す平面図である。
【図３】本発明のリードフレームのプレス工程を示す説明図である。
【図４】本発明のリードフレームのメッキ工程を示す平面図である。
【図５】　(a),(b) は、本発明のリードフレームのダウンセット工程を示す説明図である。
【図６】ダウンセット工程が完了したリードフレームの平面図である。
【図７】本発明のリードフレームのテープ接着工程を示す説明図である。
【図８】本発明のリードフレームのテープ接着工程を示す平面図である。
【図９】図８のIX－IX線における断面図である。
【図１０】図８のＸ－Ｘ線における断面図である。
【図１１】　(a) はリードフレームのリード切断工程を示す平面図であり、(b) はそのXI－XI線における断面図である。
【図１２】リードフレームのリード切断工程を示す平面図である。
【図１３】リードフレームの接着剤塗布工程を示す平面図である。
【図１４】リードフレームの接着剤塗布工程を示す断面図である。
【図１５】リードフレームの接着剤塗布工程を示す平面図である。
【図１６】リードフレームの接着剤塗布工程を示す平面図である。
【図１７】リードフレームのチップ搭載工程を示す断面図である。
【図１８】リードフレームのチップ搭載工程を示す平面図である。
【図１９】リードフレームのチップ搭載工程を示す要部拡大断面図である。
【図２０】　(a) ～(c) は、リードフレームのチップ搭載工程を示す要部拡大斜視図である。
【図２１】リードフレームのチップ搭載工程を示す平面図である。
【図２２】リードフレームのチップ搭載工程を示す断面図である。
【図２３】リードフレームのチップ搭載工程を示す平面図である。
【図２４】リードフレームのワイヤボンディング工程を示す平面図である。
【図２５】リードフレームのワイヤボンディング工程を示す断面図である。
【図２６】リードフレームのワイヤボンディング工程を示す断面図である。
【図２７】ワイヤボンディング装置のヒートステージを示す平面図である。
【図２８】　(a),(b) は、ワイヤボンディング装置のヒートステージを示す断面図である。
【図２９】本発明のリードフレームを用いたＱＦＰの平面図である。
【図３０】本発明のリードフレームを用いたＱＦＰの断面図である。
【図３１】リードフレームの他の実施の形態を示す要部拡大平面図である。
【図３２】リードフレームの他の実施の形態を示す要部拡大平面図である。
【符号の説明】
１　リードフレーム
１ａ　リードフレーム
１ｂ　リードフレーム
２　半導体チップ
２ｂ　半導体チップ
３　ダイパッド（チップ搭載部）
４　吊りリード
５　リード
５ａ　インナーリード部
５ｂ　アウターリード部
６　テープ
６ａ　フィルム

６ｂ　接着剤
７　ダムバー
８　外枠
９　内枠
１０　ガイド孔
１１　バリ
１２　プレス型
１３　ヒートステージ
１４　ツール
１５　接着剤
１６　ステージ
１７　ディスペンサ
１８　ノズル
１９　シリンジ
２０　小パッド
２１　コレット
２２　Ｖ溝
２３　突起
２４　ヒートステージ
２５　ボンディングパッド
２６　ワイヤ
２７　ヒートステージ
２８　逃げ溝
２９　パッケージ本体
３０　表面実装型半導体装置（ＱＦＰ）
３１　貫通孔
３２　ワイヤボンディング領域（Ａｇメッキ部）
３３　ランドパッド
３４　配線基板
３６　半田

【図１】

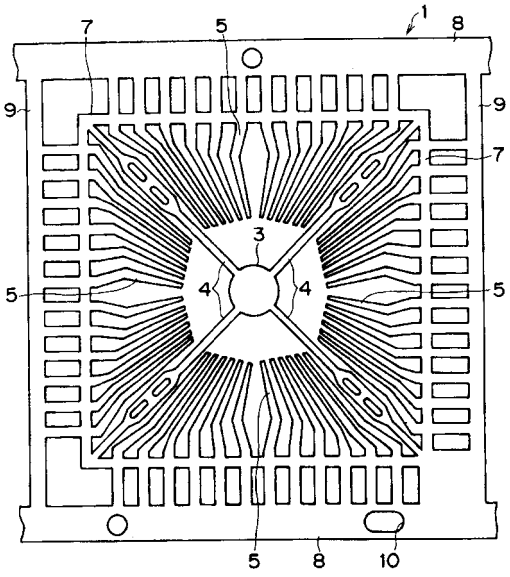
図 1



1：リードフレーム　　4：吊りリード
2：半導体チップ　　5：リード
3：ダイパッド

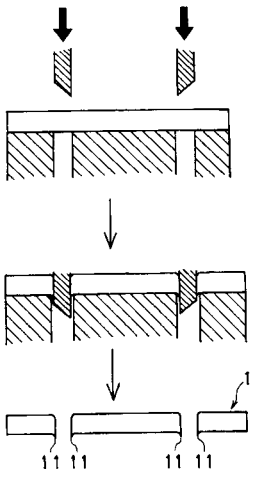
【図２】

図 2



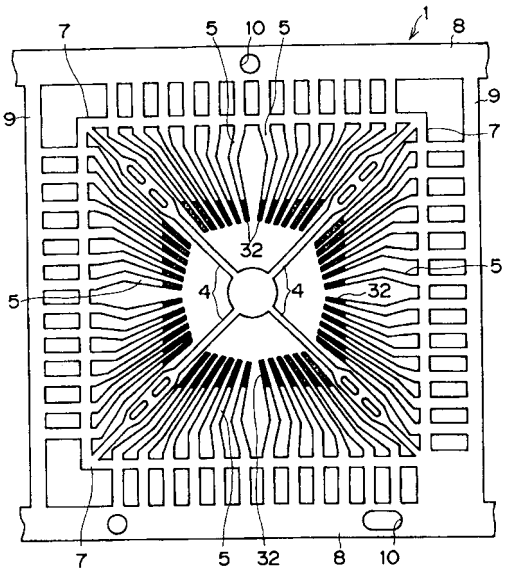
【図３】

図 3



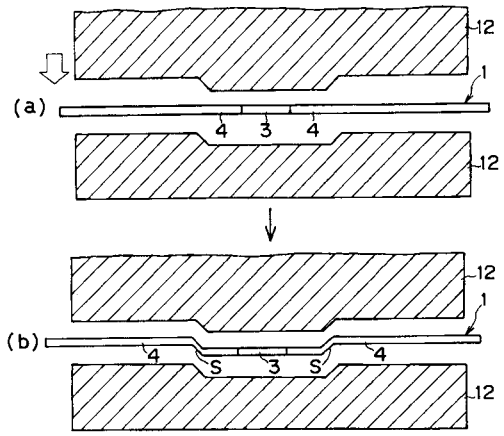
【図４】

図 4



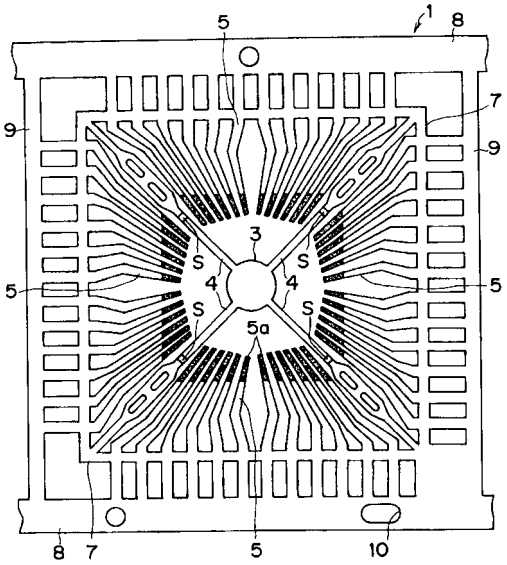
【図５】

図５



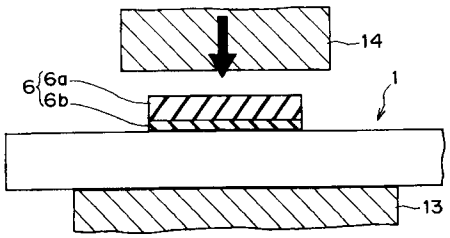
【図６】

図６



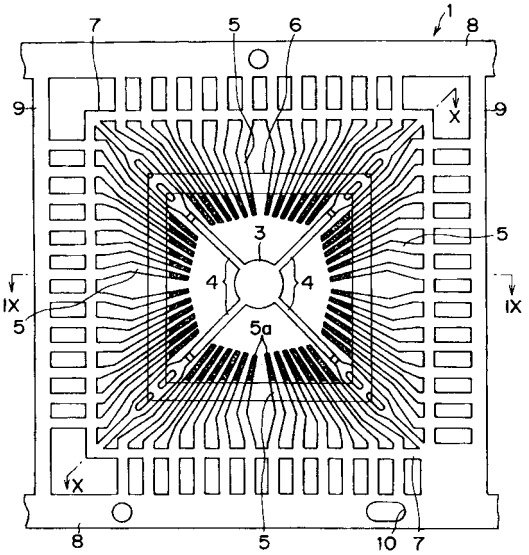
【図７】

図７



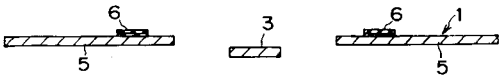
【図８】

図８



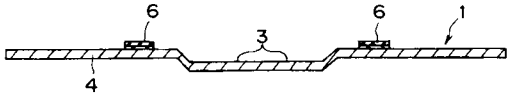
【図９】

図 9



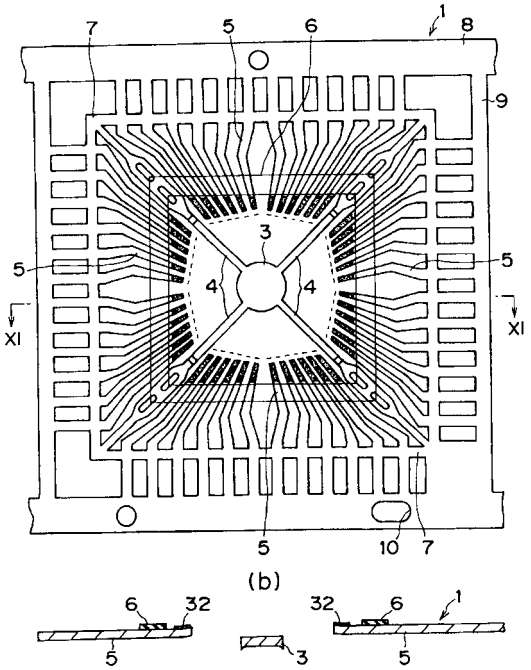
【図１０】

図 10



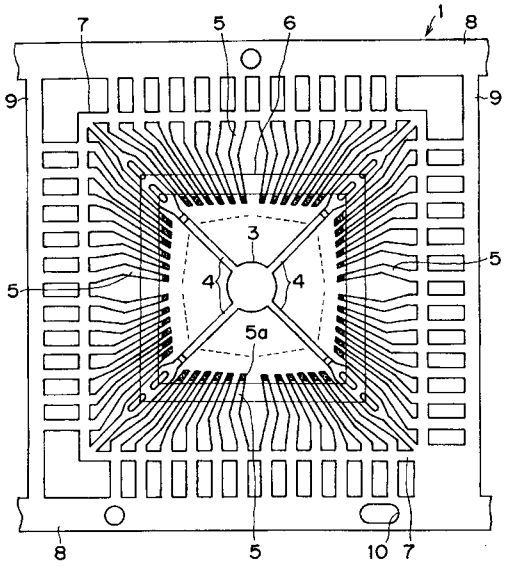
【図１１】

図 11 (a)



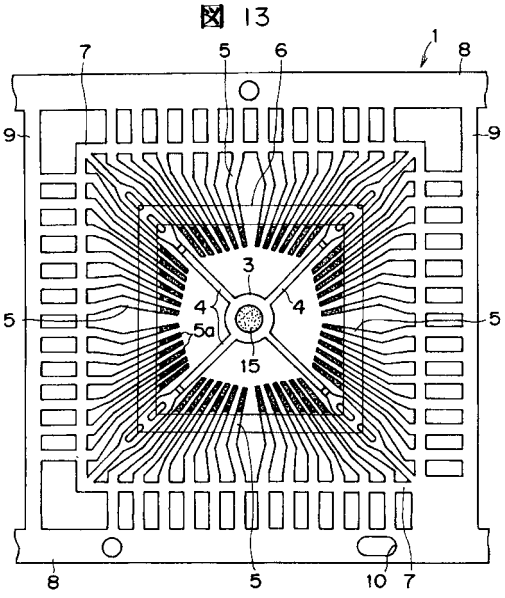
【図１２】

図 12



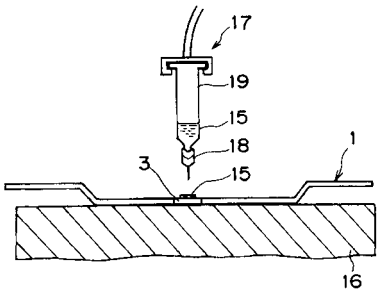
【図１３】

図 13



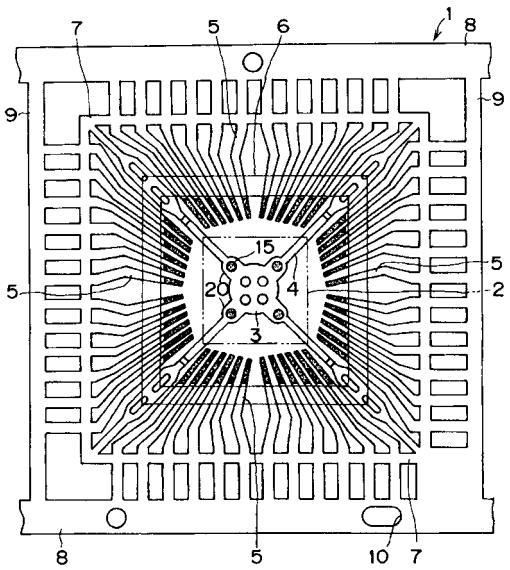
【図１４】

図 14



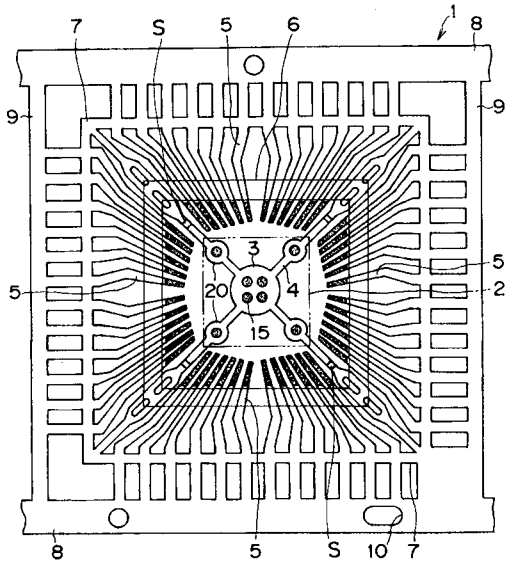
【図１５】

図 15



【図１６】

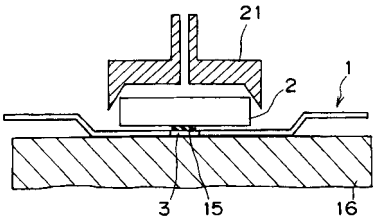
図 16



1：リードフレーム　　4：吊りリード
2：半導体チップ　　5：リード
3：ダイパッド

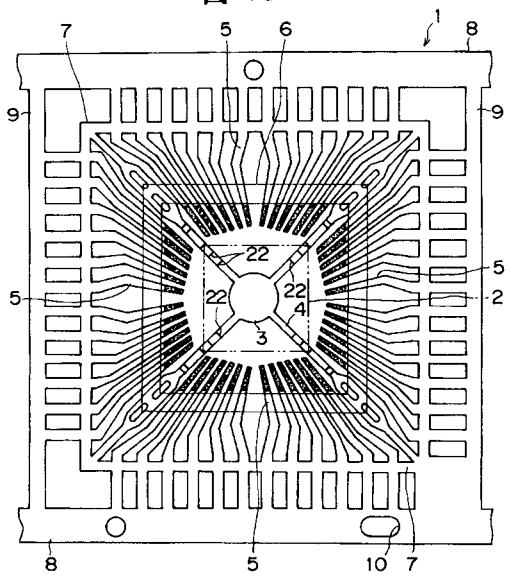
【図１７】

図 17



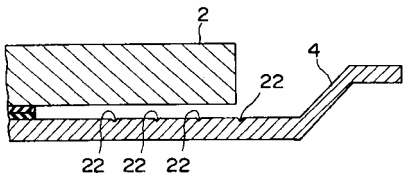
【図１８】

図 18



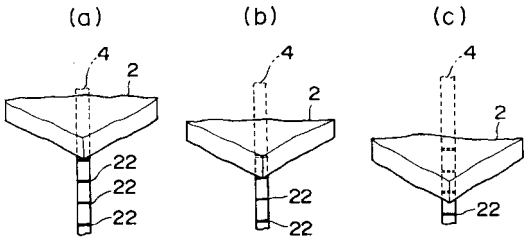
【図１９】

図 19



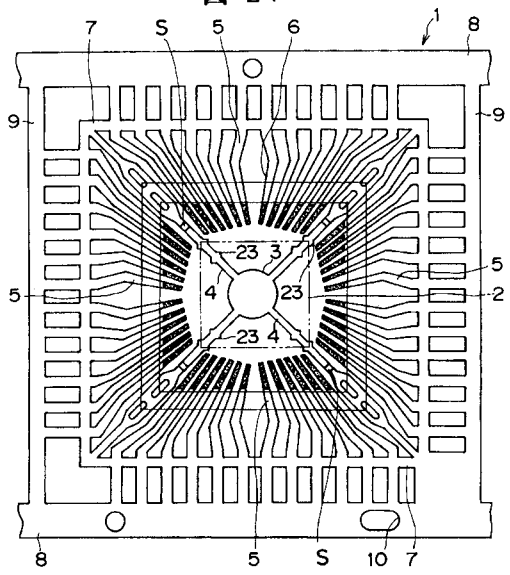
【図２０】

図 20



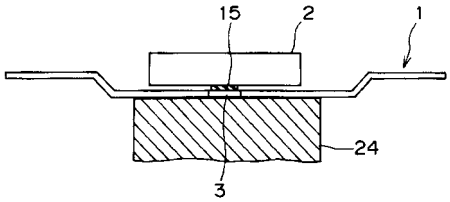
【図２１】

図 21



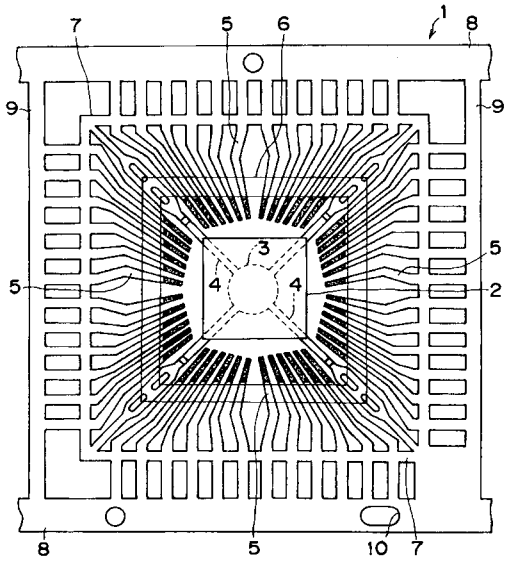
【図２２】

図 22



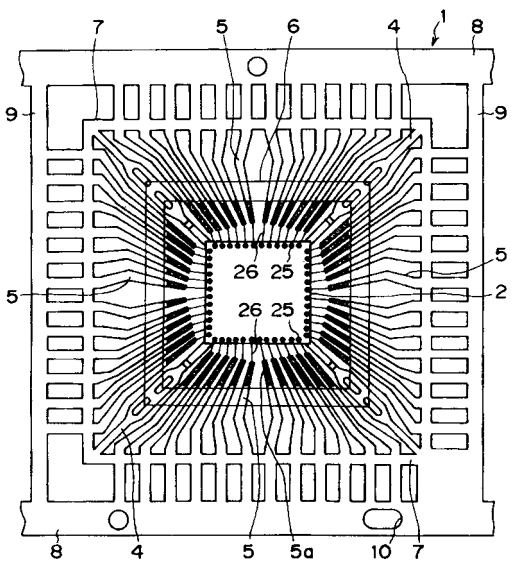
【図２３】

図 23



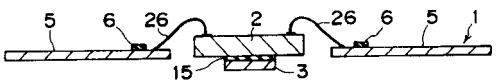
【図２４】

図 24



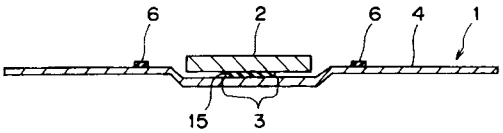
【図２５】

図 25



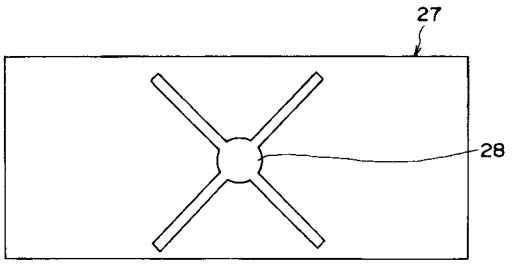
【図２６】

図 26



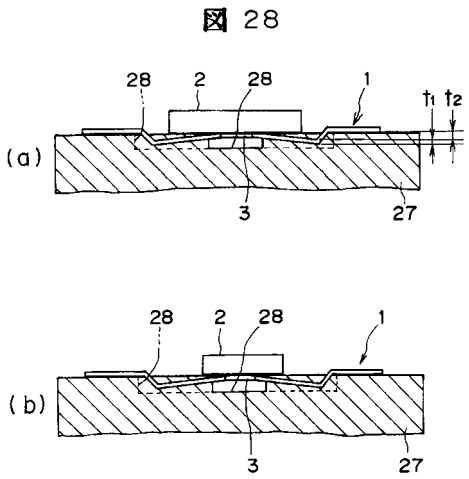
【図２７】

図 27



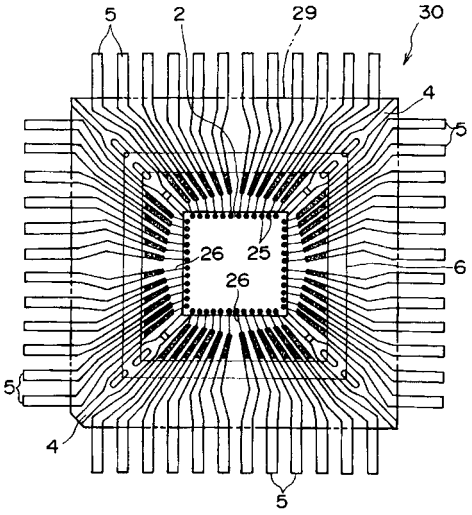
【図２８】

図 28



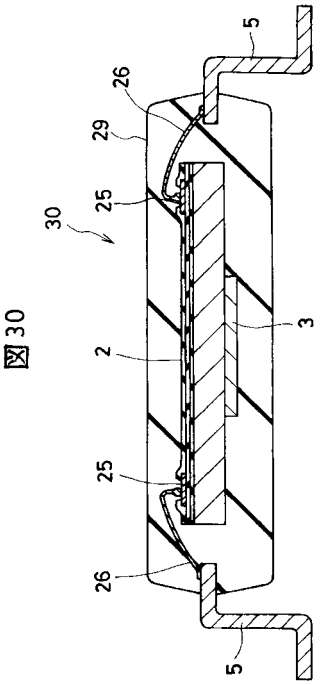
【図２９】

図 29



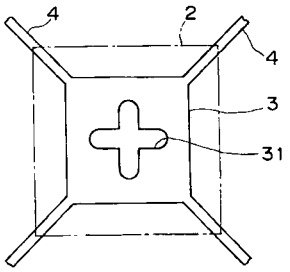
【図３０】

図30



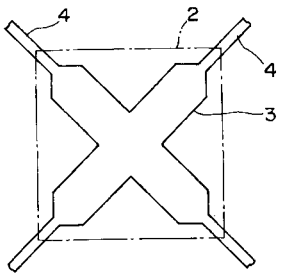
【図３１】

図 31



【図３２】

図 32



フロントページの続き

(72)発明者　坪崎　邦宏
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　鈴木　博通
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　宮木　美典
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　内藤　孝洋
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　河合　末男
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　酒井　英夫

(56)参考文献　実開平０４－００５６３９（ＪＰ，Ｕ）
特開平０２－００５５３４（ＪＰ，Ａ）
特開昭６４－０３０２３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/52,23/48-23/50