

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 8 月 9 日(09.08.2012)



(10) 国際公開番号  
**WO 2012/105436 A1**

- (51) 国際特許分類:  
*H01G 4/12* (2006.01) *H01C 7/10* (2006.01)  
*C01G 23/00* (2006.01) *H01G 4/40* (2006.01)  
*C04B 35/47* (2006.01)
- (21) 国際出願番号: PCT/JP2012/051778
- (22) 国際出願日: 2012 年 1 月 27 日(27.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-021381 2011 年 2 月 3 日(03.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所(Murata Manufacturing Co., Ltd.)  
[JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川本 光俊 (KAWAMOTO Mitsutoshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 國弘 安俊 (KUNIHIRO Yasutoshi); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 1 4

ー 10 サムティ新大阪フロントビル 10 階  
Osaka (JP).

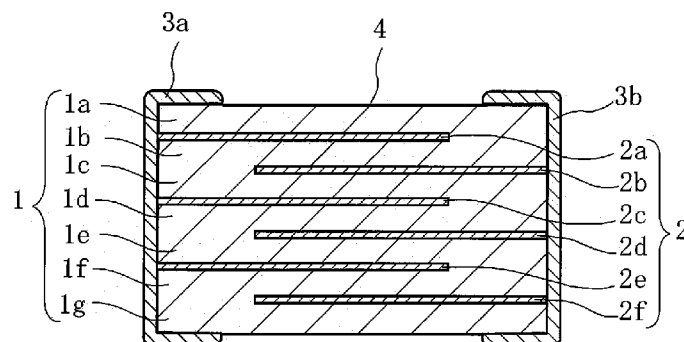
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR CERAMIC, METHOD FOR PRODUCING SAME, LAMINATED SEMICONDUCTOR CERAMIC CAPACITOR WITH VARISTOR FUNCTIONALITY, AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体セラミックとその製造方法、及びバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

[図1]



(57) Abstract: This semiconductor ceramic is formed having an SrTiO<sub>3</sub>-based compound as the primary component, a donor element is in a solid solution in crystal grains, and an acceptor element is in a grain boundary layer. In the acceptor element, the number of tetravalent acceptor element atoms is at least  $1 \times 10^{17}$  atoms/g. The number of acceptor element atoms is calculated from an electron spin resonance absorption spectrum. Before admixing a binder, a mixture of a calcinated powder and an acceptor compound is mixed/pulverized until the surface area to volume ratio becomes 5.0-7.5 m<sup>2</sup>/g. The semiconductor ceramic layers (1a-1g) of a laminated semiconductor ceramic capacitor having varistor functionality are formed using the semiconductor ceramic. As a result, a result is achieved that has superior reliability, is able to stably obtain favorable electrical characteristics, and suppresses unevenness of characteristics between products.

(57) 要約:

[続葉有]

WO 2012/105436 A1



---

半導体セラミックは、主成分が $\text{SrTiO}_3$ 系化合物で形成されると共に、ドナー元素が結晶粒子中に固溶され、かつアクセプタ元素が粒界層中に存在する。アクセプタ元素中、4価のアクセプタ元素の個数が、 $1 \times 10^{17}$ 個/g以上である。このアクセプタ元素の個数は電子スピン共鳴吸収スペクトルから算出される。バインダを混合する前に仮焼粉末とアクセプタ化合物との混合物を比表面積が $5.0 \sim 7.5 \text{ m}^2/\text{g}$ となるまで混合粉碎する。バリスタ機能を有する積層型半導体セラミックコンデンサの半導体セラミック層1a～1gは、この半導体セラミックを使用して形成する。これにより製品間での特性バラツキを抑制して、良好な電気特性を安定して得ることができる信頼性の優れたものを実現する。

## 明 細 書

発明の名称：

半導体セラミックとその製造方法、及びバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

### 技術分野

[0001] 本発明は半導体セラミックとその製造方法、及びバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関し、より詳しくは $\text{SrTiO}_3$ 系粒界絶縁型の半導体セラミックとその製造方法、及びこれを利用したバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関する。

### 背景技術

[0002] 近年のエレクトロニクス技術の発展に伴い、携帯電話やノート型パソコン等の携帯用電子機器や、自動車などに搭載される車載用電子機器の普及と共に、電子機器の小型化、多機能化が求められている。

[0003] 一方、電子機器の小型化、多機能化を実現するために、各種IC、LSIなどの半導体素子が多く用いられるようになってきており、それに伴って電子機器のノイズ耐力が低下しつつある。

[0004] そこで、従来より、半導体素子の電源ラインにバイパスコンデンサとしてフィルムコンデンサ、積層型セラミックコンデンサ、積層型半導体セラミックコンデンサなどを配し、これにより電子機器のノイズ耐力を確保することが行われている。

[0005] 特に、カーナビやカーオーディオ、車載ECU等では、静電容量が1 nF程度のコンデンサを外部端子に接続し、これにより高周波ノイズを吸収することが広く行われている。

[0006] しかしながら、これらのコンデンサは、高周波ノイズの吸収に対しては優れた性能を示すが、コンデンサ自体は高電圧パルスや静電気を吸収する機能を有さない。このため斯かる高電圧パルスや静電気が電子機器内に侵入する

と、電子機器の誤動作や半導体素子の破損を招くおそれがある。特に、静電容量が1 n F程度の低容量になると、ESD (Electro-Static Discharge : 「静電気放電」) 耐圧が極端に低くなり(例えば、2 k V ~ 4 k V 程度)、コンデンサそのものの破損を招くおそれがある。

[0007] そこで、従来では、図9に示すように、外部端子101と半導体素子102とを接続する電源ライン103にバイパスコンデンサ104を配すると共に、該バイパスコンデンサ104と並列に、例えばツェナーダイオード105を接続することが広く行われている。ツェナーダイオード105は、バイパスコンデンサ104を保護すると共に半導体素子102を保護する役割を担い、これによりESD耐圧を確保すると共に、半導体素子102をも保護している。

[0008] しかしながら、上述のようにバイパスコンデンサ104に対し並列にツェナーダイオード105を設けた場合は、部品個数が増加しコスト高を招く上に、設置スペースを確保しなければならず、デバイスの大型化を招くおそれがある。

[0009] 一方、SrTiO<sub>3</sub>系粒界絶縁型の積層型半導体セラミックコンデンサは、バリスタ特性を有することが知られており、一定の電圧以上の電圧が印加されると大きな電流が流れることから、ESD対策品としても注目されている。

[0010] したがって、この種の積層型半導体セラミックコンデンサが、ESDに対する耐性だけでなく、半導体素子102の保護をも担うことができれば、従来のコンデンサとツェナーダイオードに代え、図10に示すように、1個の積層型半導体セラミックコンデンサ106のみで賄うことができる。そしてこれにより、部品点数の削減や低コスト化と共に、設計の標準化も容易となり、付加価値を有するコンデンサの提供が可能となる。

[0011] そして、特許文献1では、SrTiO<sub>3</sub>系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼成されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層

と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサであって、前記半導体セラミックが、S r サイトとT i サイトとの配合モル比 $m$ は $1.000 < m \leq 1.020$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記T i 元素100モルに対し0.5モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在し、かつ、結晶粒子の平均粒径が $1.0 \mu\text{m}$ 以下としたバリスタ機能付き積層型半導体セラミックコンデンサが提案されている。

[0012] また、特許文献1では、ドナー化合物を含むセラミック素原料を、S r サイトとT i サイトとの配合モル比が所定比率となるように秤量して混合粉碎した後、 $1350^{\circ}\text{C}$ の温度で仮焼処理を行って仮焼粉末を作製し、該仮焼粉末とアクセプタ化合物とを16時間を要して湿式で混合粉碎し、この混合物を熱処理して熱処理粉末を作製している。そしてその後、熱処理粉末を成形加工してセラミックグリーンシートを作製し、内部電極層とセラミックグリーンシートを交互に積層して積層体を形成し、次いで還元雰囲気下、前記積層体を $1250^{\circ}\text{C}$ の焼成温度で一次焼成処理を行って半導体化した後、大気雰囲気下で二次焼成処理を行って粒界絶縁層を形成し、その後外部電極を形成し、これにより上記バリスタ機能付き積層型半導体セラミックコンデンサを得ている。

[0013] この特許文献1では、結晶粒子の平均粒径が $1.0 \mu\text{m}$ 以下であり、二次焼成の際に、粒界に酸素が行き渡りやすくなってショットキー障壁の形成が十分となり、比抵抗も大きく、 $30\text{ kV}$ 以上のESD耐圧を有した積層型半導体セラミックコンデンサが得ることが可能となる。

[0014] また、特許文献1では、一次焼成処理における焼成温度を仮焼温度と同等又は同等以下とすることにより、一次焼成処理で結晶粒子の粒成長が促進されることが殆どなく、これにより結晶粒子が粗大化するのを抑制し、結晶粒子の平均粒径が $1.0 \mu\text{m}$ 以下にしている。

先行技術文献

特許文献

[0015] 特許文献1：国際公開2008/004389号（請求項1、請求項8、段落番号〔0037〕、〔0090〕～〔0100〕）

## 発明の概要

### 発明が解決しようとする課題

[0016] しかしながら、本発明者の研究結果により、特許文献1では、結晶粒界の性状によって電気特性が大きく変動し、このため安定した特性を得るのが困難であることが分かった。すなわち、特許文献1では、結晶粒界が良好な性状にあるときは、所望の特性を得ることができるものの、結晶粒界の性状によって電気特性、特にバリスタ特性が大きく変動するため、製品間で特性バラツキが生じ、このため製品歩留まりの低下を招き、量産性に劣るという課題があった。

[0017] 本発明はこのような事情に鑑みなされたものであって、製品間での特性バラツキを抑制して、良好な電気特性を安定して得ることができる信頼性の優れた半導体セラミックとその製造方法、及びこの半導体セラミックを使用したバリスタ機能付き積層型半導体セラミックコンデンサとその方法を提供することを目的とする。

### 課題を解決するための手段

[0018] 本発明者は、上記目的を達成するために鋭意研究を行ったところ、二次焼成での再酸化により、2価のアクセプタ元素が酸化されて3価又は4価となるが、アクセプタ元素中、4価のアクセプタ元素の個数が多いほど、結晶粒界の性状が安定化し、これにより電気特性が安定するという知見を得た。

[0019] そして、電子スピン共鳴（Electron Spin Resonance；以下、「ESR」という。）法を使用して分析したところ、アクセプタ元素中、4価のアクセプタ元素の個数が $1 \times 10^{17}$ 個/g以上となるように半導体セラミックを形成することにより、粒界層の性状が安定化し、これにより製品間での特性バラツキを抑制できることが分かった。

[0020] 本発明はこれらの知見に基づきなされたものであって、本発明に係る半導体セラミックは、主成分が $\text{SrTiO}_3$ 系化合物で形成されると共に、ドナー

元素が結晶粒子中に固溶され、かつアクセプタ元素が粒界層中に存在する  $\text{SrTiO}_3$  系粒界絶縁型の半導体セラミックであって、前記アクセプタ元素中、4 価のアクセプタ元素の個数が、 $1 \times 10^{17}$  個/g 以上であることを特徴としている。

[0021] これにより、安定した粒界絶縁層を形成することができ、製品間での特性バラツキが抑制され、特性の安定した半導体セラミックを高効率で得ることができる。

[0022] また、本発明の半導体セラミックは、前記4 価のアクセプタ元素の個数が、E S R 吸収スペクトルから算出されるのが好ましく、これにより4 価のアクセプタ元素の個数を容易に算出することができる。

[0023] さらに、本発明の半導体セラミックは、前記アクセプタ元素は、Mn、Co、Ni、及びCrのうちの少なくとも1 種の元素であるのが好ましい。

[0024] また、本発明の半導体セラミックは、Sr サイトとTi サイトとの配合モル比  $m$  は  $0.990 \leq m \leq 1.010$  であり、アクセプタ元素の含有量は、前記Ti 元素100 モルに対し0.7 モル以下（ただし、0 モルは含まず。）であるのが好ましい。

[0025] また、本発明の半導体セラミックは、前記アクセプタ元素が、前記Ti 元素100 モルに対し、0.3～0.5 モルの範囲で含有されているのが好ましい。

[0026] また、本発明の半導体セラミックは、前記ドナー元素は、La、Nd、Sm、Dy、Nb、及びTa 中から選択された少なくとも1 種の元素であるのが好ましい。

[0027] また、本発明の半導体セラミックは、低融点酸化物が、前記Ti 元素100 モルに対し0.1 モル以下の範囲で含有されているのが好ましい。

[0028] さらに、本発明の半導体セラミックは、前記低融点酸化物が、 $\text{SiO}_2$  であるのが好ましい。

[0029] また、本発明者の鋭意研究の結果、仮焼粉末とアクセプタ化合物とをバインダを添加する前に混合粉碎し、その際、混合物の比表面積が5.0～7.

5 m<sup>2</sup>/g になるまで微粉碎し、混合状態を均一乃至略均一状態とすることにより、その後バインダを混合させて一連の処理を実行しても、再酸化後には 4 価のアクセプタ元素の個数を  $1 \times 10^{17}$  個/g 以上にできることが分かった。

[0030] すなわち、本発明に係る半導体セラミックの製造方法は、Sr 化合物、Ti 化合物、及びドナー化合物を所定量秤量して混合粉碎した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、前記仮焼粉末とアクセプタ化合物とを所定量秤量して混合粉碎し、その後熱処理を行って混合粉末を作製する混合粉末作製工程と、前記混合粉末にバインダを混合し、セラミックスラリーを作製するバインダ混合工程と、前記セラミックスラリーから成形体を作製する成形工程と、還元雰囲気下、前記成形体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行い、焼結体を作製する焼成工程を含む SrTiO<sub>3</sub> 系粒界絶縁型の半導体セラミックの製造方法において、混合粉末作製工程は、前記混合粉末の比表面積が 5.0～7.5 m<sup>2</sup>/g となるように、前記仮焼粉末と前記アクセプタ化合物との混合物を粉碎することを特徴としている。

[0031] これによりアクセプタ化合物と仮焼粉末とが均一乃至略均一に混合されることとなり、二次焼成処理でアクセプタ元素の酸化が促進され、4 価のアクセプタ元素の個数を  $1 \times 10^{17}$  個/g 以上とすることができる。したがって、特性バラツキが抑制された安定した半導体セラミックを製造することができ、量産性を向上させることができる。

[0032] また、一次焼成処理における焼成温度を、好ましくは 1150～1250℃ に設定し、仮焼温度を、好ましくは、1300～1450℃ に設定し、前記焼成温度を前記仮焼温度よりも低く設定することにより、結晶粒子の粒成長を抑制でき、二次焼成時に酸素が行き渡り易くなってショットキー障壁の形成を促進し、絶縁性が向上する。

[0033] すなわち、本発明の半導体セラミックの製造方法は、焼成工程は、一次焼成処理における焼成温度を前記仮焼粉末作製工程における仮焼温度よりも低

く設定して前記成形体を焼成するのが好ましい。

[0034] また、本発明の半導体セラミックの製造方法は、前記仮焼粉末作製工程では、前記仮焼温度を $1300\sim1450^{\circ}\text{C}$ に設定して仮焼処理を行い、前記焼成工程では、前記一次焼成処理における焼成温度を $1150\sim1250^{\circ}\text{C}$ に設定して焼成処理を行うのが好ましい。

[0035] また、本発明に係るバリスタ機能付き積層型半導体セラミックコンデンサ（以下、「積層型半導体セラミックコンデンサ」という。）は、複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有する積層型半導体セラミックコンデンサにおいて、前記半導体セラミック層が、上記いずれかに記載の半導体セラミックで形成されていることを特徴としている。

[0036] また、本発明に係る積層型半導体セラミックコンデンサの製造方法は、Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉砕した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、前記仮焼粉末とアクセプタ化合物とを所定量秤量して混合粉砕し、その後熱処理を行って混合粉末を作製する混合粉末作製工程と、前記混合粉末にバインダを混合し、セラミックスラリーを作製するバインダ混合工程と、前記セラミックスラリーに成形加工を施してセラミックグリーンシートを作製し、該セラミックグリーンシートに導電性ペーストを塗布して導電膜を形成し、該導電膜とセラミックグリーンシートとが交互に積層されるようにして積層成形体を作製する成形工程と、還元雰囲気下、前記積層成形体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行い、焼結体を作製する焼成工程とを含むSrTiO<sub>3</sub>系粒界絶縁型の積層型半導体セラミックコンデンサの製造方法において、前記混合粉末作製工程は、前記混合粉末の比表面積が $5.0\sim7.5\text{ m}^2/\text{g}$ となるように、前記仮焼粉末と前記アクセプタ化合物との混合物を粉砕することを特徴としている。

[0037] このように本発明では、上述した半導体セラミック及びその製造方法を使

用して積層型セラミックコンデンサを得ているので、製品間での特性バラツキが抑制されたバリスタ機能を有する信頼性の優れた積層型半導体セラミックコンデンサを高効率で得ることができ、量産に適したものとなる。

[0038] また、本発明の積層型半導体セラミックコンデンサの製造方法は、焼成工程は、一次焼成処理における焼成温度を前記仮焼粉末作製工程における仮焼温度よりも低く設定して前記成形体を焼成するのが好ましい。

[0039] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記仮焼粉末作製工程では、前記仮焼温度を  $1300 \sim 1450^{\circ}\text{C}$  に設定して仮焼処理を行い、前記焼成工程では、前記一次焼成処理における焼成温度を  $1150 \sim 1250^{\circ}\text{C}$  に設定して焼成処理を行うのが好ましい。

### 発明の効果

[0040] 本発明の半導体セラミックによれば、主成分が  $\text{SrTiO}_3$  系化合物で形成されると共に、ドナー元素が結晶粒子中に固溶され、かつアクセプタ元素が粒界層中に存在する  $\text{SrTiO}_3$  系粒界絶縁型の半導体セラミックであって、前記アクセプタ元素中、4価のアクセプタ元素の個数が、 $1 \times 10^{17}$  個/g 以上であるので、安定した粒界絶縁層を形成することができ、製品間での特性バラツキが抑制され、特性の安定した半導体セラミックを高効率で得ることができる。

[0041] 本発明の半導体セラミックの製造方法によれば、混合粉末作製工程は、前記混合粉末の比表面積が  $5.0 \sim 7.5 \text{ m}^2/\text{g}$  となるように、前記仮焼粉末と前記アクセプタ化合物との混合物を粉砕するので、アクセプタ化合物と仮焼粉末とが均一乃至略均一に混合されることとなり、二次焼成処理でアクセプタ元素の酸化が促進され、4価のアクセプタ元素の個数を  $1 \times 10^{17}$  個/g 以上とすることができる。したがって、特性バラツキが抑制された安定した半導体セラミックを製造することができ、量産性を向上させることができる。

[0042] また、本発明の積層型半導体セラミックコンデンサ及びその製造方法によれば、上記半導体セラミック及びその製造方法を使用しているため、製品間

での特性バラツキが抑制されたバリスタ機能を有する信頼性の優れた積層型半導体セラミックコンデンサを高効率で得ることができ、量産に適したものとなる。

### 図面の簡単な説明

[0043] [図1]本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[図2]実施例における試料番号1のESR吸収スペクトルである。

[図3]実施例における試料番号3のESR吸収スペクトルである。

[図4]実施例における試料番号4のESR吸収スペクトルである。

[図5]実施例における試料番号1の電流－電圧特性図である。

[図6]実施例における試料番号2の電流－電圧特性図である。

[図7]実施例における試料番号3の電流－電圧特性図である。

[図8]実施例における試料番号4の電流－電圧特性図である。

[図9]電源ラインに配されたバイパスコンデンサにツェナーダイオードを並列接続した場合の電気回路図である。

[図10]積層型半導体セラミックコンデンサを電源ラインに接続した場合の電気回路図である。

### 発明を実施するための形態

[0044] 次に、本発明の実施の形態を詳説する。

[0045] 図1は本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[0046] この積層型半導体セラミックコンデンサは、部品素体4と、該部品素体4の両端部に形成された外部電極3a、3bとを備えている。

[0047] 部品素体4は、複数の半導体セラミック層1a～1gと複数の内部電極層2a～2fとが交互に積層されて焼結されてなる積層焼結体からなり、内部電極層2a、2c、2eは、部品素体4の一方の端面に露出すると共に、一方の外部電極3aと電氣的に接続され、内部電極層2b、2d、2fは、部品素体4の他方の端面に露出すると共に、他方の外部電極3bと電氣的に接

続されている。

[0048] 内部電極層 2 a ~ 2 f に使用される導電性材料は、特に限定されるものではないが、安価で良導電性を有する N i、C u 等を主成分とした卑金属材料を好んで使用することができる。

[0049] 半導体セラミック層 1 a ~ 1 g は、主成分が S r T i O<sub>3</sub> 系材料からなり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、粒界層中に存在している。すなわち、半導体セラミック層 1 a ~ 1 g は、半導体からなる結晶粒子と、結晶粒子の周囲に形成される粒界層との集合体からなり、結晶粒子同士が粒界層を介して静電容量を形成する。そしてこれら半導体セラミック層 1 a ~ 1 g が内部電極層 2 a、2 c、2 e と内部電極層 2 b、2 d、2 f との対向面間で直列に、或いは並列に繋げることで、全体として所望の静電容量を得ている。

[0050] 上記半導体セラミック層 1 a ~ 1 g は、アクセプタ元素中、4 価のアクセプタ元素の個数が、 $1 \times 10^{17}$  個/g 以上とされている。

[0051] すなわち、この種の半導体セラミック層 1 a ~ 1 g は、還元雰囲気下での一次焼成処理によりセラミックを半導体化させ、続く大気雰囲気下での二次焼成処理により粒界層を絶縁化し、これにより粒界絶縁層を形成している。そして、アクセプタ元素を粒界絶縁層中に存在させることにより、粒界絶縁層は、電氣的に活性化するエネルギー準位（粒界準位）を形成してショットキー障壁の形成を促進し、これにより絶縁抵抗を向上させることができる。

[0052] ところで、上記半導体セラミックでは、通常、アクセプタ素原料としては M n<sup>2+</sup> 等の 2 価のアクセプタ元素を有する材料が使用される。そして、2 価のアクセプタ元素は、二次焼成処理で酸化されて 3 価又は 4 価となる。しかしながら、3 価のアクセプタ元素が多い場合は再酸化が不十分であることから、粒界層の性状が安定性を欠く。このため製品間でバリスタ特性にバラツキが生じ、その結果、E S D に対する耐性にもバラツキが生じ易くなり良好な特性を有する半導体セラミックを安定的に得るのは困難となる。

[0053] これに対し 4 価のアクセプタ元素が多い場合は、十分に再酸化が行われて

粒界が十分に絶縁化されており、したがって粒界層の性状が安定化して電気特性が安定し、これにより製品間で特性バラツキが抑制されたバリスタ特性を有し、ESDに対する耐性も良好な信頼性を得ることが可能となる。

[0054] そのためには4価のアクセプタ元素の個数は $1 \times 10^{17}$ 個/g以上が必要である。例えば、アクセプタ元素としてMnを使用した場合、二次焼成前には2価であるMnが、二次焼成での再酸化処理によって3価又は4価となる。

[0055] しかしながら、 $Mn^{4+}$ の個数が $1 \times 10^{17}$ 個/g未満の場合は、再酸化が十分になされずに $Mn^{3+}$ の個数が相対的に多くなり、このため粒界層の性状が不安定となって製品間でバリスタ特性にバラツキが生じ、製品歩留まりが低下して良好な信頼性を有する積層型半導体セラミックコンデンサを得られなくなるおそれがある。

[0056] これに対し $Mn^{4+}$ の個数が $1 \times 10^{17}$ 個/g以上の場合は、再酸化が十分になされて粒界層の性状が安定化し、これにより製品間で特性バラツキが抑制された良好なバリスタ特性を有し、十分なESD耐圧を安定的に確保できる信頼性の優れた半導体セラミックを得ることができる。

[0057] アクセプタ元素の含有モル量は特に限定されるものではないが、Ti元素100モルに対し0.7モルを超えると、ESD耐圧の低下を招き、好ましくない。

[0058] したがって、アクセプタ元素の含有モル量は、好ましくはTi元素100モルに対し0.7モル以下（ただし、0モルを含まず。）、より好ましくは0.3～0.5モルがよい。

[0059] また、このようなアクセプタ元素としては、特に限定されるものではなく、上記したMnの他、Co、Ni、Cr等を使用することができる。

[0060] このアクセプタ元素の価数の同定及び個数の算出は、ESR法を使用して求めることができる。

[0061] ESR法によれば、不対電子を掃引磁場Hの中におくと、ゼーマン分裂によりスピンの有するエネルギーが分裂する。そして、一定振動数 $\nu$ のマイクロ波を試料に照射しながら磁場Hを掃引すると、数式(1)を満足したとき

に共鳴現象が生じ、E S R 吸収が観測される。

[0062]  $h \nu = g \beta H \quad \cdots (1)$

ここで、 $h$ はプランクの定数、 $\beta$ はボーア磁子であり、 $g$ は分光学的分離定数（以下、「 $g$  因子」という。）である。

[0063] すなわち、 $g$  因子は、物質固有の値であって、共鳴磁場の位置を示す。したがってE S R 吸収スペクトル上で吸収強度のピークに相当する  $g$  因子の数値から、試料中のアクセプタ元素の価数を同定することができる。

[0064] そして、E S R スペクトルの吸収強度は不対電子の数に比例することから、吸収曲線の積分値とスピンの数が既知の基準物質（例えば、 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ ）の吸収曲線の積分値との比率から、アクセプタ元素の個数を算出することができる。

[0065] 尚、4 価のアクセプタ元素の個数を  $1 \times 10^{17}$  個/ $g$  以上とするためには、仮焼粉末とアクセプタ化合物とを均一乃至略均一に混合させる必要があり、そのためには、後述するようにバインダを添加する前に仮焼粉末とアクセプタ化合物との混合物を比表面積が  $5.0 \sim 7.5 \text{ m}^2/g$  の範囲になるまで、予め混合粉碎しておく必要がある。

[0066] このように本実施の形態の半導体セラミックによれば、アクセプタ元素中、4 価のアクセプタ元素の個数が、 $1 \times 10^{17}$  個/ $g$  以上であるので、粒界層の性状が安定化し、これにより製品間での特性バラツキが抑制され、特性の安定した半導体セラミックを高効率で得ることができる。

[0067] そして、上記半導体セラミックを使用して製造された積層型半導体セラミックコンデンサは、バリスタ特性やE S D に対する耐性が安定した信頼性に優れたものとなる。

[0068] また、上記積層型半導体セラミックコンデンサは、コンデンサとツェナーダイオードの機能を1 個の素子で担うことができることから、部品点数の削減や低コスト化を図ることができ、更には設計の標準化も容易となり、付加価値の高い積層型半導体セラミックコンデンサを実現することができる。

[0069] 尚、本実施の形態では、S r サイトとT i サイトとの配合モル比  $m$  は、0

、 $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0070] すなわち、 $Sr$ を化学量論組成よりも過剰に含有させることにより、結晶粒子に固溶されずに結晶粒界に析出した $Sr$ が粒成長を抑制し、これにより微粒の結晶粒子が得られる。そして結晶粒子が微粒化することによって結晶粒界に酸素が行き渡りやすくなり、ショットキー障壁の形成を促進し、良好な絶縁抵抗を確保することができる。

[0071] ただし、配合モル比 $m$ は $1.010$ を超えると、結晶粒子に固溶されなかった $Sr$ の結晶粒界への析出が増加し、粒界絶縁層の厚みが過度に厚くなって静電容量の過度の低下を招くおそれがある。

[0072] 一方、 $Ti$ を化学量論組成よりも過剰に含有させた場合は、結晶粒子が若干粗大化し、絶縁抵抗は低下傾向となるものの、製品間でバラツキが生じることなく十分に実用性に耐えうる絶縁抵抗を確保でき、しかもESD耐圧も良好に維持することができる。

[0073] ただし、配合モル比 $m$ が $0.990$ 未満になると、結晶粒子の平均粒径が過度に粗大化して絶縁性の低下が顕著となり、しかもESD耐圧も低下する。

[0074] したがって、配合モル比 $m$ は $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0075] ドナー元素は、上述したように還元雰囲気中で焼成処理を行ってセラミックを半導体化するために結晶粒子中に固溶させているが、その含有量は特に限定されない。ただし、ドナー元素が $Ti$ 元素 $100$ モルに対し $0.2$ モル未満の場合は静電容量の過度の低下を招くおそれがある。一方、ドナー元素が $Ti$ 元素 $100$ モルに対し $1.2$ モルを超えると焼成温度の許容温度幅が狭くなるおそれがある。

[0076] したがって、ドナー元素の含有モル量は $Ti$ 元素 $100$ モルに対し $0.2 \sim 1.2$ モル、好ましくは $0.4 \sim 1.0$ モルがよい。

[0077] そして、このようなドナー元素としては、特に限定されるものではなく、例えば、例えば、 $La$ 、 $Nd$ 、 $Sm$ 、 $Dy$ 、 $Nb$ 、及び $Ta$ 等を使用するこ

とができる。

[0078] また、半導体セラミックの結晶粒子の平均粒径は $1.5\mu\text{m}$ 以下が好ましい。

[0079] すなわち、結晶粒子の平均粒径が $1.5\mu\text{m}$ を超えると、平均粒径が大きくなりすぎ、二次焼成時に酸素が行き渡りにくくなり、このためショットキー障壁の形成が不十分となって絶縁抵抗の低下を招くおそれがある。

[0080] また、上記半導体セラミック中に、Ti元素100モルに対し、0.1モル以下の範囲で低融点酸化物を添加するのも好ましく、このような低融点酸化物を添加することにより、焼結性を向上させることができると共に上記アクセプタ元素の結晶粒界への偏析を促進することができる。

[0081] 尚、低融点酸化物の含有モル量を上記範囲としたのは、その含有モル量がTi元素100モルに対し、0.1モルを超えると静電容量の過度の低下を招き、所望の電気特性が得られないおそれがあるからである。

[0082] この場合、低融点酸化物としては、特に限定されるものではなく、 $\text{SiO}_2$ 、Bやアルカリ金属元素（K、Li、Na等）を含有したガラスセラミック、銅－タングステン塩等を使用することができるが、 $\text{SiO}_2$ が好んで使用される。

[0083] 次に、上記積層型半導体セラミックコンデンサの製造方法の一実施の形態を説明する。

[0084] まず、セラミック素原料として $\text{SrCO}_3$ 等のSr化合物、LaやSm等のドナー元素を含有したドナー化合物、及び、例えば比表面積が $10\text{m}^2/\text{g}$ 以上（平均粒径：約 $0.1\mu\text{m}$ 以下）の $\text{TiO}_2$ 等、微粒のTi化合物をそれぞれ用意し、所定量秤量する。

[0085] 次に、この秤量物に所定量（例えば、1～3重量部）の分散剤を添加し、PSZ（Partially Stabilized Zirconia；「部分安定化ジルコニア」）ボール等の粉碎媒体及び純水と共にボールミルに投入し、該ボールミル内で十分に湿式混合してスラリーを作製する。

[0086] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、所定温度（例え

ば、 $1300^{\circ}\text{C}\sim 1450^{\circ}\text{C}$ )で2時間程度、仮焼処理を施し、ドナー元素が固溶した仮焼粉末を作製する(仮焼粉末作製工程)。

[0087] 次いで、MnやCo等のアクセプタ元素を含有したアクセプタ化合物を所定量秤量し、必要に応じて $\text{SiO}_2$ 等の低融点酸化物を所定量秤量する。次いで、これらアクセプタ化合物及び低融点酸化物を仮焼粉末と混合し、純水及び有機系分散剤を添加し、再度前記粉砕媒体と共にボールミルに投入し、該ボールミル内で所定時間(例えば、 $24\sim 36$ 時間)湿式で十分に混合粉砕する。そしてその後、蒸発乾燥させ、大気雰囲気下、所定温度(例えば、 $500\sim 700^{\circ}\text{C}$ )で5時間程度、熱処理を行い、分散剤に含有される有機成分等を除去し、比表面積が $5.0\sim 7.5\text{ m}^2/\text{g}$ の微粒の混合粉末を作製する(混合粉末作製工程)。

[0088] 次に、この混合粉末に純水、有機系分散剤を適量添加し、再び、ボールミル内で十分に湿式混合する。そしてこの後、有機バインダや界面活性剤等を適宜添加して十分に湿式で混合し、これによりセラミックスラリーを得る(バインダ混合工程)。

[0089] 尚、仮焼粉末とアクセプタ化合物とを混合させる際に、バインダを添加するのは好ましくない。すなわち、仮焼粉末及びアクセプタ化合物の混合物にバインダを添加した場合は、たとえ比表面積が $5.0\sim 7.5\text{ m}^2/\text{g}$ となるまで微粉砕しても、バインダの影響を受け、混合状態を均一乃至略均一にするのが困難となる。このため二次焼成での再酸化が不十分となって2価のアクセプタ元素が4価に酸化されずに3価の状態で存在する確率が増加し、4価のアクセプタ元素の個数が $1\times 10^{17}$ 個/g未満になるおそれがある。

[0090] 次に、ドクターブレード法、リップコータ法、ダイコータ法等の成形加工法を使用してセラミックスラリーに成形加工を施し、所定厚みのセラミックグリーンシートを作製する。

[0091] 次いで、内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷法、グラビア印刷法、又は真空蒸着法、スパッタリング法などを用いた転写等を施し、前記セラミックグリーンシートの表面に所定

パターンの導電膜を形成する。

[0092] 次いで、導電膜が形成されたセラミックグリーンシートを所定方向に複数枚積層すると共に、導電膜の形成されていない外層用のセラミックグリーンシートを積層した後、圧着し、所定寸法に切断して積層体を作製する（成形工程）。

[0093] そしてこの後、窒素雰囲気下、 $300\sim500^{\circ}\text{C}$ の温度で2時間程度、脱バインダ処理を行なう。次いで、 $\text{H}_2$ ガスと $\text{N}_2$ ガスが所定の流量比（例えば、 $\text{H}_2/\text{N}_2=0.025/100\sim1/100$ ）となるように還元雰囲気とされた焼成炉を使用し、該焼成炉内で、 $1150\sim1250^{\circ}\text{C}$ の温度で2時間程度、一次焼成を行い、積層体を半導体化する。

[0094] このように一次焼成処理における焼成温度（ $1150\sim1250^{\circ}\text{C}$ ）を仮焼処理における仮焼温度（ $1300\sim1450^{\circ}\text{C}$ ）よりも低くすることで、一次焼成処理において結晶粒子の粒成長が促進されることがほとんどなく、結晶粒子が粗大化するのを抑制することができ、結晶粒子の平均粒径を $1.5\mu\text{m}$ 以下にすることができる。

[0095] そして、このように積層体を半導体化した後、大気雰囲気下、 $600\sim900^{\circ}\text{C}$ の低温で1時間程度、二次焼成を行い半導体セラミックに再酸化処理を施し、これにより内部電極2が埋設された積層焼結体からなる部品素体4が作製される（焼成工程）。

[0096] 次に、部品素体4の両端部に外部電極用導電性ペーストを塗布し、焼付処理を行い、外部電極3a、3bを形成し、これにより積層型半導体セラミックコンデンサが製造される。

[0097] 尚、外部電極3a、3bの形成方法として、印刷、真空蒸着、又はスパッタリング等で形成してもよい。また、未焼成の積層体の両端部に外部電極用導電性ペーストを塗布した後、積層体と同時に焼成処理を施すようにしてもよい。

[0098] 外部電極用導電性ペーストに含有される導電性材料についても特に限定されるものではないが、Ga、In、Ni、Cu等の材料を使用するのが好ま

しく、さらに、これらの電極上にA g電極を形成することも可能である。

[0099] このように本実施の形態では、混合粉末作製工程で、バインダを添加せずに、仮焼粉末、アクセプタ化合物、及び低融点酸化物を比表面積が $5.0 \sim 7.5 \text{ m}^2/\text{g}$ 以上になるまで混合粉碎しているので、混合状態を均一乃至略均一にすることができ、その後の焼成処理における二次焼成処理で再酸化が促進され、4価のアクセプタ元素の個数を $1.0 \times 10^{17}$ 個/g以上とすることができ、そしてその結果、バリスタ特性やESDに対する耐性のバラツキが抑制された信頼性に優れた半導体セラミック、延いては積層型半導体セラミックコンデンサを安定的に得ることができ、量産に適した製法を実現することができる。

[0100] 尚、本発明は上記実施の形態に限定されるものではない。例えば、上記実施の形態では、固溶体を固相法で作製しているが、固溶体の作製方法は特に限定されるものではなく、例えば水熱合成法、ゾル・ゲル法、加水分解法、共沈法等任意の方法を使用することができる。

[0101] 次に、本発明の実施例を具体的に説明する。

## 実施例

[0102] [試料の作製]

(試料番号1)

セラミック素原料として $\text{SrCO}_3$ 、比表面積が $30 \text{ m}^2/\text{g}$ （平均粒径：約 $30 \text{ nm}$ ）の $\text{TiO}_2$ 、及びドナー化合物としての $\text{LaCl}_3$ を用意した。そして、Laの含有量がTi元素100モルに対し0.8モルとなるように $\text{LaCl}_3$ を秤量し、さらにSrサイトとTiサイトとの配合モル比 $m$ （= $\text{Srサイト}/\text{Tiサイト}$ ）が1.000となるように $\text{SrCO}_3$ 及び $\text{TiO}_2$ を秤量した。

[0103] 次いで、これらの秤量物100重量部に対し3重量部のポリカルボン酸アンモニウム塩を分散剤として添加した後、粉碎媒体として直径 $2 \text{ mm}$ のPSZボール及び純水と共にボールミルに投入し、該ボールミル内で16時間湿式混合し、スラリーを作製した。

[0104] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、 $1400^{\circ}\text{C}$ の温度で2時間仮焼処理を施し、 $\text{La}$ が結晶粒子に固溶した仮焼粉末を得た（仮焼粉末作製工程）。

[0105] 次に、アクセプタ元素としての $\text{Mn}$ 元素の含有量が、 $\text{Ti}$ 元素100モルに対し0.3モルとなるように $\text{MnCO}_3$ を前記仮焼粉末に添加し、さらに $\text{Si}$ 元素の含有量が、 $\text{Ti}$ 元素100モルに対し0.1モルとなるように $\text{SiO}_2$ を前記仮焼粉末に添加し、さらに分散剤の含有量が1重量%となるように該分散剤を前記仮焼粉末に添加した。次いで、再び直径2mmのPSZボール及び純水と共にボールミルに投入し、該ボールミル内で24時間湿式で混合粉碎した。尚、本実施例では、 $\text{MnCO}_3$ を仮焼粉末に添加しているが、 $\text{MnCl}_2$ 溶液や $\text{Mn}$ ゾル溶液を添加してもよい。また、 $\text{SiO}_2$ を仮焼粉末に添加しているが、テトラエトキシシラン（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等を添加してもよい。

[0106] そしてこの後、蒸発乾燥させ、大気雰囲気下、 $500^{\circ}\text{C}$ で5時間、熱処理を行い、分散剤等の有機成分を除去し、混合粉末を得た（混合粉末作製工程）。

[0107] 次に、純水及び分散剤を前記混合粉末に適量添加し、再び直径2mmのPSZボールと共にボールミルに投入し、該ボールミル内にて湿式で4時間混合した。そしてこの後、有機バインダとしての水溶性のアクリルバインダや可塑剤、更には界面活性剤を適量添加し、湿式で1.5時間混合処理を行い、これによりセラミックスラリーを作製した。

[0108] 次に、リップコータ法を使用してこのセラミックスラリーに成形加工を施し、焼成後の半導体セラミック層の厚みが $25\mu\text{m}$ となるようにセラミックグリーンシートを作製した。次いで、 $\text{Ni}$ を主成分とする内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成した。

[0109] 次いで、導電膜の形成されたセラミックグリーンシートを所定方向に所定枚数積層した後、導電膜の形成されていない外層用のセラミックグリーンシ

ートを上下に付与し、その後厚みが0.5 mm程度となるように熱圧着し、セラミックグリーンシートと内部電極とが交互に積層されたブロック体を得た。そしてこの後、このブロック体を所定寸法に切断して積層体とした（成形工程）。

[0110] 次に、該積層体を窒素雰囲気中、温度400℃で2時間脱バインダ処理を行い続いて $H_2 : N_2 = 1 : 100$ の流量比に調製された還元雰囲気下、1210℃の温度で2時間、積層体に一次焼成を施し、積層体を半導体化した。

[0111] 次に、大気雰囲気下、700℃の温度で1時間、二次焼成を行って再酸化処理を施し、これにより粒界に酸素を分散させて粒界絶縁層を形成し、その後、端面を研磨して部品素体を作製した（焼成工程）。

[0112] 次いで、この部品素体の両端面にスパッタリングを施し、Ni-Cr層、Ni-Cu層、Ag層からなる三層構造の外部電極を形成した。次いで、電解めっきを施し、外部電極の表面にNi皮膜及びSn皮膜を順次形成し、これにより静電容量が約1 nFの試料番号1の試料を作製した。尚、得られた各試料の外径寸法は、長さL：1.0 mm、幅W：0.5 mm、厚みT：0.5 mm、半導体セラミック層の有効積層数は、10層であった。

[0113] （試料番号2）

混合粉末作製工程における混合粉碎時間を36時間とした以外は試料番号1と同様の方法・手順で、静電容量が約1 nFの試料番号2の試料を作製した。尚、半導体セラミック層の有効積層数は、試料番号1と同様、10層であった。

[0114] （試料番号3）

混合粉末作製工程における混合粉碎時間を16時間とした以外は試料番号1と同様の方法・手順で、静電容量が約1 nFの試料番号3の試料を作製した。尚、半導体セラミック層の有効積層数は、試料番号1と同様、10層であった。

[0115] （試料番号4）

試料番号1と同様の方法・手順で仮焼粉末作製工程を実施し、仮焼粉末を

得た。

[0116] 次に、分散剤が1重量%となるように仮焼粉末に分散剤を添加し、その後、再び直径2 mmのPSZボール及び純水と共にボールミルに投入し、該ボールミル内で24時間湿式で粉砕した。その後、得られたスラリーを排出し、蒸発乾燥し、さらに500℃の温度で5時間、熱処理を行い、分散剤等の有機成分を除去し、仮焼物の粉砕粉末を得た（仮焼粉末粉砕工程）。

[0117] 次に、Mn元素の含有量が、Ti元素100モルに対し0.3モルとなるように $\text{MnCO}_3$ を混合粉末に添加し、またSi元素の含有量が、Ti元素100モルに対し0.1モルとなるように $\text{SiO}_2$ を仮焼物の粉砕粉末に添加し、さらに純水、及び分散剤を適量添加し、再び直径2 mmのPSZボールと共にボールミルに投入し、該ボールミル内にて湿式で4時間混合した。そしてこの後、有機バインダとしての水溶性のアクリル系バインダや、さらには界面活性剤を適量添加し、湿式で1.5時間混合処理を行い、これによりセラミックスラリーを作製した（バインダ作製工程）。

[0118] その後は試料番号1と同様の方法・手順で、静電容量が約1 nFの試料番号4の試料を作製した。尚、半導体セラミック層の有効積層数は、試料番号1と同様、10層であった。

[0119] [試料の評価]

試料番号1～3の各試料について、混合粉末が得られた時点で、BET法により比表面積を測定した。また、試料番号4の試料については、仮焼物の粉砕粉末の比表面積を測定した。

[0120] また、別途、円板試料を作製し、ESR法を使用して半導体セラミック中に含まれる $\text{Mn}^{4+}$ の個数を求めた。

[0121] すなわち、まず、試料番号1～4で作製したセラミックグリーンシートを所定枚数積層し、厚みが0.5 mm程度となるように熱圧着し、これを円板状に打ち抜き、成形体を作製した。

[0122] 次いで、得られた成形体を試料番号1と同様の条件で焼成し、直径5 mm、厚み0.5 mmからなる試料番号1～4のESR吸収スペクトル測定用の

円板試料を得た。

[0123] 次いで、E S R装置（B R U K E R社製E M X）を使用し、上記円板試料を粉砕した試料にXバンド（周波数：9. 5 G H z）のマイクロ波を照射しながら、E S R吸収スペクトルを測定した。

[0124] 図2は試料番号1のE S R吸収スペクトル、図3は試料番号3のE S R吸収スペクトル、図4は試料番号4のE S R吸収スペクトルをそれぞれ示している。図中、横軸はg因子（-）、縦軸はE S R吸収強度（a. u.）である。

[0125] 試料番号3、4は、図3及び図4から明らかなように、吸収位置を示すg因子での吸収強度のピークが小さく、M<sup>4+</sup>の個数が少ないことが分かった。

[0126] これに対し試料番号1は、図2に示すように、吸収位置を示すg因子での吸収強度のピークが大きく、M<sup>4+</sup>の個数が多いことが分かった。

[0127] 尚、試料番号2については、図示を省略したが、試料番号1と略同様の吸収スペクトルが得られた。

[0128] 次に、これら試料番号1～4のE S R吸収スペクトルの積分値を求めた。また、標準試料としてC u S O<sub>4</sub>・5 H<sub>2</sub>Oを使用して同様に吸収スペクトルを測定し、その積分値を求めた。

[0129] 次いで、これらの積分値の比率、標準試料のスピン数、及びM n<sup>4+</sup>の不對電子数に基づき、M n<sup>4+</sup>の個数を算出した。

[0130] また、試料番号1～4の各試料100個について、E S Dのイミュニティ試験規格であるI E C 6 1 0 0 0-4-2（国際規格）に準拠し、正逆10回印加し、接触放電させて30 k VでのE S D耐压試験を行った。

[0131] 表1は、試料番号1～4の各試料における製造条件とその測定結果を示している。尚、表中、試料番号4における混合粉末作製工程の混合粉砕時間は、仮焼粉末粉砕工程における粉砕時間を記載している。

[0132]

[表1]

| 試料<br>No. | 混合粉末作製工程                             |                 | バインダ混合工程                             |                                      | 比表面積<br>( $\text{m}^2/\text{g}$ ) | $\text{Mn}^{4+}$ の個数<br>(個/g) | ESD耐圧試験<br>故障個数 |
|-----------|--------------------------------------|-----------------|--------------------------------------|--------------------------------------|-----------------------------------|-------------------------------|-----------------|
|           | $\text{MnCO}_3$ 、 $\text{SiO}_2$ の添加 | 混合粉碎時間<br>(hr.) | $\text{MnCO}_3$ 、 $\text{SiO}_2$ の添加 | $\text{MnCO}_3$ 、 $\text{SiO}_2$ の添加 |                                   |                               |                 |
| 1         | 有                                    | 24              | 無                                    |                                      | 5.3                               | $2.8 \times 10^{17}$          | 0               |
| 2         | 有                                    | 36              | 無                                    |                                      | 7.4                               | $4.8 \times 10^{17}$          | 0               |
| 3*        | 有                                    | 16              | 無                                    |                                      | 4.2                               | $4.5 \times 10^{16}$          | 28              |
| 4*        | 無                                    | 24              | 有                                    |                                      | 5.1                               | $9.5 \times 10^{15}$          | 35              |

\* は本発明範囲外

[0133] 試料番号3は、混合粉末作製工程で $\text{MnCO}_3$ 及び $\text{SiO}_2$ を添加しているが、 $\text{Mn}^{4+}$ の個数が $4.5 \times 10^{16}$ 個/gと少なく、30kVでのESD耐圧試験で100個中、28個が破壊した。これは、混合粉碎時間が16時間と短いため、混合粉末の比表面積が $4.2 \text{ m}^2/\text{g}$ と小さく、このため均一乃至略均一状態になるまで混合粉碎されず、その結果、二次焼成で再酸化が十分に行なわれなかったためと思われる。

[0134] また、試料番号4は、混合粉末作製工程での混合粉碎時間は24時間と長

く、したがって仮焼物の粉碎粉末の比表面積は  $5.1 \text{ m}^2/\text{g}$  と大きい、 $30 \text{ kV}$  での ESD 耐圧試験で  $100$  個中、 $35$  個が破壊した。これは、 $\text{MnCO}_3$  及び  $\text{SiO}_2$  をバイнда混合工程で添加しているため、バイндаの影響により  $\text{Mn}$  成分を仮焼粉末中で均一乃至略均一に混合させることができず、このため二次焼成で再酸化が十分に行なわれず、粒界層の性状が不安定となり、製品歩留まりの低下を招いたものと思われる。

[0135] これに対し試料番号 1、2 は、混合粉末作製工程で  $\text{MnCO}_3$  及び  $\text{SiO}_2$  を添加し、しかも混合粉碎時間が  $24 \sim 36$  時間と長く、混合粉末の比表面積は  $5.3 \sim 7.4 \text{ m}^2/\text{g}$  となり、したがって微粒で均一乃至略均一に混合粉碎されており、二次焼成で再酸化が十分に行なわれたことから、 $\text{Mn}^{4+}$  の個数は  $2.8 \sim 4.8 \times 10^{17}$  個  $/\text{g}$  となって  $1.0 \times 10^{17}$  個  $/\text{g}$  以上となり、 $30 \text{ kV}$  での ESD 耐圧試験で破壊した試料は皆無であった。

[0136] 次に、試料番号 1～4 の各試料  $20$  個について、 $1 \sim 100 \text{ V}$  の間で印加電圧をステップ状に変化させ、各印加電圧に対する電流値を測定し、これにより電圧電流特性を求め、バリスタ特性を評価した。

[0137] 図 5 は試料番号 1 の電圧－電流特性、図 6 は試料番号 2 の電圧－電流特性、図 7 は試料番号 3 の電圧－電流特性、図 8 は試料番号 4 の電圧－電流特性をそれぞれ示している。図中、横軸は電圧 (V)、縦軸は電流 (A) である。

[0138] 試料番号 3、4 は、図 7 及び図 8 に示すように、印加電圧に対する電流値のバラツキが大きく、安定したバリスタ特性を得ることができなかった。

[0139] これに対し試料番号 1、2 は、図 5 及び図 6 に示すように、印加電圧に対する電流値のバラツキが小さく、実用に耐えうる安定したバリスタ特性を得ることができることが分かった。

## 産業上の利用可能性

[0140] 製品間の特性バラツキが小さく、バリスタ特性が良好で信頼性の優れたバリスタ機能付き積層型半導体セラミックコンデンサの実現が可能となり、コンデンサとツェナーダイオードとを 1 素子で担うことができる。

## 符号の説明

- [0141] 1 a～1 g 半導体セラミック層  
2 a～2 f 内部電極層  
3 a、3 b 外部電極  
4 部品素体（積層焼結体）

## 請求の範囲

- [請求項1] 主成分が $\text{SrTiO}_3$ 系化合物で形成されると共に、ドナー元素が結晶粒子中に固溶され、かつアクセプタ元素が粒界層中に存在する $\text{SrTiO}_3$ 系粒界絶縁型の半導体セラミックであって、  
前記アクセプタ元素中、4価のアクセプタ元素の個数が、 $1 \times 10^{17}$ 個/g以上であることを特徴とする半導体セラミック。
- [請求項2] 前記4価のアクセプタ元素の個数は、電子スピン共鳴吸収スペクトルから算出されることを特徴とする請求項1記載の半導体セラミック。
- [請求項3] 前記アクセプタ元素は、Mn、Co、Ni、及びCrのうちの少なくとも1種の元素であることを特徴とする請求項1又は請求項2記載の半導体セラミック。
- [請求項4] SrサイトとTiサイトとの配合モル比 $m$ は $0.990 \leq m \leq 1.010$ であり、アクセプタ元素の含有量は、前記Ti元素100モルに対し0.7モル以下（ただし、0モルは含まず。）であることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体セラミック。
- [請求項5] 前記アクセプタ元素は、前記Ti元素100モルに対し、0.3～0.5モルの範囲で含有されていることを特徴とする請求項4記載の半導体セラミック。
- [請求項6] 前記ドナー元素は、La、Nd、Sm、Dy、Nb、及びTa中から選択された少なくとも1種の元素であることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体セラミック。
- [請求項7] 低融点酸化物が、前記Ti元素100モルに対し0.1モル以下の範囲で含有されていることを特徴とする請求項1乃至請求項6のいずれかに記載の半導体セラミック。
- [請求項8] 前記低融点酸化物が、 $\text{SiO}_2$ であることを特徴とする請求項7記載の半導体セラミック。

[請求項9] S r 化合物、T i 化合物、及びドナー化合物を所定量秤量して混合粉砕した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、

前記仮焼粉末とアクセプタ化合物とを所定量秤量して混合粉砕し、その後熱処理を行って混合粉末を作製する混合粉末作製工程と、

前記混合粉末にバインダを混合し、セラミックスラリーを作製するバインダ混合工程と、

前記セラミックスラリーから成形体を作製する成形工程と、

還元雰囲気下、前記成形体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行い、焼結体を作製する焼成工程とを含むS r T i O<sub>3</sub>系粒界絶縁型の半導体セラミックの製造方法において、

前記混合粉末作製工程は、前記混合粉末の比表面積が5.0～7.5 m<sup>2</sup>/gとなるように、前記仮焼粉末と前記アクセプタ化合物との混合物を粉砕することを特徴とする半導体セラミックの製造方法。

[請求項10] 焼成工程は、一次焼成処理における焼成温度を前記仮焼粉末作製工程における仮焼温度よりも低く設定して前記成形体を焼成することを特徴とする請求項9記載の半導体セラミックの製造方法。

[請求項11] 前記仮焼粉末作製工程では、前記仮焼温度を1300～1450℃に設定して仮焼処理を行い、前記焼成工程では、前記一次焼成処理における焼成温度を1150～1250℃に設定して焼成処理を行うことを特徴とする請求項9又は請求項10記載の半導体セラミックの製造方法。

[請求項12] 複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、

前記半導体セラミック層が、請求項1乃至請求項8のいずれかに記載の半導体セラミックで形成されていることを特徴とするバリスタ機

能付き積層型半導体セラミックコンデンサ。

[請求項13] S r化合物、T i化合物、及びドナー化合物を所定量秤量して混合粉砕した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、

前記仮焼粉末とアクセプタ化合物とを所定量秤量して混合粉砕し、その後熱処理を行って混合粉末を作製する混合粉末作製工程と、

前記混合粉末にバインダを混合し、セラミックスラリーを作製するバインダ混合工程と、

前記セラミックスラリーに成形加工を施してセラミックグリーンシートを作製し、該セラミックグリーンシートに導電性ペーストを塗布して導電膜を形成し、該導電膜とセラミックグリーンシートとが交互に積層されるようにして積層成形体を作製する成形工程と、

還元雰囲気下、前記積層成形体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行い、焼結体を作製する焼成工程とを含むS r T i O<sub>3</sub>系粒界絶縁型のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法において、

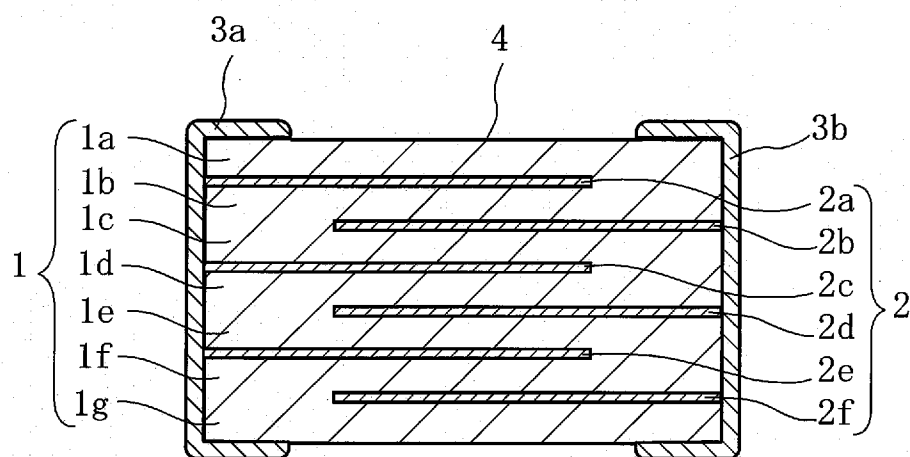
前記混合粉末作製工程は、前記混合粉末の比表面積が5.0～7.5 m<sup>2</sup>/gとなるように、前記仮焼粉末と前記アクセプタ化合物との混合物を粉砕することを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項14] 焼成工程は、一次焼成処理における焼成温度を前記仮焼粉末作製工程における仮焼温度よりも低く設定して前記成形体を焼成することを特徴とする請求項13記載のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

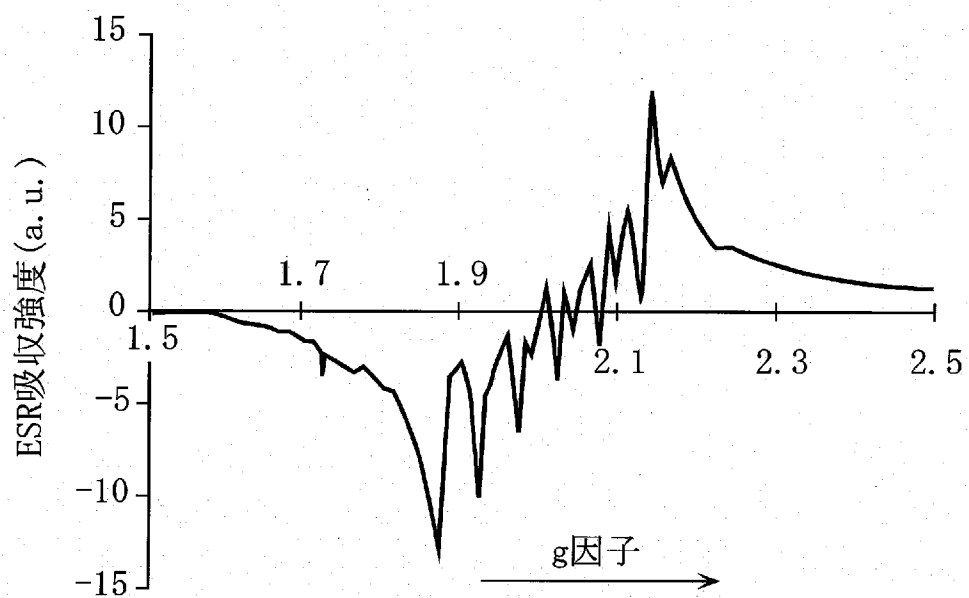
[請求項15] 前記仮焼粉末作製工程では、前記仮焼温度を1300～1450℃に設定して仮焼処理を行い、前記焼成工程では、前記一次焼成処理における焼成温度を1150～1250℃に設定して焼成処理を行うことを特徴とする請求項13又は請求項14記載のバリスタ機能付き積

層型半導体セラミックコンデンサの製造方法。

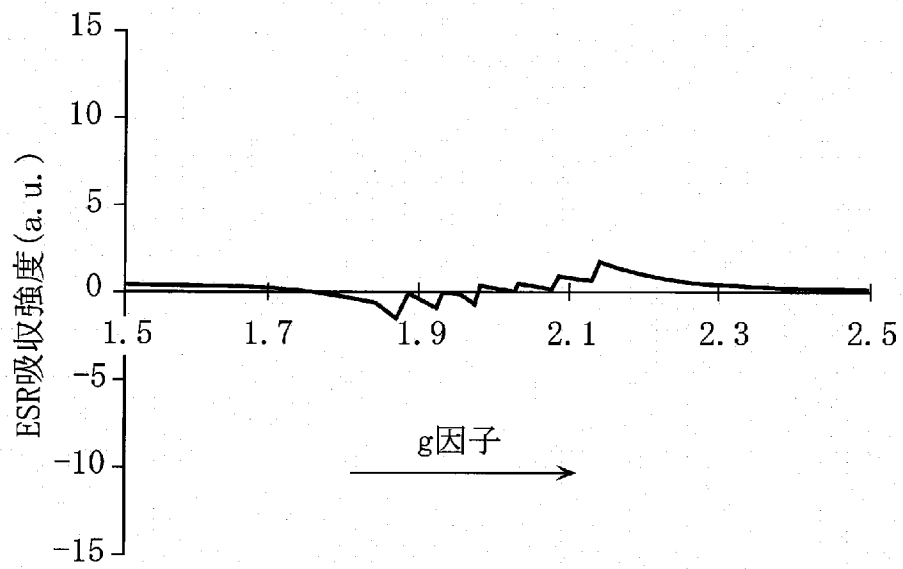
[図1]



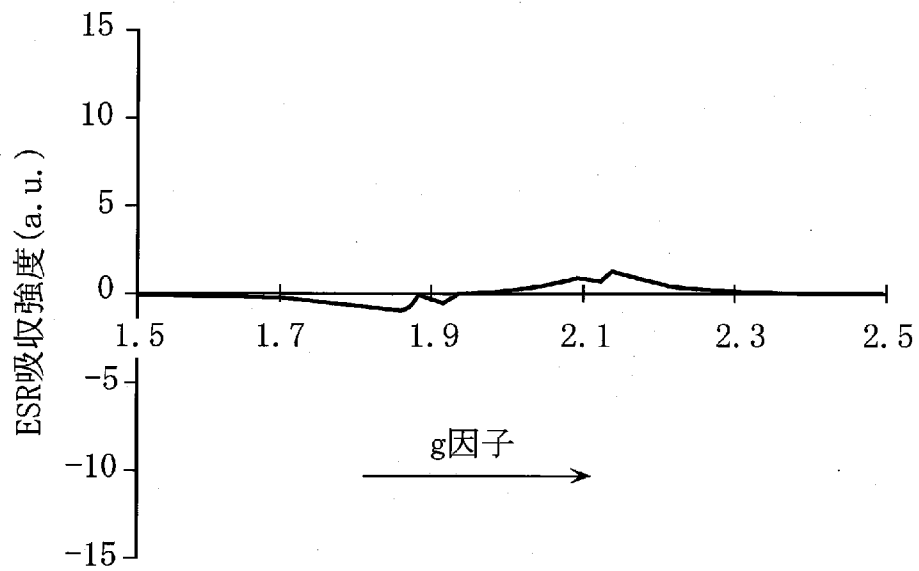
[図2]



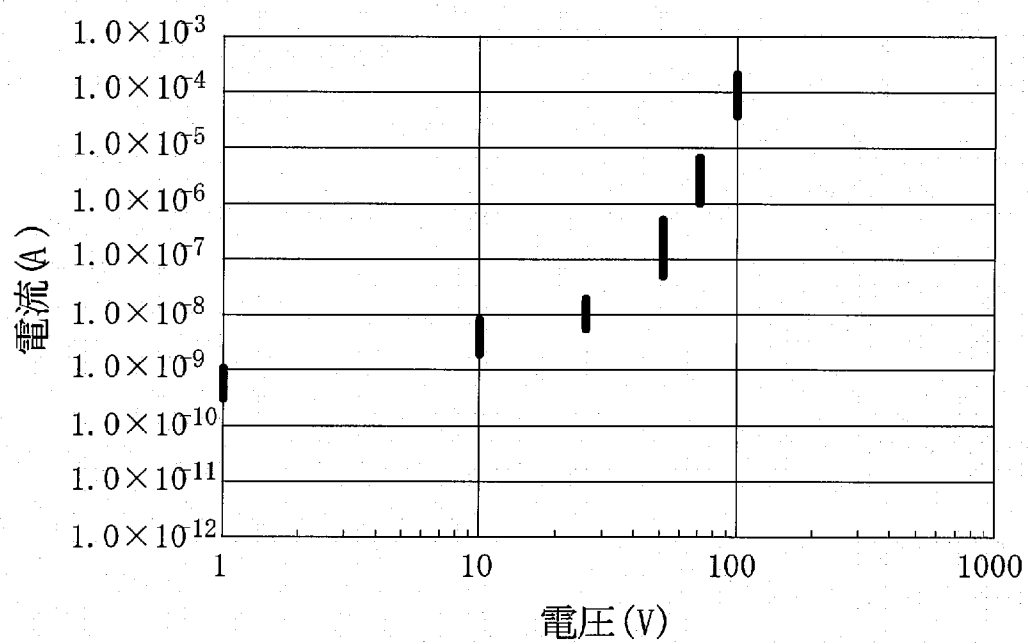
[図3]



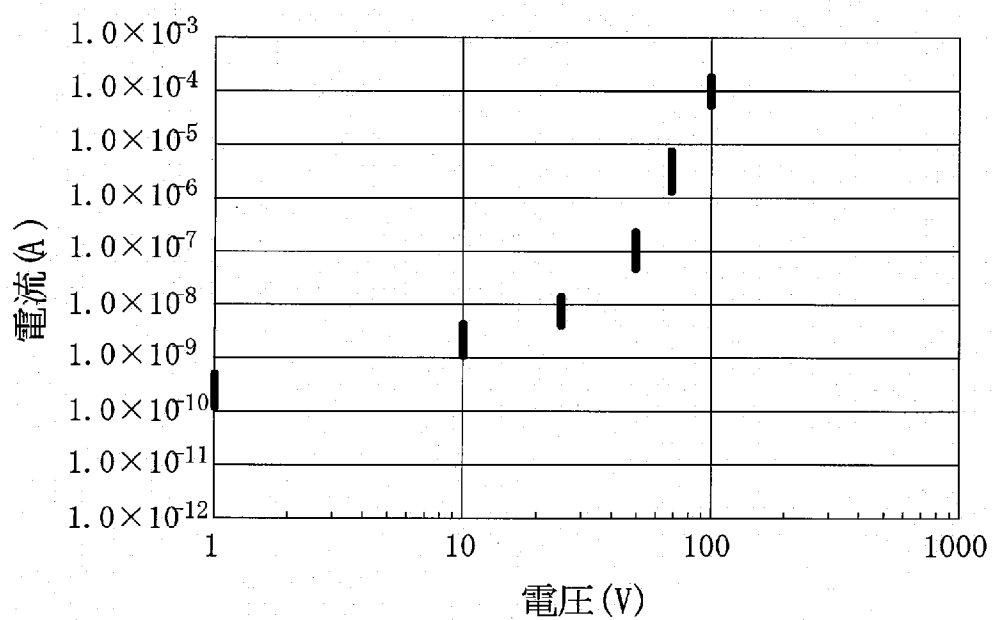
[図4]



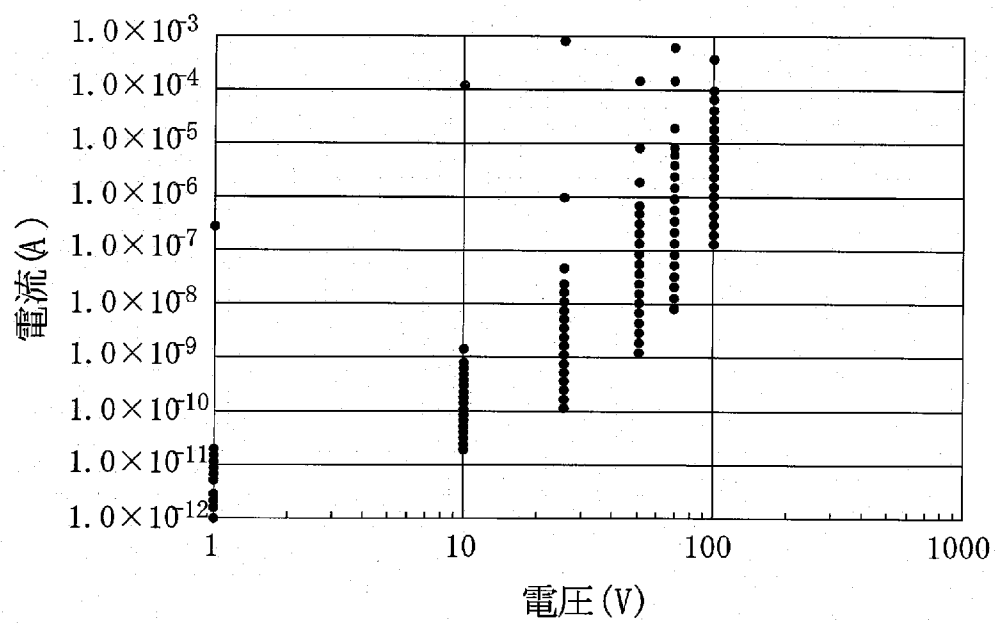
[図5]



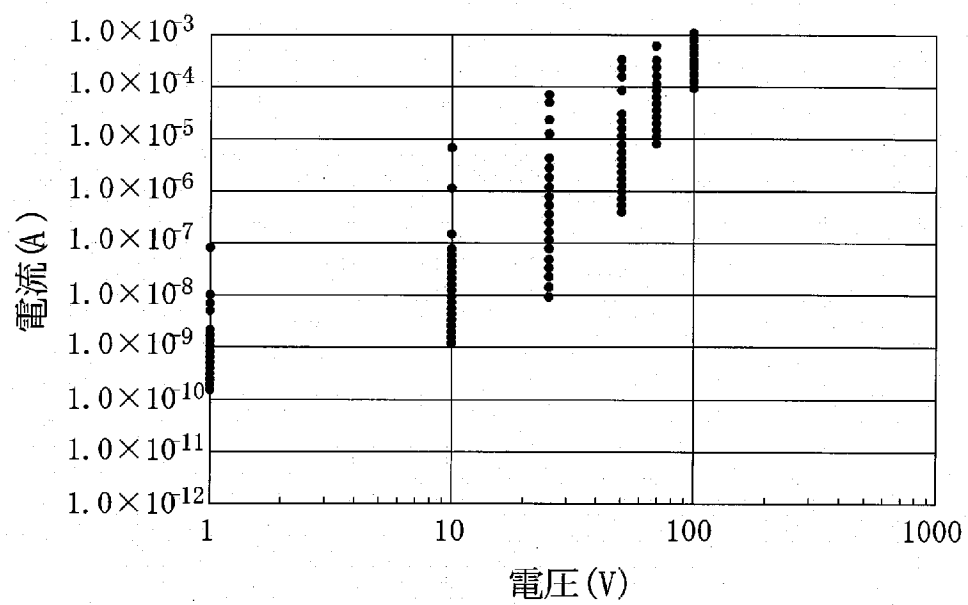
[図6]



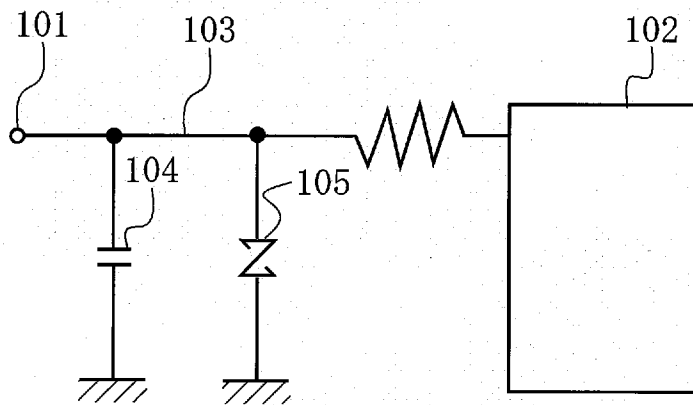
[図7]



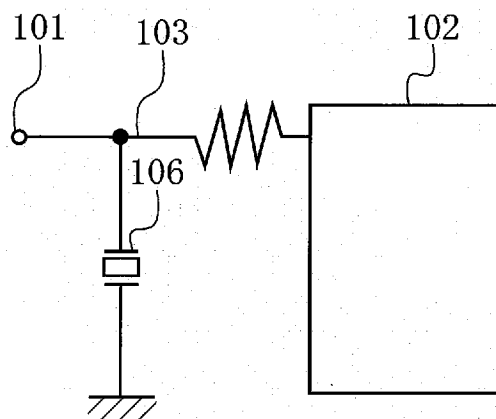
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051778

## A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, C01G23/00(2006.01)i, C04B35/47(2006.01)i, H01C7/10(2006.01)i, H01G4/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, C01G23/00, C04B35/47, H01C7/10, H01G4/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2003-347147 A (Murata Mfg. Co., Ltd.),<br>05 December 2003 (05.12.2003),<br>entire text; all drawings<br>(Family: none)         | 1-15                  |
| A         | WO 2009/113475 A1 (Murata Mfg. Co., Ltd.),<br>17 September 2009 (17.09.2009),<br>entire text; all drawings<br>& US 2010/0046137 A1 | 1-15                  |
| A         | JP 2011-57511 A (TDK Corp.),<br>24 March 2011 (24.03.2011),<br>entire text; all drawings<br>(Family: none)                         | 1-15                  |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
05 April, 2012 (05.04.12)

Date of mailing of the international search report  
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/051778

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                        | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2012-28568 A (Murata Mfg. Co., Ltd.),<br>09 February 2012 (09.02.2012),<br>entire text; all drawings<br>(Family: none) | 1-15                  |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G4/12(2006.01)i, C01G23/00(2006.01)i, C04B35/47(2006.01)i, H01C7/10(2006.01)i,  
H01G4/40(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G4/12, C01G23/00, C04B35/47, H01C7/10, H01G4/40

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                          | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------|----------------|
| A               | JP 2003-347147 A (株式会社村田製作所) 2003. 12. 05, 全文, 全図<br>(ファミリーなし)             | 1-15           |
| A               | WO 2009/113475 A1 (株式会社村田製作所) 2009. 09. 17, 全文, 全図<br>& US 2010/0046137 A1 | 1-15           |
| A               | JP 2011-57511 A (TDK株式会社) 2011. 03. 24, 全文, 全図 (ファ<br>ミリーなし)               | 1-15           |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

重田 尚郎

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 4

5 J

9 2 9 8

| C (続き) . 関連すると認められる文献 |                                                          |                |
|-----------------------|----------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                        | 関連する<br>請求項の番号 |
| A                     | JP 2012-28568 A (株式会社村田製作所) 2012.02.09, 全文, 全図 (ファミリーなし) | 1-15           |