(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月4日(04.04.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/064374 A1

(51) 国際特許分類:
G09F 9/00 (2006.01)

(21) 国際出願番号： PCT/JP2017/034939

(22) 国際出願日： 2017年9月27日(27.09.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 崎川 浩二 (**SAKIKAWA, Kohji**). 二星 学(**NIBOSHI, Manabu**).

(74) 代理人: 特許業務法人ＨＡＲＡＫＥＮＺＯ ＷＯＲＬＤ ＰＡＴＥＮＴ ＆ ＴＲＡＤＥＭＡＲＫ (**HARAKENZO WORLD PATENT & TRADEMARK**); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

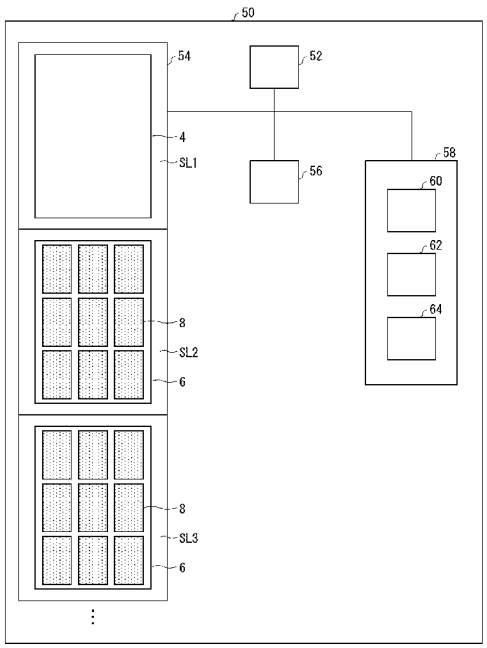
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) **Title:** METHOD FOR MANUFACTURING DISPLAY PANEL AND DEVICE FOR MANUFACTURING DISPLAY PANEL

(54) 発明の名称： 表示パネルの製造方法、表示パネルの製造装置

図 2



(57) **Abstract:** The purpose of the present invention is to manufacture display panels to be manufactured in a manufacturing step of the same lot by further reducing an inspection step while reducing luminance unevenness between the display panels. There is provided a method for manufacturing a display panel, the method being provided with: an inspection mother board manufacturing step for manufacturing an inspection mother board (4) which includes a plurality of inspection elements (30); a manufacturing mother board manufacturing step for manufacturing a plurality of manufacture mother boards (6) that include a plurality of display panels (8) provided with light-emitting elements (12); a measuring step for measuring the distribution of light-emission intensity from the plurality of inspection elements (30); a calculation step for calculating a correction value of a light-emission voltage for each of the display panels (8) according to the distribution; and a correcting step for correcting the light-emission voltages of the light-emitting elements (12) in each of the display panels (8) on the basis of the correction value.

WO 2019/064374 A1

［続葉有］

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：同一ロットの製造工程中に製造される表示パネルを、当該表示パネル間の輝度ムラを低減しつつ、検査工程をより短縮して製造することを目的として、複数の検査素子（３０）を含む検査用マザー基板（４）を製造する検査用マザー基板製造工程と、発光素子（１２）を備えた複数の表示パネル（８）を含む複数の製造用マザー基板（６）を製造する製造用マザー基板製造工程と、前記複数の検査素子（３０）からの発光強度の分布を測定する測定工程と、前記分布に応じて、前記表示パネル（８）ごとの発光電圧の補正値を算出する算出工程と、前記補正値に基づき、それぞれの前記表示パネル（８）の前記発光素子（１２）の発光電圧を補正する補正工程とを備えた表示パネルの製造方法を提供する。

明　細　書

発明の名称 ： 表示パネルの製造方法、表示パネルの製造装置

技術分野

[0001] 本発明は、発光素子を備えた表示パネルの製造方法、および表示パネルの製造装置に関する。

背景技術

[0002] 特許文献１には、パネル内における有機ＥＬ素子間の発光強度のムラを低減した、有機ＥＬパネルの製造するための、有機ＥＬパネルの検査方法が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国公開特許公報「特開２０１０－１３４１６９号（２０１０年６月１７日公開）」

発明の概要

発明が解決しようとする課題

[0004] 表示パネルを製造する際に、１つのスロットにおいて、１つのマザー基板上に複数の表示パネルを形成する場合、同一マザー基板上における、表示パネル間の膜厚差等に起因して、パネルごとに発光強度のムラができる場合がある。このような輝度ムラは、同一ロットに含まれるマザー基板ごとに、同じ分布にて発生する傾向がある。

[0005] 特許文献１に記載された輝度ムラの検査方法においては、上述の輝度ムラを検査する場合であっても、パネルごとに輝度ムラの測定が必要である。

課題を解決するための手段

[0006] 上記課題を解決するために、本願の表示パネルの製造方法は、複数の検査素子を含む検査用マザー基板を製造する検査用マザー基板製造工程と、発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板を製造する製造用マザー基板製造工程と、前記複数の検査素子からの発光強度の分布を測

定する測定工程と、前記分布に応じて、前記表示パネルごとの発光電圧の補正値を算出する算出工程と、前記補正値に基づき、それぞれの前記表示パネルの前記発光素子の発光電圧を補正する補正工程とを備える。

[0007] また、上記課題を解決するために、本願の表示パネルの製造装置は、複数の検査素子を含む検査用マザー基板と、発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板とを製造する基板製造装置と、前記複数の検査素子からの発光強度の分布を測定する測定装置と、前記分布に応じた、前記表示パネルごとの前記発光素子の発光電圧の補正値を算出し、該補正値の記憶と、それぞれの前記表示パネルへの前記補正値の記録とを行う記憶装置とを備える。

発明の効果

[0008] 上記構成によれば、同一ロットの製造工程中に製造される表示パネルを、当該表示パネル間の輝度ムラを低減しつつ、検査工程をより短縮できる、表示パネルの製造方法を提供できる。

図面の簡単な説明

[0009] [図1]実施形態１に係る有機ＥＬパネルの製造方法を示すフローチャートである。

[図2]実施形態１において製造される有機ＥＬパネルと、当該有機ＥＬパネルの製造装置とを示す概略図である。

[図3]実施形態１に係る検査用マザー基板を示す概略上面図である。

[図4]実施形態１に係る検査素子を示す概略図である。

[図5]実施形態１に係る有機ＥＬパネルを示す概略上面図である。

[図6]実施形態１に係る検査用マザー基板の検査素子と、パネル製造用マザー基板の有機ＥＬパネルとの位置関係を示す概略上面図である。

[図7]実施形態２において製造される有機ＥＬパネルと、当該有機ＥＬパネルの製造装置とを示す概略図である。

[図8]実施形態３に係る有機ＥＬパネルの製造方法を示すフローチャートである。

[図9]実施形態３において製造される有機ＥＬパネルと、当該有機ＥＬパネルの製造装置とを示す概略図である。

[図10]実施形態３において製造される有機ＥＬパネルと対応する検査素子との位置関係について説明するための透過上面図である。

[図11]変形例において製造される有機ＥＬパネルと、当該有機ＥＬパネルの製造装置とを示す概略図である。

発明を実施するための形態

[0010] 〔実施形態１〕

図１と、図２～６とを参照して、本実施形態に係る有機ＥＬパネル（表示パネル）の製造方法および製造装置を説明する。図１は、本実施形態に係る有機ＥＬパネルの製造方法を示すフローチャートである。図２は、本実施形態において製造される有機ＥＬパネルと、有機ＥＬパネルの製造装置とについて説明する図である。

[0011] 本実施形態においては、図２に示す、有機ＥＬパネルの製造装置５０を使用して、製造用マザー基板６上に形成される、有機ＥＬパネル８を複数製造する方法を説明する。有機ＥＬパネルの製造装置５０は、制御部５２と、基板製造装置５４と、測定装置５６と、記憶装置５８とを備える。記憶装置５８は、分布記憶装置６０と、基板情報記憶装置６２と、補正値記憶装置６４とを備える。

[0012] 制御部５２は、基板製造装置５４と、測定装置５６と、記憶装置５８とをそれぞれ制御する。

[0013] 基板製造装置５４は、複数のスロットを備える。本実施形態においては、基板製造装置５４は、第１スロットＳＬ１に検査用マザー基板４を製造する。また、基板製造装置５４は、第１スロットＳＬ１以降のスロットのそれぞれに、製造用マザー基板６を１つずつ製造する。

[0014] 図２は、第１スロットＳＬ１、第２スロットＳＬ２、および第３スロットＳＬ３を示す。しかし、これに限られず、基板製造装置５４は、さらに多くのスロットを備えていてもよい。以下においては、基板製造装置５４によっ

て、一度に製造される製造用マザー基板６の一群が、同一の製造ロットに含まれるとする。

[0015] 本実施形態に係る有機ＥＬパネルの製造方法においては、まず、検査用マザー基板４が、基板製造装置５４によって製造される（ステップＳ２）。検査用マザー基板４は、図３に示すように、マザーガラス基板上にマトリクス状に形成された複数の検査素子３０を備える。

[0016] 図４は検査素子３０を詳細に示す概略図であり、図４の（ａ）は上面を、図４の（ｂ）は図４の（ａ）におけるＡＡ’線矢視断面を示す概略図である。図４の（ａ）および（ｂ）に示すように、検査素子３０は、ガラス基板３２と、反射電極３４と、透過電極３６と、発光層３８と、絶縁層４０とを備える。なお、図４の（ａ）に関しては、絶縁層４０の図示を省略している。

[0017] 検査素子３０は、ガラス基板３２上に、複数のサブ素子が形成されている。サブ素子は、反射電極３４と、透過電極３６と、有機ＥＬを含む発光層３８とをそれぞれ備えている。サブ素子の電極および発光層は、絶縁層４０によってそれぞれ絶縁されている。

[0018] １つのサブ素子の反射電極３４と透過電極３６との間に適切な電位差をかけることにより、発光層３８が発光する。このとき、発光層３８からの光は、反射電極３４において反射し、透過電極３６を透過するため、図４の（ｂ）の矢印によって示すように、透過電極３６側に向かう。サブ素子のそれぞれの発光層３８が発する光は、有機ＥＬパネル８の発光素子における、複数のサブ絵素のそれぞれが発する光と対応する。

[0019] 検査用マザー基板４は、検査素子３０よりも上方に、製造用マザー基板６の有機ＥＬパネル８が発光素子よりも上方に備える構成を、製造用マザー基板６の製造と同一の工程によって形成される。このため、検査用マザー基板４の検査素子３０より上方は、製造用マザー基板６の発光素子よりも上方と対応する構成を備える。例えば、有機ＥＬパネル８は、発光素子より上方に封止膜を有していてもよく、この場合、検査用マザー基板４の検査素子３０より上方にも、同様に封止膜が形成される。

[0020] このとき、同一ロットの製造工程においては、封止膜等を含む膜厚のムラは、各スロットのマザー基板ごとに同様に発生する傾向がある。したがって、同一ロットの製造工程においては、製造用マザー基板６の製造において、厚みムラが生じた場合、検査用マザー基板４における封止膜にも、同様の厚みムラが生じていると考えられる。

[0021] 図１を再び参照すると、検査用マザー基板製造工程の後に、検査用マザー基板４の検査素子３０を個別に発光させて、その発光強度を測定し（ステップＳ４）、検査用マザー基板４上における、検査素子３０の発光強度の分布を求める。上記測定は、測定装置５６によって行われる。測定装置５６は従来公知の様々な光強度測定装置を採用してもよい。

[0022] 例えば、検査用マザー基板４に厚みムラがあると、封止膜の厚い位置においては、検査素子３０からの発光強度は比較的低くなり、封止膜の薄い位置においては、検査素子３０からの発光強度は比較的高くなる。当該厚みムラは、製造用マザー基板６においても同様に反映される。このため、製造用マザー基板６上における有機ＥＬパネル８間において、発光素子に同じ電位差を与えて発光させると、当該厚みムラに起因する輝度ムラが反映される。

[0023] したがって、製造用マザー基板６上の有機ＥＬパネル８間における、膜厚に起因した輝度ムラを解消するためには、発光素子を発光させるために必要な発光電圧を、有機ＥＬパネル８ごとに補正すればよい。そのために、本実施形態においては、上述の検査素子３０の発光強度の測定から、検査用マザー基板４上における、必要発光電圧の分布データを算出する（ステップＳ６）。必要発光電圧の分布データは、記憶装置５８の分布記憶装置６０に記録される。

[0024] 上記分布データは、製造用マザー基板６の膜厚分布と、検査素子３０の発光強度との関係から決定される。例えば、予め製造した検査用マザー基板４の膜厚の分布を測定し、併せて検査用マザー基板４上の検査素子３０の発光強度の分布を求める。これにより、検査用マザー基板４の膜厚と、検査素子３０の発光強度との関係を求めることができる。

[0025] 次いで、製造用マザー基板６を試作し、その発光素子の発光強度の分布を求めることにより、検査用マザー基板４の検査素子３０の発光強度と、製造用マザー基板６の発光素子の発光強度との関係を計算できる。これより、検査用マザー基板４の検査素子３０の発光強度から、実際の製造用マザー基板６の有機ＥＬパネル８の発光素子から十分な発光を得るための必要電圧を算出することができる。

[0026] 上記測定工程を行う間に、複数の製造用マザー基板６を搬送し、製造用マザー基板６上に複数の有機ＥＬパネル８を製造する（ステップＳ８）。本実施形態に係る有機ＥＬパネル８の一例を図５に示す。図５は、本実施形態に係る有機ＥＬパネル８の透過上面図である。なお、図５においては、各発光素子につながる下部電極については図示を省略する。

[0027] 有機ＥＬパネル８は、素子回路部１０を備える。素子回路部１０は、複数の発光素子１２がマトリクス状に形成されている。各発光素子１２は複数のサブ絵素１４Ｒ・１４Ｇ・１４Ｂを備える。サブ絵素１４Ｒ・１４Ｇ・１４Ｂのそれぞれは、製造用マザー基板６上にマトリクス状に形成されたＴＦＴにそれぞれ接続された、各下部電極の上に形成される。各発光素子１２におけるＴＦＴのゲート電極は、ゲートドライバ１６に接続される。素子回路部１０は、さらに、発光素子１２よりも上方に、全面電極である上部電極１８を備える。

[0028] 本実施形態において、有機ＥＬパネル８は、素子回路部１０の外側に、ソースドライバ２０と、上部電極用電源２２と、下部電極用電源２６と、制御信号送信部２８とを備える。ソースドライバ２０は、各発光素子１２におけるＴＦＴのソース電極に接続される。上部電極用電源２２は、上部電極１８のＴＦＴ側のバスライン２４に接続されている。下部電極用電源２６は、各発光素子１２における下部電極に接続される。制御信号送信部２８は、ゲートドライバ１６に駆動信号を送信する。

[0029] サブ絵素１４Ｒ・１４Ｇ・１４Ｂのそれぞれは、サブ絵素ごとに有機層が個別に形成されていてもよく、白色を発する有機層上に、サブ絵素ごとにカ

ラーフィルタが形成されていてもよい。また、ゲートドライバ１６およびソースドライバ２０は、本構成に限られず、外部、内部の配置はそれぞれ入れ替えてもよく、両側配置であってもよい。なお、絵素の駆動方法、および制御信号送信部２８からの信号等、絵素の駆動は従来公知の技術を使用して行ってもよい。

[0030] 図１を再び参照すると、製造用マザー基板製造工程において、製造用マザー基板６ごとに、その製造用マザー基板６の形状および配置を、記憶装置５８の基板情報記憶装置６２に記録する。また、それぞれの製造用マザー基板６における、有機ＥＬパネル８の形状および配置についても、基板情報記憶装置６２に記録する。これにより、製造用マザー基板６の基板情報を抽出する（ステップＳ１０）。

[0031] 次いで、検査用マザー基板４の検査素子３０と、製造用マザー基板６上の有機ＥＬパネル８との位置を、上述した基板情報を基に比較する。次いで、当該比較に基づき、製造用マザー基板６内の必要発光電圧の平均を算出し（ステップＳ１２）、当該製造用マザー基板６上の有機ＥＬパネル８ごとの必要発光電圧の平均を算出する（ステップＳ１４）、算出工程を実行する。ステップＳ１２およびステップＳ１４について、図６を参照して詳細に説明する。

[0032] 図６の（ａ）は製造用マザー基板６の上面を示し、図６の（ｂ）は図６の（ａ）における破線部の拡大上面図である。図６の（ｂ）においては、製造用マザー基板６における有機ＥＬパネル８の位置と、その位置に対応する検査用マザー基板４の検査素子３０との位置関係を示している。

[0033] 検査用マザー基板４には、マトリクス状に検査素子３０が形成されている。ここで、検査用マザー基板４が製造される第１スロットＳＬ１と製造用マザー基板６が製造されるスロットのそれぞれとを仮想的に重畳することを考える。この場合、製造用マザー基板６と重なる位置に形成された、検査用マザー基板４の検査素子３０が特定される。併せて、製造用マザー基板６上の有機ＥＬパネル８と重なる位置に形成された、検査用マザー基板４の検査素

子３０を、図６の（ｂ）に示すように特定できる。

[0034] ステップＳ１２およびステップＳ１４においては、上述した、製造用マザー基板６および有機ＥＬパネル８と対応する検査素子３０の個数と、その検査素子３０からの発光強度の分布とを抽出する。これにより、抽出した個数と発光強度分布とから、対応する製造用マザー基板６および有機ＥＬパネル８ごとの必要発光電圧の平均が算出される。

[0035] 次いで、製造用マザー基板６全体から算出された必要発光電圧の平均と、有機ＥＬパネル８ごとに算出された必要発光電圧の平均との差分を、有機ＥＬパネル８ごとに求める（ステップＳ１６）。

[0036] 例えば、対応する有機ＥＬパネル８における膜厚が比較的薄い場合、有機ＥＬパネル８ごとの必要発光電圧の平均が、製造用マザー基板６全体における必要発光電圧の平均よりも低くなる。対して、対応する有機ＥＬパネル８における膜厚が比較的厚い場合、有機ＥＬパネル８ごとの必要発光電圧の平均が、製造用マザー基板６全体における必要発光電圧の平均よりも高くなる。

[0037] 次いで、算出した差分から、有機ＥＬパネル８ごとの発光電圧の補正値を算出する（ステップＳ１８）。算出された補正値は、それぞれの有機ＥＬパネル８の情報と紐づけられて、記憶装置５８の補正値記憶装置６４に記録される。次いで、補正値記憶装置６４が記憶した補正値を、有機ＥＬパネル８ごとに、補正用の電源ＩＣに記録する（ステップＳ２０）。

[0038] 例えば、有機ＥＬパネル８ごとの必要発光電圧の平均が、製造用マザー基板６全体における必要発光電圧の平均よりも低い場合、補正用電源ＩＣに、差分だけ発光電圧を低くする補正を記録する。対して、有機ＥＬパネル８ごとの必要発光電圧の平均が、製造用マザー基板６全体における必要発光電圧の平均よりも高い場合、補正用電源ＩＣに、差分だけ発光電圧を高くする補正を記録する。

[0039] 上記補正により、有機ＥＬパネル８ごとに適切な発光電圧が決定され、同じ製造用マザー基板６における、有機ＥＬパネル８間の輝度ムラが低減され

る。なお、上述の補正値は、全面電極である上部電極１８と接続される、上部電極用電源２２に記録されてもよい。

[0040] 以上により、有機ＥＬパネル８の補正工程が完了する。最後に、製造用マザー基板６の分断等を経て、有機ＥＬパネル８が出荷され（ステップＳ２２）、有機ＥＬパネル８の製造が完了する。

[0041] 上述の製造方法においては、測定した検査用マザー基板４の輝度ムラを元に、製造用マザー基板６の有機ＥＬパネル８間における輝度ムラを補正できる。

[0042] また、検査用マザー基板４と製造用マザー基板６とは同一ロットにおいて製造されるため、検査用マザー基板４において発生した輝度ムラは、全ての製造用マザー基板６に同様に反映される傾向にある。このため、一度に製造される有機ＥＬパネル８ごとに、発光強度の測定を行うことなく、検査用マザー基板４の発光強度の測定に基づいて、全ての有機ＥＬパネル８の補正値を決定できる。このため、有機ＥＬパネル８間の輝度ムラを低減しつつ、検査をより簡便に行うことができる。

[0043] なお、本実施形態においては、製造用マザー基板６を製造するごとに、その基板情報を記録してもよい。しかしながら、本実施形態においては、全てのスロットのそれぞれにおいて、同じ製造用マザー基板６および有機ＥＬパネル８が製造される。このため、第２スロットＳＬ２の製造用マザー基板６から抽出した基板情報を、第２スロットＳＬ２以降の製造用マザー基板６に対応させてもよい。この場合、製造用マザー基板６ごとに基板情報を抽出する必要はなく、全ての製造用マザー基板６に対し、同一の補正を適用することが可能である。これにより、より有機ＥＬパネルの製造を簡便に行うことができる。

[0044] なお、検査素子３０のサブ素子は、発光素子１２のサブ絵素１４Ｒ・１４Ｇ・１４Ｂのそれぞれと対応した色の光を発する。このため、検査素子３０のサブ素子ごとに上述の測定を行うことにより、サブ絵素ごとの補正値を決定することが可能である。このため、本実施形態においては、有機ＥＬパネ

ル８間の、サブ絵素ごとの輝度ムラに関しても、検査および補正を行うことができる。

[0045] 本実施形態においては、製造用マザー基板６に複数の有機ＥＬパネル８を製造する方法および装置を例に挙げて説明した。しかしながら、量子ドット、蛍光体等の、有機ＥＬとは異なる材料を含む、発光素子を備えた表示パネルの製造方法および製造装置においても、本実施形態の構成を適用できる。

[0046] 〔実施形態２〕

図７は、本実施形態に係る有機ＥＬパネルの製造装置５０について説明する図である。本実施形態に係る有機ＥＬパネル８の製造方法は、前実施形態と比較して、基板製造装置５４の第１スロットＳＬ１においても製造用マザー基板６を製造し、製造用マザー基板６を使用して発光強度の測定を行う点において異なっている。

[0047] 図１を参照して、本実施形態における有機ＥＬパネル８の製造方法を説明する。始めに、ステップＳ２において、第１スロットＳＬ１に、検査用マザー基板４の代わりに、製造用マザー基板６を製造する。次いで、ステップＳ４において、検査素子３０の代わりに、有機ＥＬパネル８の発光素子１２を発光させて、上述した発光測定を行う。この際、検査素子３０よりも、発光素子１２が小さい場合には、複数の発光素子１２を同時に光らせることにより、検査素子３０の１つの発光とみなして測定を行ってもよい。

[0048] 次いで、製造用マザー基板６全体の必要発光電圧の平均を算出する。この際、同時に、有機ＥＬパネル８ごとの必要発光電圧の平均を算出してもよい。この場合、検査素子３０の１つの発光とみなした複数の発光素子１２を、検査素子３０の１つとして個数を計上し、平均を算出する。

[0049] 上述した有機ＥＬパネル８ごとの必要発光電圧の平均と、製造用マザー基板６全体の必要発光電圧の平均との差分から、有機ＥＬパネル８ごとの発光電圧の補正値が算出される。その後、補正工程においては、前実施形態と同様に、製造した有機ＥＬパネル８ごとに補正値を記録することにより、有機ＥＬパネル８ごとの輝度ムラの補正が可能である。

[0050] 本実施形態においては、測定工程における測定を、製造用マザー基板６を使用して行う。このため、検査用マザー基板４を設計、製造する必要がなく、より簡便に有機ＥＬパネル８を製造することが可能である。

[0051] なお、本実施形態においては、第１スロットＳＬ１と第１スロットＳＬ１以降とにおいて製造した製造用マザー基板６および有機ＥＬパネル８が同一である場合、第１スロットＳＬ１において算出した補正値を、以降のスロットの有機ＥＬパネル８に適用できる。このため、製造用マザー基板６および有機ＥＬパネル８の基板情報の抽出を省略してもよい。

[0052] 〔実施形態３〕

図８～１０を参照して、本実施形態に係る有機ＥＬパネルの製造方法を説明する。図８は、本実施形態に係る有機ＥＬパネルの製造方法を示すフローチャートである。図９は、本実施形態に係る有機ＥＬパネルの製造装置５０について説明する図である。

[0053] 始めに、ステップＳ２～Ｓ６までは、前述の実施形態と同じく、検査用マザー基板４を製造し、検査用マザー基板４における必要発光電圧の分布を抽出する。次いで、ステップＳ８において、製造用マザー基板および有機ＥＬパネルを製造する。

[0054] この際、前述の実施形態と異なり、本実施形態においては、少なくとも１つのスロットにおいて、製造する製造用マザー基板および有機ＥＬパネルが、他のスロットにおける製造用マザー基板および有機ＥＬパネルと、構成が異なっている。

[0055] 図９を参照すると、第２スロットＳＬ２においては、製造用マザー基板６に有機ＥＬパネル８が形成されることが示されている。対して、第３スロットＳＬ３においては、製造用マザー基板６とは異なる製造用マザー基板４２に、有機ＥＬパネル８とは異なる有機ＥＬパネル４４が形成されることが示されている。

[0056] このように、スロットにおいて異なる形状の製造用マザー基板および有機ＥＬパネルを製造する場合、スロットごとに、製造用マザー基板および有機

ＥＬパネルに対応する検査素子３０の個数および発光強度の分布を抽出し、補正値を決定すればよい。このため、本実施形態においては、製造用マザー基板６を製造するごとに、当該スロットにおける基板情報を抽出し、適切な補正値を算出し、有機ＥＬパネルに記録する。

[0057] 本実施形態における、基板情報の抽出および補正値の算出について、図１０を参照して詳細に説明する。図１０は、第１スロットＳＬ１と、第２スロットＳＬ２および第３スロットＳＬ３のそれぞれとを仮想的に重畳し、検査用マザー基板４と、製造用マザー基板６および製造用マザー基板４２のそれぞれとの位置関係を比較した図である。

[0058] 図１０の（ａ）は、検査用マザー基板４と、製造用マザー基板６とを重畳し、位置関係を比較した図である。検査用マザー基板４にはマトリクス状に検査素子３０が形成されているため、上述のように、検査用マザー基板４の、有機ＥＬパネル８のそれぞれに対応する位置においても検査素子３０が形成される。

[0059] これより、製造用マザー基板製造工程において得られた基板情報をもとに、製造用マザー基板６とそれぞれの有機ＥＬパネル８とに重畳する検査素子３０が特定される。したがって、特定された検査素子３０から得られた必要発光電圧をもとに、製造用マザー基板６とそれぞれの有機ＥＬパネル８とにおける必要発光電圧の平均が、それぞれ算出される。算出された製造用マザー基板６における必要発光電圧の平均と、それぞれの有機ＥＬパネル８における必要発光電圧の平均との差分が、それぞれの有機ＥＬパネル８における発光電圧の補正値となる。

[0060] 図１０の（ｂ）は、検査用マザー基板４と、製造用マザー基板４２とを重畳し、位置関係を比較した図である。製造用マザー基板４２におけるそれぞれの有機ＥＬパネル４４の形状および配置は、製造用マザー基板６におけるそれぞれの有機ＥＬパネル８の形状および配置と異なっている。すなわち、製造用マザー基板４２とそれぞれの有機ＥＬパネル４４とに重畳する検査素子３０は、製造用マザー基板６とそれぞれの有機ＥＬパネル８とに重畳する

検査素子３０と異なっている。

[0061] このため、製造用マザー基板製造工程において得られた基板情報をもとに、製造用マザー基板４２とそれぞれの有機ＥＬパネル４４とに重畳する検査素子３０が新たに特定される。したがって上述と同様に、それぞれの有機ＥＬパネル４４における発光電圧の補正値が算出される。

[0062] 算出された補正値は、それぞれの有機ＥＬパネルの情報と紐づけられて、補正値記憶装置６４に記録され、それぞれの有機ＥＬパネルの補正用電源ＩＣに記録される。このようにして、異なるスロット間において、異なる形状を有する有機ＥＬパネルに対し、補正を行うことが可能である。

[0063] 上述のように、本実施形態においては、スロットにおいて異なる形状の有機ＥＬパネルを製造する場合であっても、同一ロット内における輝度ムラの分布は、スロット間において大きく変化しない。このため、検査工程における発光強度の測定は、上述の実施形態と同じく、一回のみ行えばよく、当該測定を使用して、全てのスロットごとに補正値を決定することが可能である。

[0064] 本実施形態においては、検査工程にて１枚の検査用マザー基板４の検査を行うことにより、スロット間において異なる形状の有機ＥＬパネルを、同一ロットにおいて製造できる。このため、有機ＥＬパネルの種類ごとに輝度ムラの検査を行う必要が無く、より簡便に様々な種類の有機ＥＬパネルを製造できる。

[0065] また、変形例として、図１１に示すように、製造装置５０は、製造用マザー基板４６上に、切り欠き部４８ｃを備えた、異形の有機ＥＬパネル４８を製造してもよい。この場合においても、上述と同じ方法によって、有機ＥＬパネル４８ごとの発光電圧の補正が可能である。このように、本実施形態においては、矩形状とは異なる異形パネルの表示パネルを製造することも可能である。

[0066] 〔まとめ〕

態様１の表示パネルの製造方法は、複数の検査素子を含む検査用マザー基

板を製造する検査用マザー基板製造工程と、発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板を製造する製造用マザー基板製造工程と、前記複数の検査素子からの発光強度の分布を測定する測定工程と、前記分布に応じて、前記表示パネルごとの発光電圧の補正値を算出する算出工程と、前記補正値に基づき、それぞれの前記表示パネルの前記発光素子の発光電圧を補正する補正工程とを備える。

[0067] 態様２においては、前記補正が、前記製造用マザー基板の膜厚分布と、前記検査素子の発光強度との関係から決定される。

[0068] 態様３においては、全ての前記製造用マザー基板のそれぞれにおいて、製造する前記表示パネルが同じである。

[0069] 態様４においては、全ての前記製造用マザー基板のそれぞれにおいて、同じ位置に製造される前記表示パネルに対して、同一の上記補正を行う。

[0070] 態様５においては、少なくとも１つの前記製造用マザー基板において、製造する表示パネルが他の前記製造用マザー基板における表示パネルと異なる。

[0071] 態様６においては、前記製造用マザー基板製造工程において、前記製造用マザー基板ごとに、前記製造用マザー基板の形状および配置と、前記表示パネルの形状および配置との情報を、基板情報記憶装置に記録し、前記測定工程において、前記分布を分布記憶装置に記録する。

[0072] 態様７においては、前記算出工程において、前記分布記憶装置と前記基板情報記憶装置とに記録された情報に基づき、それぞれの前記製造用マザー基板に対応する、前記検査素子からの発光強度の平均と、それぞれの前記表示パネルに対応する、前記検査素子からの発光強度の平均との差分を、前記表示パネルごとに求め、前記差分から前記表示パネルごとの補正値を求める。

[0073] 態様８においては、前記補正値を補正値記憶装置に記録する。

[0074] 態様９においては、前記補正値記憶装置に記録された前記補正値を、それぞれの前記表示パネルに記録する。

[0075] 態様１０においては、前記検査素子が前記検査用マザー基板上にマトリク

ス状に配置される。

[0076] 態様１１においては、前記検査素子が複数のサブ素子を備え、該サブ素子が前記発光素子のサブ絵素のそれぞれと対応した色の光を発する。

[0077] 態様１２においては、前記検査用マザー基板が、前記製造用マザー基板の何れかと同一であり、前記発光素子を前記検査素子として前記測定を行う。

[0078] 態様１３においては、前記表示パネルは、矩形状とは異なる異形パネルである。

[0079] 態様１４の表示パネルの製造装置は、複数の検査素子を含む検査用マザー基板と、発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板とを製造する基板製造装置と、前記複数の検査素子からの発光強度の分布を測定する測定装置と、前記分布に応じた、前記表示パネルごとの前記発光素子の発光電圧の補正値を算出し、該補正値の記憶と、それぞれの前記表示パネルへの前記補正値の記録とを行う記憶装置とを備える。

[0080] 態様１５においては、前記記憶装置は、前記製造用マザー基板ごとに、前記製造用マザー基板の形状および配置と、前記表示パネルの形状および配置との情報が記録される基板情報記憶装置を備える。

[0081] 態様１６においては、前記記憶装置は、前記分布が記録される分布記憶装置を備える。

[0082] 態様１７においては、前記記憶装置は、前記補正値が記録される補正値記憶装置を備える。

[0083] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

[0084] ４ 検査用マザー基板

６、４２、４６ 製造用マザー基板

８、４４、４８　有機ＥＬパネル

１２　発光素子

１４Ｒ・Ｇ・Ｂ　サブ絵素

３０　検査素子

５０　製造装置

５２　制御部

５４　基板製造装置

５６　測定装置

５８　記憶装置

６０　分布記憶装置

６２　基板情報記憶装置

６４　補正値記憶装置

請求の範囲

[請求項1] 複数の検査素子を含む検査用マザー基板を製造する検査用マザー基板製造工程と、

発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板を製造する製造用マザー基板製造工程と、

前記複数の検査素子からの発光強度の分布を測定する測定工程と、

前記分布に応じて、前記表示パネルごとの発光電圧の補正値を算出する算出工程と、

前記補正値に基づき、それぞれの前記表示パネルの前記発光素子の発光電圧を補正する補正工程とを備えた表示パネルの製造方法。

[請求項2] 前記補正値は、前記製造用マザー基板の膜厚分布と、前記検査素子の発光強度との関係から決定される請求項１に記載の表示パネルの製造方法。

[請求項3] 全ての前記製造用マザー基板のそれぞれにおいて、製造する前記表示パネルが同じである請求項１または２に記載の表示パネルの製造方法。

[請求項4] 全ての前記製造用マザー基板のそれぞれにおいて、同じ位置に製造される前記表示パネルに対して、同一の上記補正を行う請求項３に記載の表示パネルの製造方法。

[請求項5] 少なくとも１つの前記製造用マザー基板において、製造する表示パネルが他の前記製造用マザー基板における表示パネルと異なる請求項１または２に記載の表示パネルの製造方法。

[請求項6] 前記製造用マザー基板製造工程において、前記製造用マザー基板ごとに、前記製造用マザー基板の形状および配置と、前記表示パネルの形状および配置との情報を、基板情報記憶装置に記録し、前記測定工程において、前記分布を分布記憶装置に記録する請求項１から５の何れか１項に記載の表示パネルの製造方法。

[請求項7] 前記算出工程において、前記分布記憶装置と前記基板情報記憶装置

とに記録された情報に基づき、それぞれの前記製造用マザー基板に対応する、前記検査素子からの発光強度の平均と、それぞれの前記表示パネルに対応する、前記検査素子からの発光強度の平均との差分を、前記表示パネルごとに求め、前記差分から前記表示パネルごとの補正値を求める請求項６に記載の表示パネルの製造方法。

[請求項8] 前記補正値を補正値記憶装置に記録する請求項１から７の何れか１項に記載の表示パネルの製造方法。

[請求項9] 前記補正値記憶装置に書き込まれた前記補正値を、それぞれの前記表示パネルに記録する請求項８に記載の表示パネルの製造方法。

[請求項10] 前記検査素子は前記検査用マザー基板上にマトリクス状に配置された請求項１から９の何れか１項に記載の表示パネルの製造方法。

[請求項11] 前記検査素子は複数のサブ素子を備え、該サブ素子は前記発光素子のサブ絵素のそれぞれと対応した色の光を発する請求項１から１０の何れか１項に記載の表示パネルの製造方法。

[請求項12] 前記検査用マザー基板は、前記製造用マザー基板の何れかと同一であり、前記発光素子を前記検査素子として前記測定を行う請求項１から１１の何れか１項に記載の表示パネルの製造方法。

[請求項13] 前記表示パネルは、矩形状とは異なる異形パネルである請求項１から１２の何れか１項に記載の表示パネルの製造方法。

[請求項14] 複数の検査素子を含む検査用マザー基板と、発光素子を備えた複数の表示パネルを含む複数の製造用マザー基板とを製造する基板製造装置と、

前記複数の検査素子からの発光強度の分布を測定する測定装置と、

前記分布に応じた、前記表示パネルごとの前記発光素子の発光電圧の補正値を算出し、該補正値の記憶と、それぞれの前記表示パネルへの前記補正値の記録とを行う記憶装置とを備えた表示パネルの製造装置。

[請求項15] 前記記憶装置は、前記製造用マザー基板ごとに、前記製造用マザー

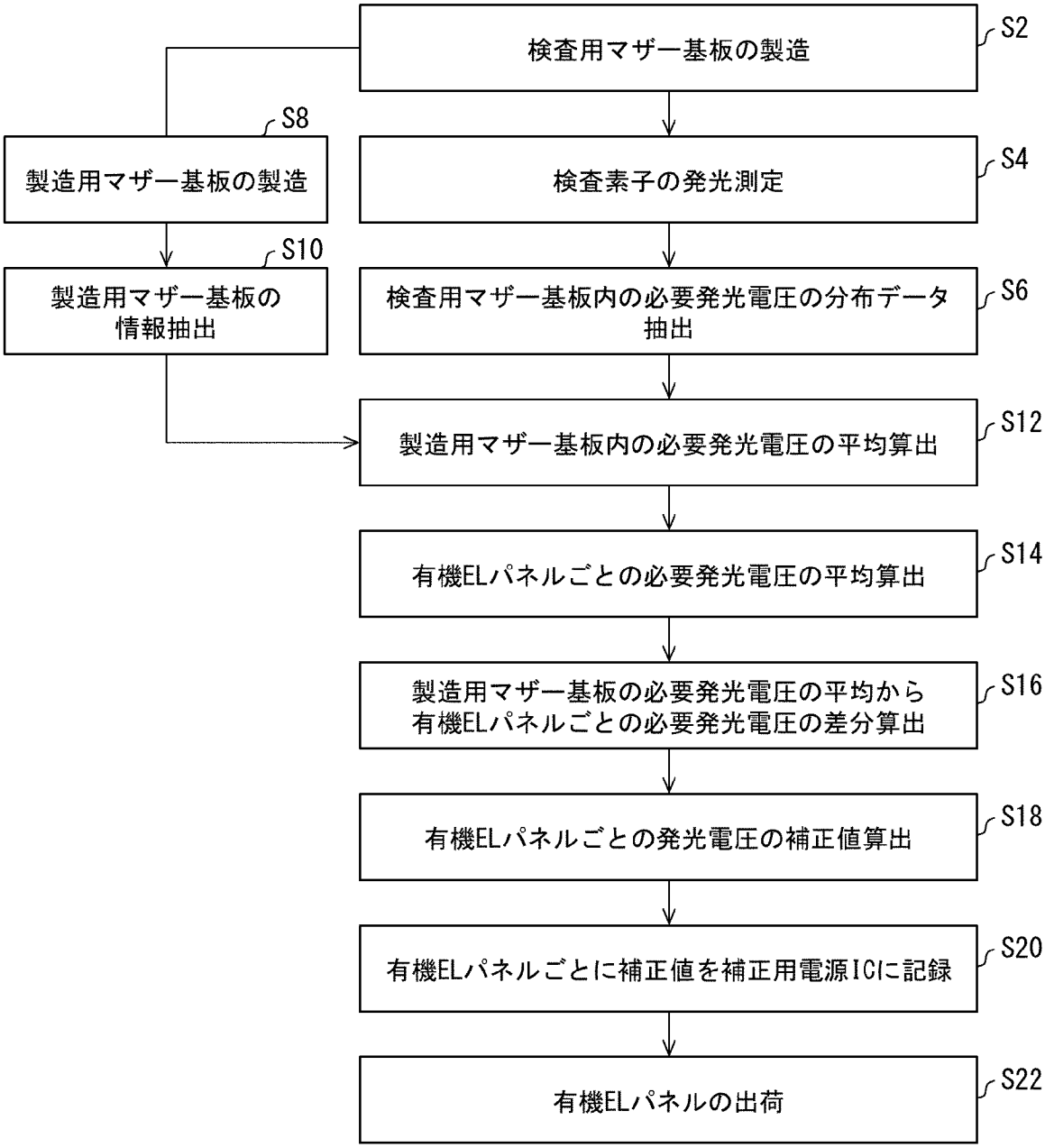
基板の形状および配置と、前記表示パネルの形状および配置との情報が記録される基板情報記憶装置を備えた請求項１４に記載の表示パネルの製造装置。

[請求項16] 前記記憶装置は、前記分布が記録される分布記憶装置を備えた請求項１４または１５に記載の表示パネルの製造装置。

[請求項17] 前記記憶装置は、前記補正値が記録される補正値記憶装置を備えた請求項１４から１６の何れか１項に記載の表示パネルの製造装置。

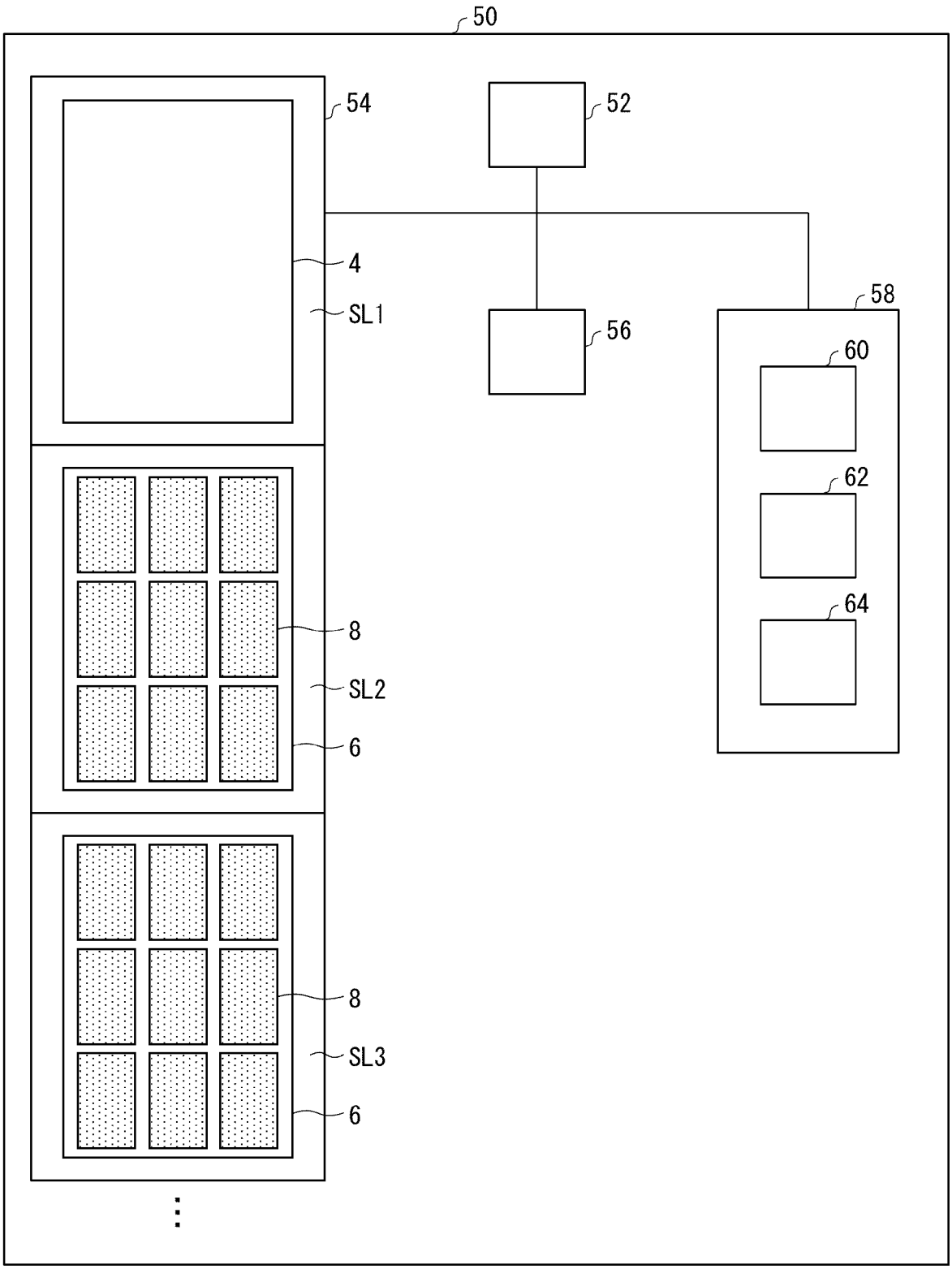
[図1]

図 1


検査用マザー基板の製造
S2
製造用マザー基板の製造
S8
検査素子の発光測定
S4
製造用マザー基板の
情報抽出
S10
検査用マザー基板内の必要発光電圧の分布データ
抽出
S6
製造用マザー基板内の必要発光電圧の平均算出
S12
有機ELパネルごとの必要発光電圧の平均算出
S14
製造用マザー基板の必要発光電圧の平均から
有機ELパネルごとの必要発光電圧の差分算出
S16
有機ELパネルごとの発光電圧の補正値算出
S18
有機ELパネルごとに補正値を補正用電源ICに記録
S20
有機ELパネルの出荷
S22

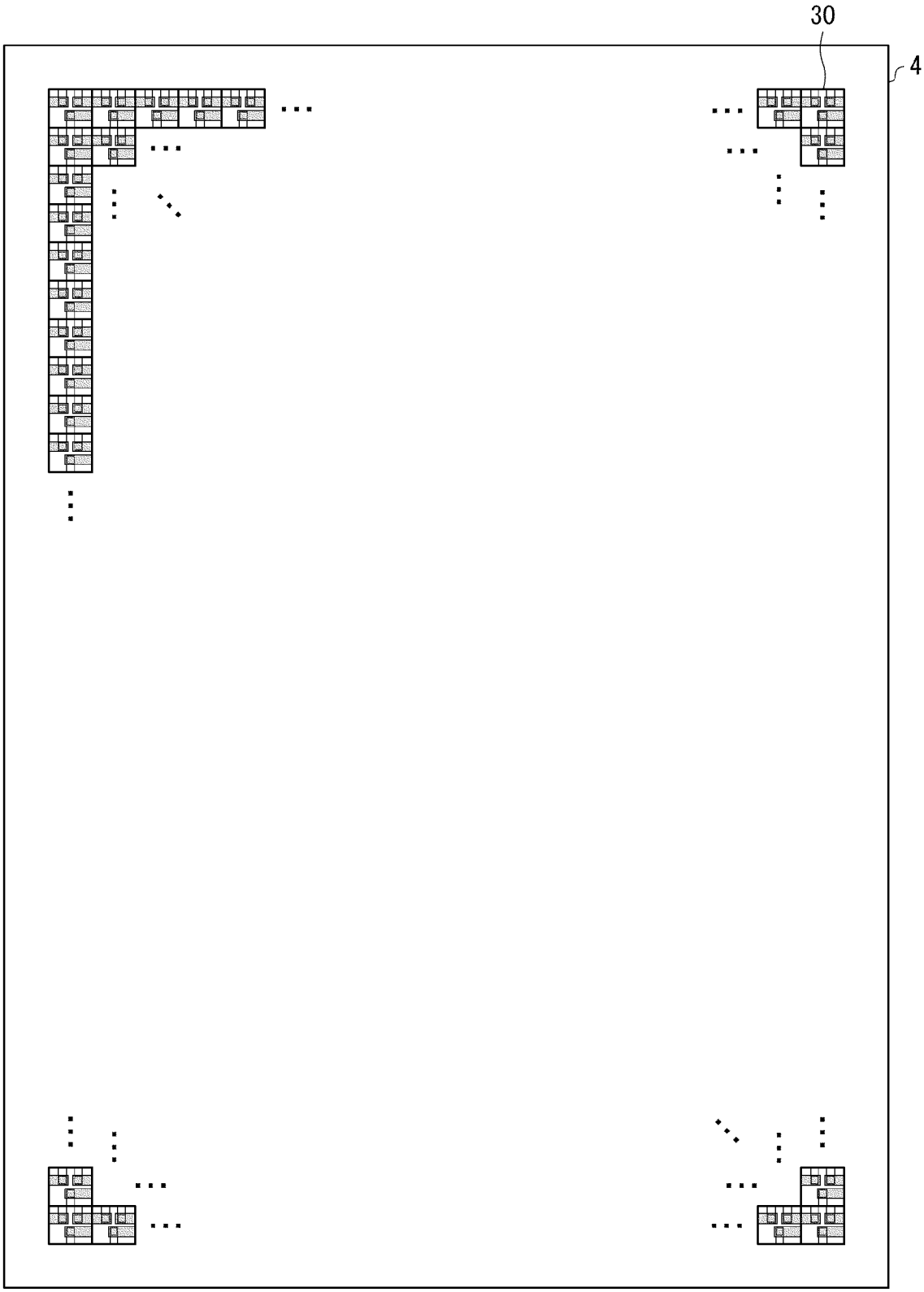
[図2]

図 2



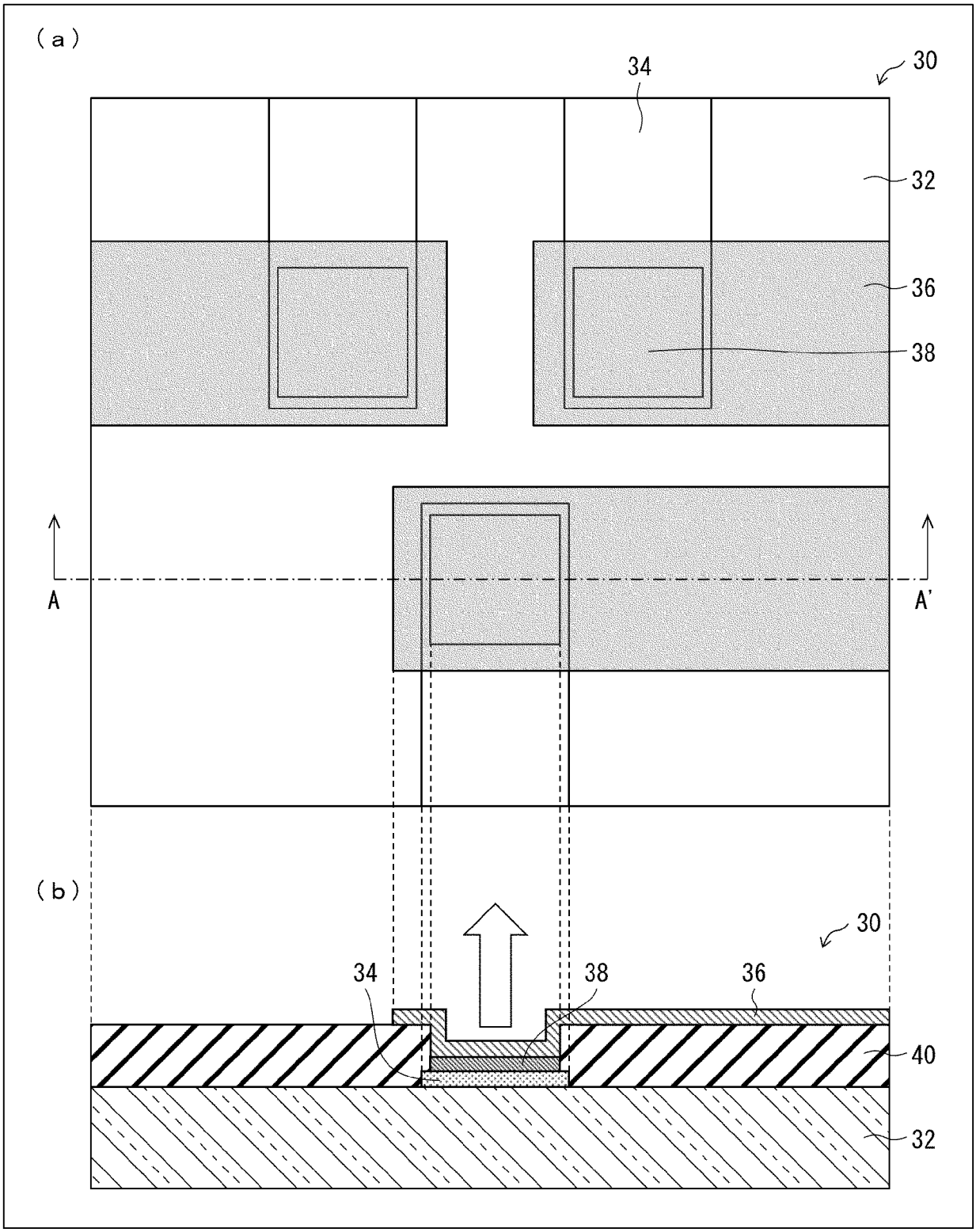
[図3]

図 3



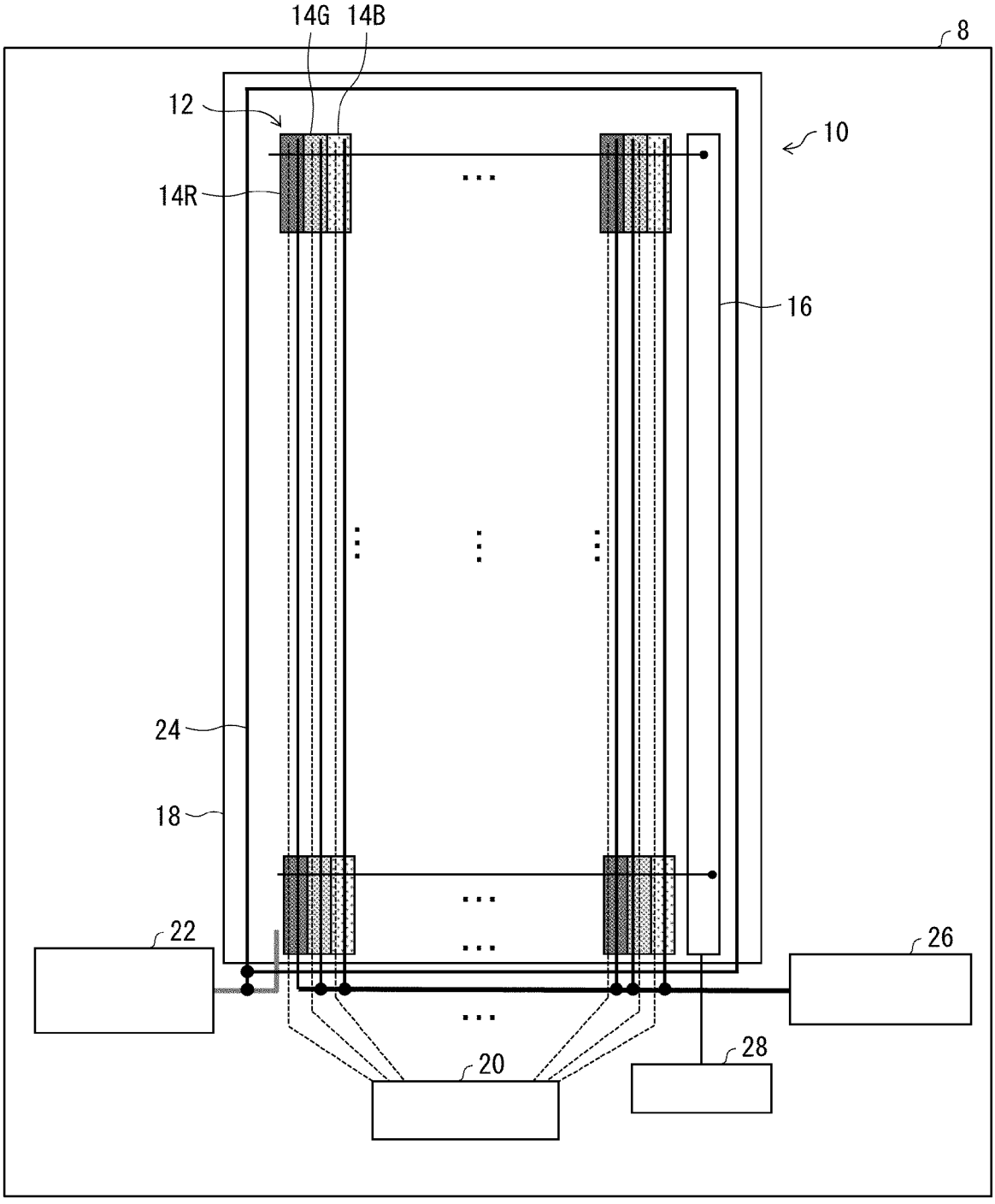
[図4]

図 4



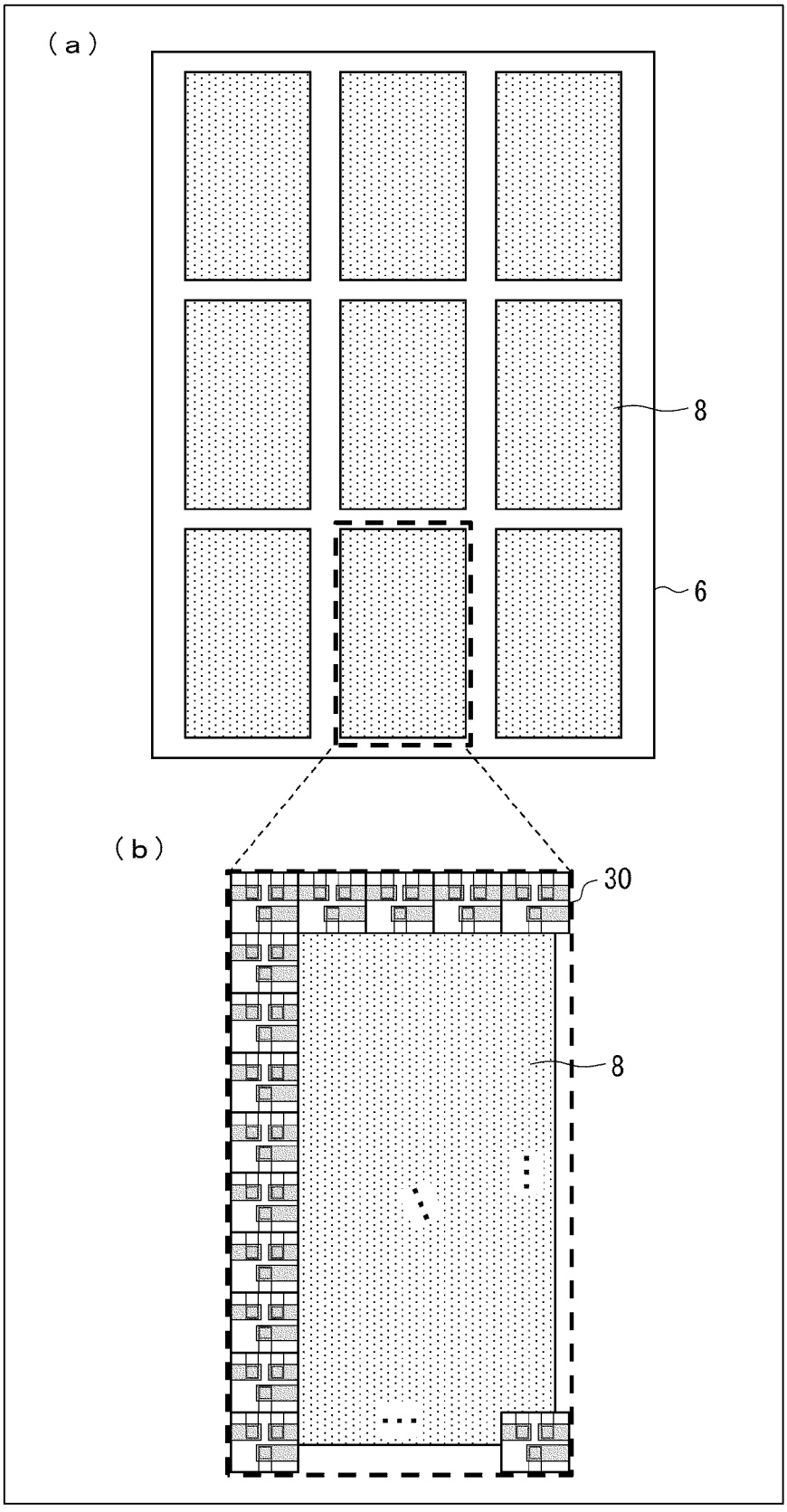
[図5]

図 5



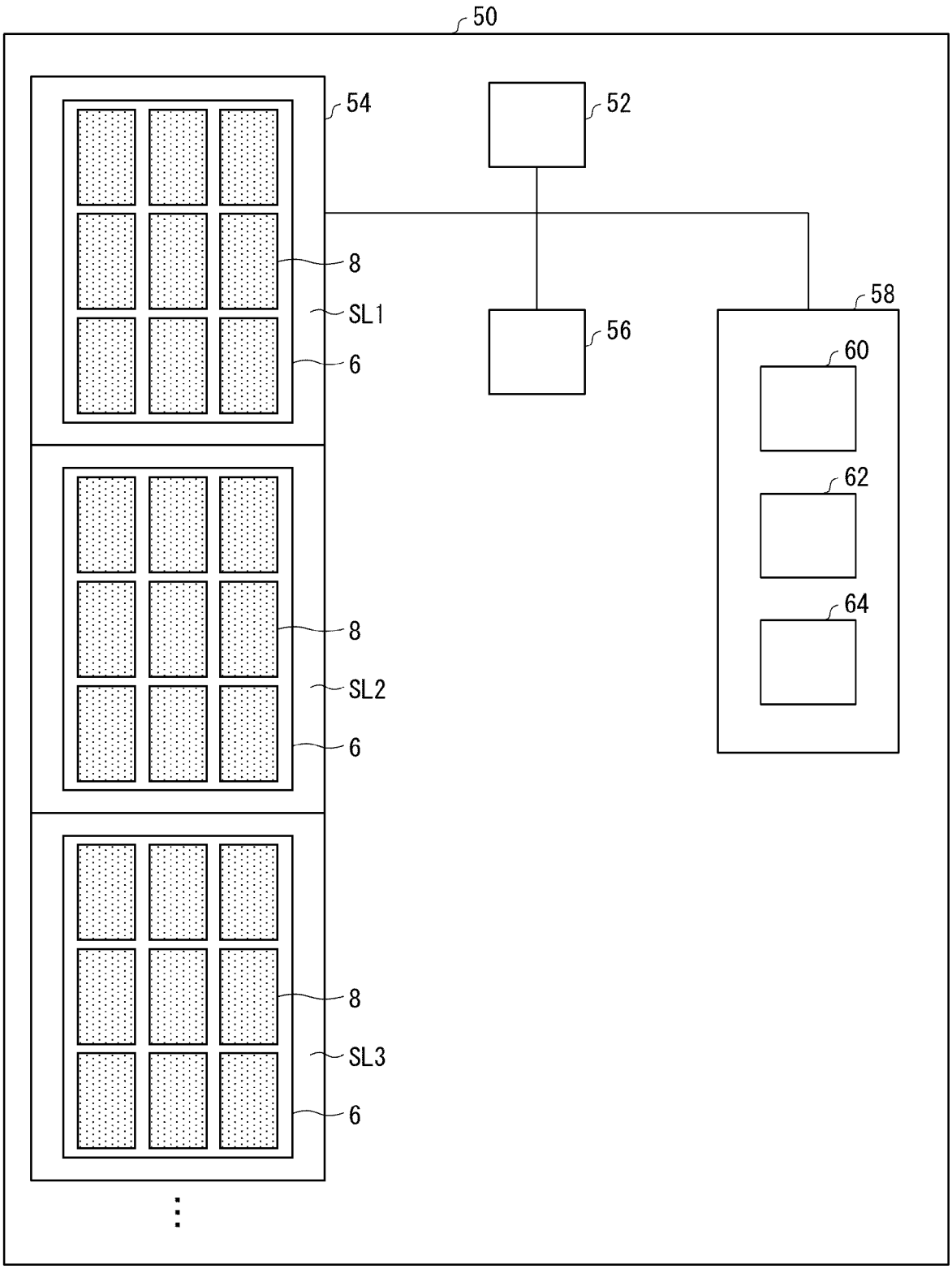
[図6]

図 6



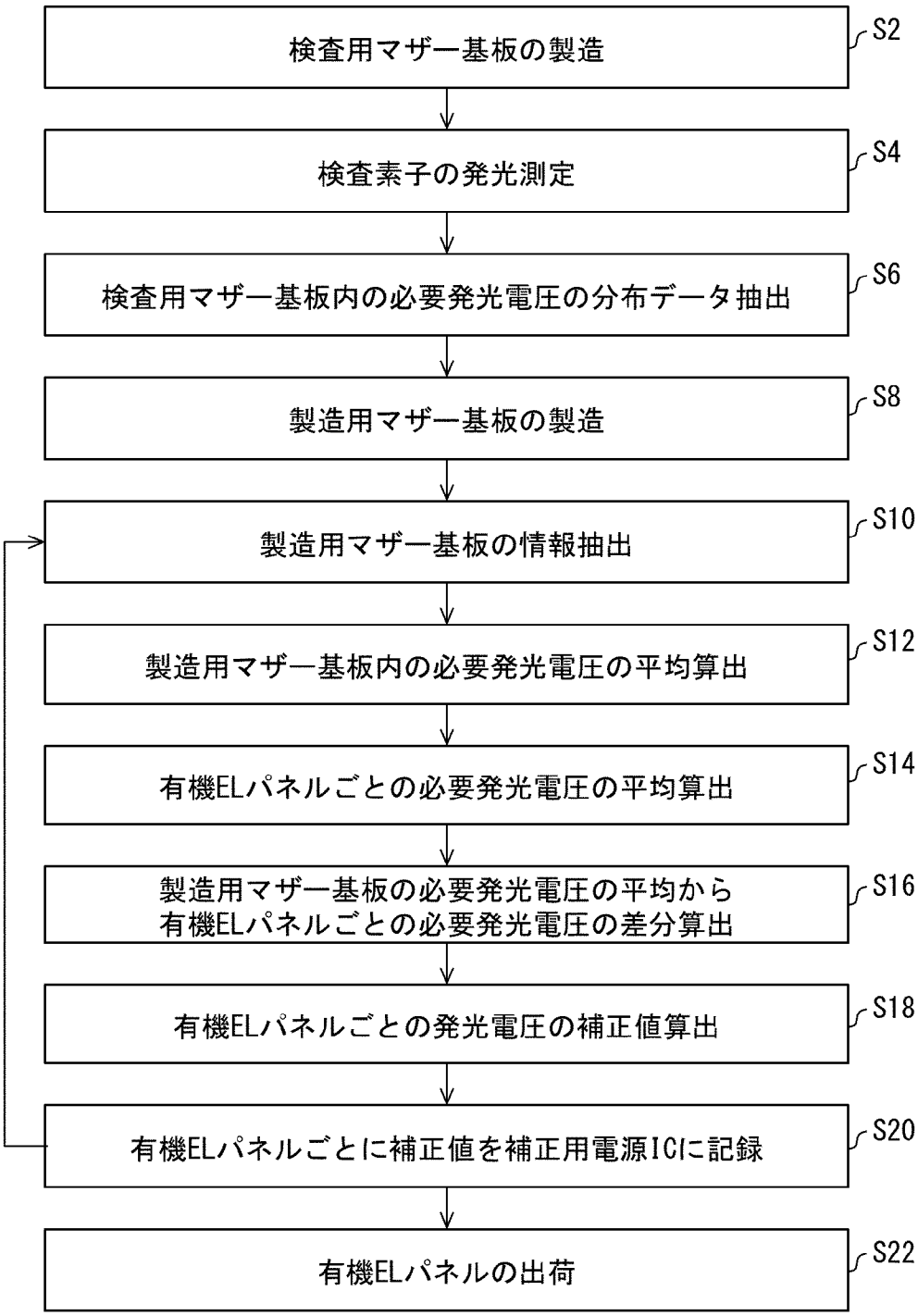
[図7]

図 7



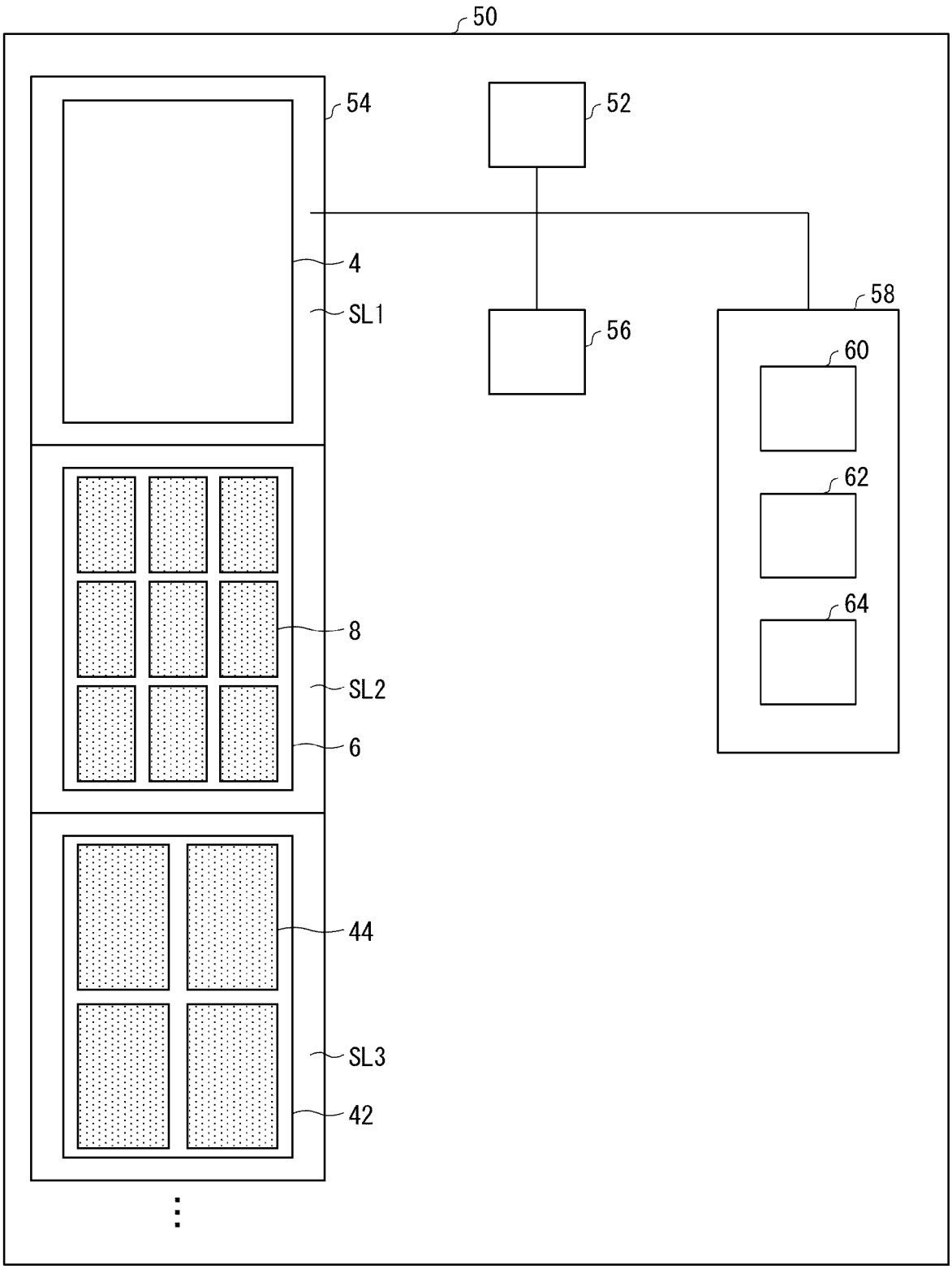
[図8]

図 8


検査用マザー基板の製造
S2
検査素子の発光測定
S4
検査用マザー基板内の必要発光電圧の分布データ抽出
S6
製造用マザー基板の製造
S8
製造用マザー基板の情報抽出
S10
製造用マザー基板内の必要発光電圧の平均算出
S12
有機ELパネルごとの必要発光電圧の平均算出
S14
製造用マザー基板の必要発光電圧の平均から
有機ELパネルごとの必要発光電圧の差分算出
S16
有機ELパネルごとの発光電圧の補正値算出
S18
有機ELパネルごとに補正値を補正用電源ICに記録
S20
有機ELパネルの出荷
S22

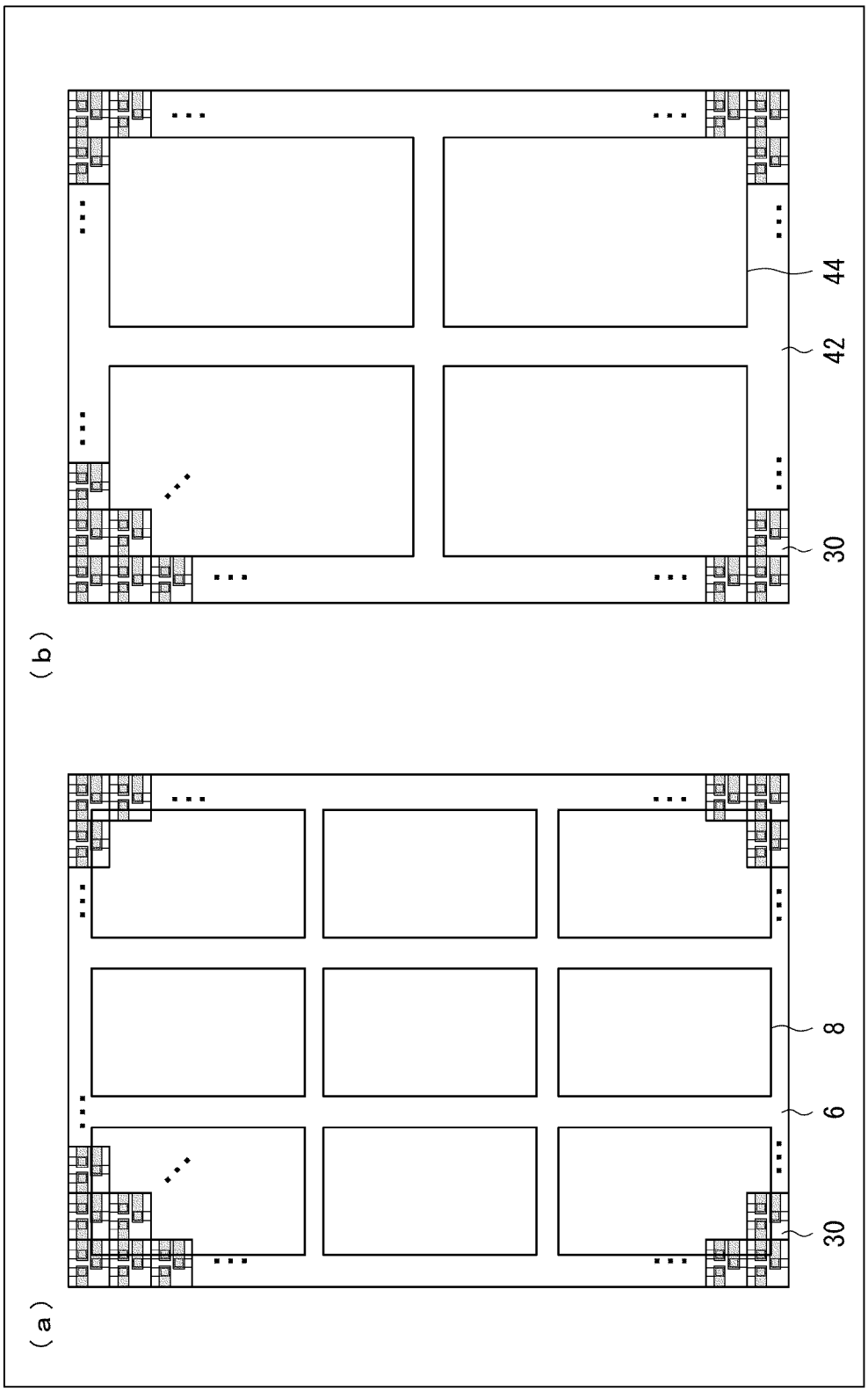
[図9]

図 9



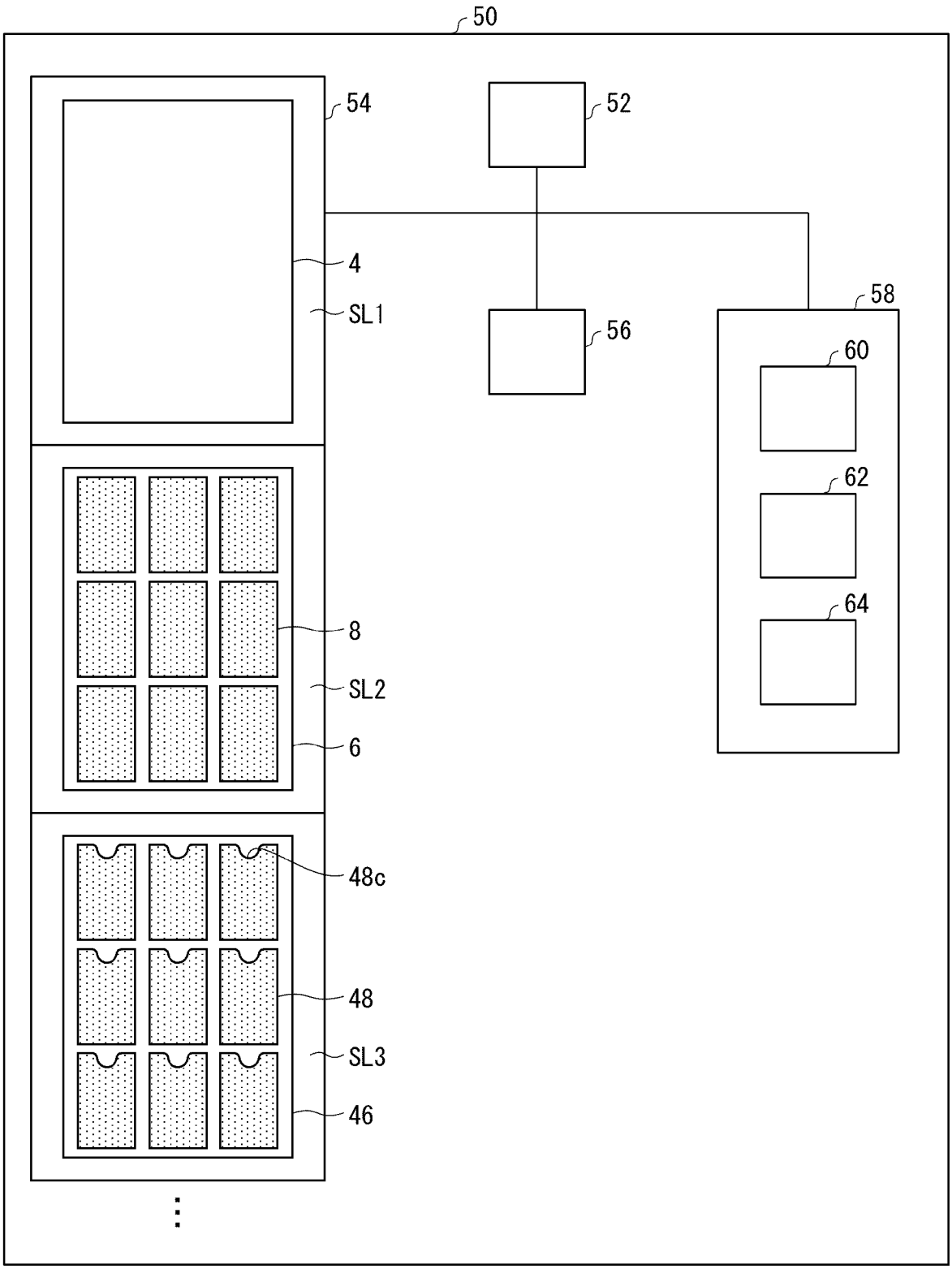
[図10]

図10



[図11]

図 11



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/034939

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2017
Registered utility model specifications of Japan 1996-2017
Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-203510 A (PANASONIC CORP.) 13 October 2011, entire text, all drawings & US 2013/0027383 A1 & WO 2011/118123 A1 & CN 102428510 A & KR 10-1276529 B1	1-17
A	JP 11-282420 A (SANYO ELECTRIC CO., LTD.) 15 October 1999, entire text, all drawings (Family: none)	1-17
A	JP 2016-65990 A (JAPAN DISPLAY INC.) 28 April 2016, entire text, all drawings (Family: none)	1-17
A	WO 2010/097915 A1 (PIONEER CORP.) 02 September 2010, entire text, all drawings & US 2011/0291098 A1 & KR 10-2011-0103453 A	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04.12.2017	19.12.2017
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/034939

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-117588 A (KONICA MINOLTA HOLDINGS, INC.) 22 May 2008, entire text, all drawings (Family: none)	1-17

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０３４９３９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-203510 A（パナソニック株式会社）2011.10.13, 全文全図 & US 2013/0027383 A1 & WO 2011/118123 A1 & CN 102428510 A & KR 10-1276529 B1	1-17
A	JP 11-282420 A（三洋電機株式会社）1999.10.15, 全文全図（ファミリーなし）	1-17
A	JP 2016-65990 A（株式会社ジャパンディスプレイ）2016.04.28, 全文全図（ファミリーなし）	1-17

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．１２．２０１７	１９．１２．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　１１６７
小野　博之
電話番号　０３－３５８１－１１０１　内線　３２７３

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2010/097915 A1 (パイオニア株式会社) 2010.09.02, 全文全図 & US 2011/0291098 A1 & KR 10-2011-0103453 A	1-17
A	JP 2008-117588 A (コニカミノルタホールディングス株式会社) 2008.05.22, 全文全図 (ファミリーなし)	1-17