

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4473480号
(P4473480)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int. Cl.		F I			
G05F	1/00	(2006.01)	G05F	1/00	F
G05F	1/10	(2006.01)	G05F	1/10	302A
G05F	1/56	(2006.01)	G05F	1/56	330A
H02M	3/155	(2006.01)	H02M	3/155	C

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2001-381138 (P2001-381138)	(73) 特許権者	398038580
(22) 出願日	平成13年12月14日(2001.12.14)		ヒューレット・パッカード・カンパニー
(65) 公開番号	特開2002-297246 (P2002-297246A)		HEWLETT-PACKARD COMPANY
(43) 公開日	平成14年10月11日(2002.10.11)		アメリカ合衆国カリフォルニア州パロアルト
審査請求日	平成16年4月1日(2004.4.1)		ト ハノーバー・ストリート 3000
審判番号	不服2008-24795 (P2008-24795/J1)	(74) 代理人	100087642
審判請求日	平成20年9月26日(2008.9.26)		弁理士 古谷 聡
(31) 優先権主張番号	09/738829	(74) 代理人	100076680
(32) 優先日	平成12年12月15日(2000.12.15)		弁理士 溝部 孝彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100121061
			弁理士 西山 清春

最終頁に続く

(54) 【発明の名称】 電源分離回路及び方法

(57) 【特許請求の範囲】

【請求項1】

第1の電源出力を備えた第1の電源、及び第2の電源出力を備えた第2の電源が並列に接続され、前記第1の電源を前記第2の電源から分離できるように構成された電源システムであって、

第1のスイッチング装置の入力、第1のスイッチング装置の出力、及び第1のスイッチング装置の制御部を含んでおり、前記第1のスイッチング装置の入力が、前記第1の電源出力に電氣的に接続され、前記第1のスイッチング装置の出力が、前記第2の電源出力に電氣的に接続されている、第1のスイッチング装置と、

第1の電圧測定装置であって、前記第1のスイッチング装置の入力に接続された第1の入力、前記第1のスイッチング装置の出力に接続された第2の入力、及び第1の電圧測定装置出力を備え、その第1の電圧測定装置出力上に、前記第1のスイッチング装置の入力における電圧と前記第1のスイッチング装置の出力における電圧との差を表す信号を出力するように適合されており、前記第1の入力が基準電圧によりバイアスされている、第1の電圧測定装置と、及び

第1のコンパレータ入力、第2のコンパレータ入力、及びコンパレータ出力を有し、前記第1のコンパレータ入力が前記第1の電圧測定装置出力に接続され、前記第2のコンパレータ入力が前記基準電圧に接続され、前記コンパレータ出力が前記第1のスイッチング装置の制御部に接続されている、電圧コンパレータとを含み、

前記第1の電圧測定装置の第1の入力が前記基準電圧によりバイアスされていることに

10

20

より、前記電圧コンパレータの発振が阻止される、電源システム。

【請求項 2】

第 1 の電源出力を備えた第 1 の電源、及び第 2 の電源出力を備えた第 2 の電源が並列に接続され、前記第 1 の電源を前記第 2 の電源から分離できるように構成された電源システムであって、

ソースが、前記第 1 の電源出力に接続され、ドレインが、前記第 2 の電源出力に接続されている、第 1 の MOSFET と、

第 1 の電圧測定装置であって、前記第 1 の MOSFET の前記ソースに接続された第 1 の入力、前記ドレインに接続された第 2 の入力、及び前記第 1 の MOSFET の前記ソースと前記ドレインとの間の電圧差を表す信号を発生するように適合された第 1 の電圧測定装置出力を備え、前記第 1 の入力が基準電圧によりバイアスされている、第 1 の電圧測定装置と、及び

第 1 のコンパレータ入力、第 2 のコンパレータ入力、及びコンパレータ出力を含んでおり、前記第 1 のコンパレータ入力が前記第 1 の測定装置出力に接続され、前記第 2 のコンパレータ入力が前記基準電圧に接続され、前記コンパレータ出力が前記第 1 の MOSFET のゲートに接続されている、第 1 の電圧コンパレータとを含み、

前記第 1 の電圧測定装置の第 1 の入力が前記基準電圧によりバイアスされていることにより、前記第 1 の電圧コンパレータの発振が阻止される、電源システム。

【請求項 3】

第 1 の電源出力を備える第 1 の電源、及び第 2 の電源出力を備える第 2 の電源が並列に接続された電源システムにおいて、前記第 1 の電源を前記第 2 の電源から分離するための方法であって、

第 1 のスイッチング装置の入力、第 1 のスイッチング装置の出力、及び第 1 のスイッチング装置の制御部を備える第 1 のスイッチング装置を準備し、

前記第 1 のスイッチング装置の入力を前記第 1 の電源の出力に接続し、

前記第 1 のスイッチング装置の出力を前記第 2 の電源出力に接続し、

前記第 1 のスイッチング装置の入力に接続された第 1 の入力、前記第 1 のスイッチング装置の出力に接続された第 2 の入力、及び第 1 の電圧測定装置出力を備えた第 1 の電圧測定装置を準備し、前記第 1 の入力が基準電圧によりバイアスされ、

前記第 1 の電圧測定装置を用いて、前記第 1 のスイッチング装置の入力と前記第 1 のスイッチング装置の出力との間の電圧差を測定し、

第 1 のコンパレータ入力、第 2 のコンパレータ入力、及びコンパレータ出力を有し、前記第 1 のコンパレータ入力が前記第 1 の電圧測定装置出力に接続され、前記第 2 のコンパレータ入力が前記基準電圧に接続され、前記コンパレータ出力が前記第 1 のスイッチング装置の制御部に接続されている第 1 の電圧コンパレータを準備し、前記第 1 の電圧測定装置の第 1 の入力が前記基準電圧によりバイアスされていることにより、前記第 1 の電圧コンパレータの発振が阻止され、

前記第 1 の電圧コンパレータを用いて、前記電圧差を前記基準電圧と比較し、

前記電圧差が前記基準電圧より大きい場合、前記第 1 のスイッチング装置を介して電流が伝えられ、及び

前記電圧差が前記基準電圧より大きくない場合、前記第 1 のスイッチング装置を介して流れる電流が遮断されることからなる、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、並列に接続された電源に関し、とりわけ MOSFET の使用により並列に接続された電源に関する。この場合、MOSFET を使用して電源の電流出力がモニタされ、電源が互いに分離される。

【0002】

【従来の技術】

10

20

30

40

50

コンピュータのような多くの電子装置は、比較的低い電圧で大電力を必要とする。従って、これらの装置に関連した電源は、大電力要件を満たすため、比較的大電流を出力することが必要とされる。大電力要件を達成するため、いくつかの電源の出力は、一般に、互いに並列に接続される。電源のこの並列接続によって、それらの電流出力を合計することが可能になり、冗長性が提供される。従って、1つの電源が故障した場合、電力が供給されているシステムには、他の電源により電力が供給され、故障することはない。

【0003】

各電源の出力は、一般に、電源を互いに分離する働きをする電子装置またはコンポーネントに接続される。例えば、電源の出力と電子装置との間に、ダイオードを接続することが可能である。電源がアクティブになると、ダイオードは、電源から電子装置に電流を伝える。電源の1つがイナクティブになる場合には、イナクティブの電源に関連したダイオードは、電流を伝えることを中止する。従って、イナクティブの電源は、分離され、残りのアクティブの電源から電流を引き出すことが防止される。上述の分離によって、残りの組み合わせの電源から出力される電圧が、イナクティブの電源の負荷のために降下することも防止される。

10

【0004】

電源によって供給される大電流を伝導するため、電源の出力は、並列に接続されたいくつかのダイオードに接続されなければならない。これらのダイオードは、電流を導通すると、大量の熱を放散するので、ダイオード、及びダイオードの近くに配置された他の電子コンポーネントから対流によって熱を奪う措置が必要になる。例えば、ダイオードにヒートシンクを物理的に取り付け、対流によってダイオードから熱を奪うことが可能である。もう1つの例では、ダイオードの領域に大量の銅を有するプリント回路基板にダイオードを実装し、対流によってダイオードから熱を奪うことが可能である。

20

【0005】

熱の問題に加えて、複数のダイオードがプリント回路基板の大量の面積を占有しており、このため少なくとも2つの問題が生じることになる。第1に、電子装置はより複雑になり、かつより小型化されるので、プリント回路基板の面積は、小さくなることが要求され、かつその領域は物理的に可能な限り多くのコンポーネントによって占有されることが要求される。複数のダイオード及びそれらの関連する対流装置によって、電子コンポーネントが占めることが可能なプリント回路基板上の貴重な領域が占有されることになる。第2の問題は、ダイオードによって占有されるプリント回路基板の広い領域が、熱を放散するいくつかのダイオードが非常に接近して配置されるため、過剰な高温になるという点である。プリント回路基板は、電子コンポーネントが増すにつれて、いっそう高密度になるので、ダイオードの近くにある電子コンポーネントは、ダイオードが発生する過剰な熱によって悪影響を受ける可能性がある。従って、過剰な熱は、全体として、電子装置の動作に悪影響を及ぼす可能性がある。

30

【0006】

分離用途のためにダイオードを利用することに関するさらにもう1つの問題は、ダイオードの順方向電圧の降下が、低電圧電源に比べて大きいという点である。例えば、ショットキシリコンダイオードは、一般に、順方向電圧の降下が約0.4ボルトである。従って、3.3ボルトを必要とする典型的な処理回路は、ダイオードの順方向電圧の降下に打ち勝つため、3.7ボルトを出力する電源によって電力を供給される必要がある。さらに、電源は、ダイオードの順方向電圧降下の結果として、ダイオードによって消費される電力に打ち勝つために、より多くの電力を出力しなければならない。

40

【0007】

【発明が解決しようとする課題】

これらの問題のいくつかまたは全てを克服する電源システムが必要とされている。

【0008】

【課題を解決するための手段】

本発明は、関連して動作するように並列接続された少なくとも2つの電源からなる電源シ

50

システムを目指している。各電源の出力は、スイッチング装置の入力に接続されることが可能である。スイッチング装置の出力は、互いに接続されて、電源システムの出力を提供することが可能である。スイッチング装置は、入力と出力との間における電流の流れを制御する、電気入力のような制御部を備えることが可能である。スイッチング装置は、例えば、ソースがそれぞれの電源に接続され、ドレインが電源システムの出力に接続され、制御部がゲートである、 n チャネルMOSFETとすることが可能である。

【0009】

各スイッチング装置の入力と出力との間に差動増幅器のような電圧測定装置を接続して、各スイッチング装置における電圧降下を測定することが可能である。電圧測定装置は、この電圧降下を表す信号を出力できる。信号は、例えば、スイッチング装置の入力と出力との間における電圧降下の極性を表すことが可能である。電圧測定装置の出力は、コンパレータの入力に接続することが可能である。コンパレータの出力をスイッチング装置の制御部に接続して、スイッチング装置を流れる電流を制御することが可能である。

10

【0010】

電源がアクティブである場合、その関連するスイッチング装置の入力における電圧は、その関連するスイッチング装置の出力における電圧より高い。電圧測定装置は、この差を測定し、この差を表す信号をコンパレータに出力する。電圧測定装置の出力が、あらかじめ選択された値より大きい場合、コンパレータは、スイッチング装置に電流を伝えさせる信号を、スイッチング装置の制御部に出力する。次に、電源が、残りの電源及び電源システムの出力に関連して動作するように接続される。

20

【0011】

電源がイナクティブになる場合、その出力はゼロボルトまで降下する。従って、その関連するスイッチング装置における電圧降下の極性が変化し、これが、電圧測定装置によって測定される。電圧測定装置は、反転した極性を表す信号をコンパレータに出力する。この信号は、あらかじめ選択された値より大きくないので、コンパレータは、電流の導通を中止させる信号をスイッチング装置に出力する。従って、イナクティブの電源は、残りのアクティブな電源から分離される。1つの例において、スイッチング装置は、MOSFETである。この場合、MOSFETの真性体ダイオード(intrinsic body diode)が、残りのアクティブな電源からイナクティブの電源を分離する働きをする。

30

【0012】

【発明の実施の形態】

図1及び図2には、出力120を備える第1の電源112と、出力170を備える第2の電源を含むことが可能な、電源システム100が概して示されている。電源システム100には、第1のスイッチング装置124(第1のMOSFETと呼ばれる場合もある)も含むことができる。第1のスイッチング装置124は、第1のスイッチング装置の入力(ソース)、第1のスイッチング装置の出力(ドレイン)、及び第1のスイッチング装置の制御部(ゲート)を備えることが可能である。第1のスイッチング装置の入力は、第1の電源112の出力120に電氣的に接続されることが可能である。第1のスイッチング装置124の出力は、第2の電源114の出力170に関連して動作するように接続されることが可能である。第1の電圧測定装置140は、第1のスイッチング装置124の入力と第1のスイッチング装置124の出力との間に関連して動作するように接続されることが可能である。第1の電圧測定装置140は、第1のスイッチング装置124の入力と出力との間の差を表す信号を出力するように適合された出力を、備えることが可能である。第1の電圧測定装置140の出力は、第1のスイッチング装置124の制御部に関連して動作するように接続される。

40

【0013】

図1及び図2には、出力120を備えた第1の電源112と、出力170を備えた第2の電源を含むことが可能な、電源システム100も概して例示されている。電源システム100は、第1のMOSFET124を含むことも可能であり、この場合、第1のMOSFET124のソースが、第1の電源112の出力120に関連して動作するように接続

50

され、第1のMOSFET 124のドレインが、第2の電源120の出力170に関連して動作するように接続される。第1の電圧測定装置140は、第1のMOSFET 124のソースとドレインとの間に関連して動作するように接続されることが可能である。第1の電圧測定装置140は、第1のMOSFET 124のソースとドレインとの間の電圧差を表す信号を発生するように適合された出力を備えることが可能である。入力と出力とを備えた第1の電圧コンパレータ150は、測定装置140の出力に関連して動作するように接続されることが可能である。コンパレータ150の出力は、第1のMOSFET 124のゲートに関連して動作するように接続されることが可能である。

【0014】

図1及び図2には、第1の電源112を第2の電源114から分離するための方法も概して例示されている。この方法は、入力、出力、及び制御部を備えた第1のスイッチング装置124を準備するステップを含む。第1のスイッチング装置124の入力は、第1の電源の出力に接続されることが可能である。第1のスイッチング装置124の出力は、第2の電源114の出力に関連して動作するように接続されることが可能である。第1のスイッチング装置の入力と出力との間における電圧差を測定することが可能である。電圧差があらかじめ選択された値より大きい場合には、電流は第1のスイッチング装置124を介して導電することが可能である。電圧差があらかじめ選択された値より大きくない場合には、第1のスイッチング装置124を流れる電流は遮断され得る。

【0015】

電源回路100を概して説明してきたが、次に、さらに詳細に説明することにする。図1には、電源回路100の略ブロック図が例示されている。以下では、電源回路100の限定的でない例に関するより詳細な略回路図について述べることにする。

【0016】

電源回路100は、電子コンポーネント110に電力を供給する働きをする。電源回路100は、コンポーネントの中でも、とりわけ、第1の電源112（PS1と呼ばれる場合もある）と、第2の電源114（PS2と呼ばれる場合もある）を備えることが可能である。さらに詳細に後述するように、第1の電源112及び第2の電源114の出力は、それらの電力を合計して、電子コンポーネント110に供給するため、互いに関連して動作するように並列接続されている。後述するように、この関連して動作する接続は、第1の電源112と第2の電源114を互いから分離する働きもする。従って、一方の電源が故障または動作を停止しても、もう一方の電源及び電子コンポーネント110から電流、ひいては電力を引き出すことにはならない。第1の電源112は第1のモニタ回路116によって分離され、第2の電源114は第2のモニタ回路118によって分離される。

【0017】

第1のモニタ回路116と組み合わせられた第1の電源112について説明し、引き続き、第2のモニタ回路118と組み合わせられた第2の電源114について説明する。第1の電源112は、出力120を備えることが可能である。出力120は、限定的でない例として、最大電力出力が66ワットの場合、20アンペアの最大電流で3.3ボルトを供給することが可能である。第1の電源112は、限定的でない例として、Artesyn TechnologiesからモデルNXA66として市販されているタイプとすることが可能である。出力120は、ライン122に接続されることが可能であり、ライン122は、さらに、第1のMOSFET 124（Q1と呼ばれる場合もある）のソースに接続されることが可能である。一例として、第1のMOSFET 124は、例えば、ドレインソース間の抵抗が4ミリオームと極めて小さい電力用nチャネルMOSFETとすることが可能である。第1のMOSFET 124は、限定的でない例として、カリフォルニア州El SegundoのInternational Rectifier Companyから市販されている、IRLBL1304仕様に対応するタイプとすることが可能である。

【0018】

第1のMOSFET 124のドレインソース間の電流は、ゲートにバイアス電圧を印加することによって、オンモードとオフモードとの間でスイッチ可能である。第1のMOSF

10

20

30

40

50

E T 1 2 4 がオンモードの場合、ドレインとソースとの間に上述の抵抗が生じる。ソースからドレインに電流が流れると、その電流の流れに対応する電圧が、ソースとドレインとの間に発生する。さらに詳細に後述するように、この電圧を利用して、電流の流れる方向を含めて、第1のMOSFET 1 2 4を通る電流の流れが測定される。当該技術において既知のように、MOSFETは、ソースとドレインの間で働く真性体ダイオードを備えており、ダイオードのアノードがソースに接続され、カソードがドレインに接続されている。さらに詳細に後述するように、この真性体ダイオードは、第1の電源1 1 2がイナクティブになると、電源回路1 0 0の他のコンポーネントから第1の電源1 1 2を分離する働きをする。

【0019】

第1の差動増幅器1 4 0 (U 1と呼ばれる場合もある)は、ライン1 4 2及び1 4 4によって、それぞれ、第1のMOSFET 1 2 4のソースとドレインとの間に電氣的に接続されることが可能である。留意すべきは、図1に示されていない他のコンポーネントを第1の差動増幅器1 4 0に関連づけることができるという点である。第1の差動増幅器1 4 0は、第1のMOSFET 1 2 4のソースとドレインとの間における電圧降下を測定する働きをすることができる。もちろん、差動増幅器を用いた電圧測定は、単なる例示のためのものであり、他の測定装置を用いて、第1のMOSFET 1 2 4のソースとドレインとの間の電圧降下を測定することも可能である。第1の差動増幅器1 4 0の出力は、ライン1 5 2を介して第1の電圧コンパレータ1 5 0 (U 2と呼ばれる場合もある)に電氣的に接続されることが可能である。第1の電圧コンパレータ1 5 0は、第1の差動増幅器1 4 0の出力とあらかじめ選択された電圧V 1を比較する働きをすることができる。第1の電圧コンパレータ1 5 0の出力は、ライン1 5 4を介して第1のMOSFET 1 2 4のゲートに電氣的に接続される。留意すべきは、図1に示されていない他の電子コンポーネントを第1の電圧コンパレータ1 5 0に関連づけることができるという点である。

【0020】

第1のモニタ回路1 1 6に組み合わせられた第1の電源1 1 2について説明してきたが、次に、第2のモニタ回路1 1 8に組み合わせられた第2の電源1 1 4について説明することにする。

【0021】

もちろん、第2のモニタ回路1 1 8に組み合わせられた第2の電源1 1 4は、第1のモニタ回路1 1 6に組み合わせられた第1の電源1 1 2と実質的に同じである。第2の電源1 1 4は、第1の電源1 1 2と同じにすることができ、出力1 7 0を備えることが可能である。出力1 7 0は、限定的でない例として、出力電力が6 6ワットの場合、2 0アンペアの最大電流で3 . 3ボルトを供給することが可能である。ライン1 7 2によって、第2の電源1 1 4の出力1 7 0を第2のMOSFET 1 7 4 (Q 2と呼ばれる場合もある)のソースに接続することが可能である。第2のMOSFET 1 7 4は、一例として、ドレインソース間の抵抗が極めて小さい電力用nチャネルMOSFETとすることが可能であり、第1のMOSFET 1 2 4と同じにすることが可能である。

【0022】

第2の差動増幅器1 8 0 (U 4と呼ばれる場合もある)は、ライン1 8 2及び1 8 4を介して、それぞれ、第2のMOSFET 1 7 4のソースとドレインとの間に電氣的に接続されることが可能である。第2の差動増幅器1 8 0は、第2のMOSFET 1 7 4のソースとドレインとの間における電圧降下を測定する働きをすることができる。もちろん、第2の差動増幅器1 8 0の利用は、単なる例示のためのものであり、他の電圧測定装置を用いて、第2のMOSFET 1 7 4のソースとドレインとの間の電圧降下を測定することも可能である。やはり、言うまでもないことではあるが、図1に示されていない他のコンポーネントを第2の差動増幅器1 8 0に関連づけることが可能である。第2の差動増幅器1 8 0の出力は、ライン1 9 2を介して第2の電圧コンパレータ1 9 0 (U 3と呼ばれる場合もある)に電氣的に接続されることが可能である。第2の電圧コンパレータ1 9 0は、第2の差動増幅器1 8 0の出力とあらかじめ選択された電圧V 1を比較する働きをする

10

20

30

40

50

ことが可能である。第2の電圧コンパレータ190の出力は、ライン194を介して第2のMOSFET174のゲートに電氣的に接続される。もちろん、図1に示されていない他の電子コンポーネントを第2の電圧コンパレータ190に関連づけることが可能である。

【0023】

図1に示すように、第1のMOSFET124及び第2のMOSFET174のドレインは、電氣的にまとめて接続され、ライン130を形成している。本明細書に例示の限定的でない実施形態におけるライン130は、電子コンポーネント110に電力を供給するために用いられる。従って、電子コンポーネント110は、第1の電源112と第2の電源114の両方の電力出力の和に等しい電力を供給される。

10

【0024】

電源回路100のコンポーネントについて説明してきたが、次に、電源回路100の動作について述べることにする。

【0025】

電源回路100の目的は、電子コンポーネント110に、電力、ひいては電流を供給することである。電子コンポーネント110は、単一電源で供給可能な電流より多い電流を必要とする可能性がある。従って、必要な電流が供給されるように、いくつかの電源が並列に接続される。同様に、電源回路100は、複数の電源を並列に接続することによって、冗長性をもたらすことが可能である。従って、1つの電源が故障した場合には、別の電源によって、電子コンポーネント110に電力を供給することが可能である。本明細書に記載の限定的でない実施形態の場合、2つの電源、すなわち、第1の電源112と第2の電源114が、電子コンポーネント110に電流を供給するため、関連して動作するように並列接続されている。ただし、言うまでもないが、任意の数の電源を並列に接続して、電子コンポーネント110に電流を供給することが可能である。やはり、言うまでもないが、電源回路100の他のコンポーネントから分離される必要のある電源だけしか、モニタ回路と関連づける必要はない。

20

【0026】

上述のように、第1の電源112と第2の電源114の双方は、電流を出力し、電子コンポーネント110に電力を供給する。本明細書に記載の限定的でない実施形態において、電源112、114の双方は、それぞれ、最大電力が66ワットの場合、20アンペアの最大電流で3.3ボルトを出力する。第1のモニタ回路116に関連して第1の電源112の動作について説明し、引き続き、第2のモニタ回路118に関連して第2の電源114の動作について簡単に述べることにする。留意すべきは、第1のモニタ回路116及び第2のモニタ回路118は、互いに実質的に同じである。電源回路100の動作については、下記においてさらに詳述することにする。

30

【0027】

第1のMOSFET124が、当初はオフで、第2の電源114が、当初はアクティブであると仮定する場合、第1のMOSFET124のドレインには0ボルトが生じる。従って、第1の差動増幅器140の反転入力には、0ボルトが与えられることになる。第1のMOSFET124のソースは、電圧が3.3ボルトであり、その3.3ボルトの電圧が第1の差動増幅器140の非反転入力に与えられることになる。第1の差動増幅器140に対するこれらの入力によって、第1の差動増幅器140は、電圧V1より大きいあらかじめ選択された正の電圧を出力する。第1の差動増幅器140の出力電圧は、第1の電圧コンパレータ150の非反転入力に与えられる。第1の電圧コンパレータ150の非反転入力における電圧が、第1の電圧コンパレータ150の反転入力における電圧より大きいので、第1の電圧コンパレータ150は、ライン154に高電圧を出力する。従って、この高電圧が、第1のMOSFET124のゲートに与えられ、第1のMOSFET124がターンオンする。次に、第1のMOSFET124は、電流を伝える。

40

【0028】

第1のMOSFET124がターンオンすると、電流がドレインからソースに流れる。第

50

1のMOSFET124は、オンの場合、ドレインソース間抵抗が極めて小さく、それを通る電流に対応する電圧を発生することになる。抵抗が小さいと、発生する電圧が低くなるが、抵抗が小さければ、大電流が、大量のエネルギーの損失を伴うことなく、第1のMOSFETを通ることが可能になる。第1のMOSFET124がオンの場合、ソースの電圧は、ドレインの電圧よりわずかに高くなる、すなわち、電流が、第1の電源112から電子コンポーネント110に流れていることになる。第1の差動増幅器140の利得は、第1のMOSFET124のソースとドレインとの間におけるわずかな電圧差を測定できるように、あらかじめ選択されている。また、第1の差動増幅器140の利得は、第1のMOSFET124のソースとドレインとの間のわずかな電圧差を測定する際に、第1の差動増幅器140の出力が電圧V1より大きくなるのに十分なほど大きい。従って、第1の電圧コンパレータ150は、第1のMOSFET124のゲートに高電圧を出力し続けるので、第1のMOSFET124はオン状態を保つ。

10

【0029】

第2のモニタ回路118に関連する第2の電源114は、第2のモニタ回路118に関連する第1の電源110と同様に機能する。第1の電源110と第2の電源114が、両方とも、アクティブの場合、電子コンポーネント110は、それらの両方から電流を引き出すことが可能である。留意すべきは、任意の数の電源及びモニタ回路をライン130に電気的に並列接続することによって、電子コンポーネント110に供給される電流を増大させることができるという点である。やはり留意すべきは、それらの電源が、電流を共用しているか、又はそれらの基準が互いに接続されていることが好ましいという点である。図1に関して明らかのように、軽い負荷条件下の場合、MOSFETのうち的一方だけしかターンオンすることができない。重い負荷条件の場合、両方のMOSFETがターンオンすることが可能である。

20

【0030】

複数の電源を備えた従来の電源システムの場合、単一電源の故障によって、電源システム全体が故障する可能性がある。これは、部分的には、個々の電源の出力抵抗が小さいためである。従って、電源の1つが故障すると、その出力電圧が0に低下し、残りのアクティブな電源からの電流を下げることになる。電源システムに作用する低電圧と電流下降(current sinking)のこの組み合わせによって、全体として、電源システムの電圧が低下し、電源システムから出力される電流が、故障した電源に引き込まれることになる。従って、電子コンポーネントに供給することが可能な電力は、かなり減少する。

30

【0031】

後述するように、本明細書に記載の電源回路100は、単一電源の故障時に故障することはない。以下の説明では、第1の電源112の故障または停止について述べることにする。第1の電源112が故障または停止すると、その出力電圧は、0に低下し、電流が、第1の電源112に流入するか、あるいは流入しようとする。従って、電流は、第1のMOSFET124のドレインからソースに流れようとし、第1のMOSFET124の極性がスイッチされて、ドレインの電圧がソースより高くなる。留意すべきは、本明細書に記載のモニタ回路116は、一般に、かなりの電流がドレインからソースに流れることが可能になる前に、第1のMOSFET124をターンオフすることができるという点である。第1の差動増幅器140に関して、第1のMOSFET124における極性が逆転すると、反転入力の電圧が非反転入力よりも高くなる。従って、第1の差動増幅器140は、低電圧を出力するが、この場合、この低電圧では、さらに詳細に後述するように、第1の電圧コンパレータ150に高電圧を出力させるには不十分である。

40

【0032】

第1の差動増幅器140から出力される低電圧によって、第1の電圧コンパレータ150は、第1のMOSFET124のゲートに対して低電圧を出力する。ゲートに対するこの低電圧によって、第1のMOSFET124は、ターンオフする。これによって、第1のMOSFET124内の真性体ダイオードは、第1のMOSFET124を流れる電流を停止する働きをし、第1の電源112が電源回路100内の他のコンポーネントから分離

50

される。第1のMOSFET124は、ソースの電圧が、ドレインよりも高くなる（第1の電源112がアクティブになることを表す）まで、オフのままである。さらに詳細に後述するように、第1の電圧コンパレータ150は、第1のMOSFET124が、オフ状態とオン状態との間の遷移中に繰り返しターンオン/ターンオフしないようにするため、ヒステリシスをその中に組み込むことが可能である。

【0033】

電子コンポーネント110が過剰な電流を引き出す場合、第1のMOSFET124は、オンのままになる。例えば、電子コンポーネント110に短絡が生じた場合、あるいは電源回路100内の他の電源が故障した場合、第1の電源112は、強制的に大電流を出力させられる。第1のMOSFET124がオンのままであるため、真性体ダイオードではなく、MOSFETが、第1のMOSFET124を流れる大電流によって発生する熱を放散することになる。このため、第1のMOSFET124を通る大電流によって真性体ダイオードに生じる可能性のある損傷が軽減される。ドレインとソースとの間の抵抗は極めて小さいので、過剰な電流によって、第1のMOSFET124があまりにも過剰な量の熱を放散することはない。従って、第1のMOSFET124の冷却には、極めて高価な対流方法または対流装置を必要としない。留意すべきは、電子コンポーネントが過剰な電流を引き出す場合、第2のMOSFET174が、第1のMOSFET124と同様に動作するという点である。

10

【0034】

図1の略図に基づいて電源回路100の単純化された実施形態について述べてきたが、次に、電源回路100のより詳細な実施形態について述べることにする。

20

【0035】

図2には、電源回路100の限定的でない実施形態に関する詳細な略図が例示されている。図2の電子回路のコンポーネントの値は、表1に示される。

【0036】

【表1】

素子	タイプ、値または定格
C1, C3, C7, C8	10pf
C2, C4, C5, C6	0.1uf
D1	2.4 ボルト ツェナ
D2, D3	12 ボルト ツェナ
PS1, PS2	3.3 ボルト
Q1, Q2	IRLBL1304 MOSFET
R1	1.25k
R2	10k
R3	2.49k
R4, R7, R8, R12, R15, R17	1k
R5, R6, R13, R14	100k
R9, R11	511k
R10, R16	1.25k
U1, U4	LM358
U2, U3	LM393

30

40

【0037】

50

上述の電圧 V_1 と同様の電圧 V_{REF} が設定される。電圧 V_{REF} は、12ボルト電源、ツェナダイオード D_1 、及び3つの抵抗器 R_1 、 R_2 、及び R_3 を用いることによって、図2の電源回路100において確立される。ツェナダイオード D_1 は、限定的でない例として、2.4ボルトのツェナダイオードとすることが可能である。表1にリストアップされた抵抗器の値に従って、電圧 V_{REF} は、電源がイナクティブの場合には、約0.46ボルトに設定され、電源がアクティブの場合には、約0.59ボルトに設定される。留意すべきは、電圧 V_{REF} の値が、電源回路100及び電源回路100内で用いられる他のコンポーネントの用途に応じて、異なる可能性があるという点である。

【0038】

第1の電源 PS_1 (第1の電源112と呼ばれる場合もある)の出力120と第1の差動増幅器 U_1 (第1の差動増幅器140と呼ばれる場合もある)の非反転入力との間には、抵抗器 R_4 が接続される。第1の差動増幅器 U_1 に対する非反転入力と V_{REF} との間には、抵抗器 R_5 が接続される。第1の差動増幅器 U_1 に対する非反転入力とアースとの間には、コンデンサ C_1 が接続される。コンデンサ C_1 は、ノイズ及び過渡事象を抑制する働きをするので、それらによって、第1の差動増幅器 U_1 の出力が影響を受けることはない。コンデンサ C_1 の値は、過渡現象を抑制し、電源回路116がノイズによってターンオフしないように選択されている。

【0039】

抵抗器 R_5 を介して、第1の差動増幅器 U_1 の非反転入力を V_{REF} に接続することによって、第1の差動増幅器 U_1 の非反転入力が入力0ボルトになることは決してない。例えば、第1の電源 PS_1 が故障するか、またはそうでなければ、その出力が0ボルトまで降下する場合、第1の差動増幅器 U_1 の非反転入力は、依然として0ボルトを超えたままである。本明細書に記載の実施形態の場合、第1の差動増幅器 U_1 の非反転入力は、第1の電源 PS_1 の出力120が0ボルトに降下する場合、約0.0046ボルトに降下することになる。第1の差動増幅器 U_1 の非反転入力に対するこのバイアスは、電源回路116の発振を阻止する働きをする。第1の差動増幅器 U_1 の非反転入力が、抵抗器 R_5 を介してアースに接続される場合、回路が閉ループになるので、おそらく、システムが、不安定になる可能性があるということが分かった。この不安定性によって、第1の電圧コンパレータ U_2 (第1の電圧コンパレータ150と呼ばれる場合もある)が発振し、このため、さらに、第1のMOSFET Q_1 のゲート電圧が発振することになる可能性がある。従って、第1のMOSFET Q_1 は、ゲート電圧の振動周波数でターンオン/ターンオフする。

【0040】

電源回路100内において好都合な電圧なので、電圧 V_{REF} が抵抗器 R_5 に印加された。しかし、言うまでもないが、同じ電圧が第1の電圧コンパレータ U_2 に印加される限りにおいて、 V_{REF} 以外の電圧値を抵抗器 R_5 に印加することも可能である。

【0041】

第1の差動増幅器 U_1 は、片側 (single sided) となるように構成されている。正の電力入力が、12ボルト電源に接続され、負の電力入力が、アースに接続される。従って、第1の差動増幅器 U_1 は、正の飽和状態になると、約10.5ボルトを出力する。同様に、第1の差動増幅器 U_1 は、負の飽和状態になると、出力がほぼ0ボルトになる。コンデンサ C_2 は、従来の態様で、12ボルトの電源ラインのノイズを抑制するために用いられる。

【0042】

第1の差動増幅器 U_1 の反転入力と出力の間には、フィードバック抵抗器 R_6 及びフィードバックコンデンサ C_3 が接続される。第1の差動増幅器 U_1 の反転入力には、抵抗器 R_7 を介して、第1のMOSFET Q_1 のドレインも接続される。第1のMOSFET Q_1 のソースドレイン間電圧に対する第1の差動増幅器 U_1 に関連した利得は、抵抗器 R_6 の値を抵抗器 R_7 の値によって割った結果にほぼ比例する。本明細書に記載の限定的でない実施形態の場合、利得は、約100である。第1の差動増幅器 U_1 に関連した利得

10

20

30

40

50

は、第1の電源PS1の最大出力電流条件下において、第1の差動増幅器U1が約8ボルトを出力するように選択されている。すなわち、第1の電源PS1が、第1のMOSFET Q1の0.004オームのオン抵抗を介して20アンペアを出力する場合、100の利得によって、第1の差動増幅器U1は、8ボルト+VREFを出力する。留意すべきは、コンデンサC3が、低域通過フィルタの働きをして、高周波ノイズまたは他の変動が、第1の差動増幅器U1によって増幅され、出力されるのを阻止するという点である。コンデンサC3の値は、第1のモニタ回路116が、システムのノイズのためにターンオフするのを阻止するように選択されている。

【0043】

第1の差動増幅器U1の出力は、抵抗器R8を介して第1の電圧コンパレータU2の非反転入力に接続される。第1の電圧コンパレータU2の非反転入力と第1の電圧コンパレータU2の出力との間に、フィードバック抵抗器R9が接続される。電源回路100の限定的でない実施形態の場合、R8とR9の組み合わせは、第1のMOSFET124のターンオン電圧及びターンオフ電圧に関するヒステリシスを提供する働きをする。従って、第1のMOSFET124は、そのターンオン/ターンオフ時に発振しない。第1の電圧コンパレータU2の反転入力には、電圧VREFでバイアスがかけられる。第1の電圧コンパレータU2は、第1の差動増幅器U1によって、電圧VREFよりほんのわずかだけ大きい電圧が印加されるまで、第1のMOSFET Q1をターンオンしない。第1の差動増幅器U1と同様、第1の電圧コンパレータU2は、片側となるように構成され、その正の電力入力が12ボルト電源に接続され、その負の電力入力がアースに接続される。コンデンサC4は、第1の差動増幅器U1に関連して既述のように12ボルト電源のノイズを抑制する働きをする。

【0044】

第1の電圧コンパレータU2の出力は、第1のMOSFET Q1のゲートに接続される。第1の電圧コンパレータU2の出力を正または負の飽和状態にすることによって、第1のMOSFET Q1がターンオンまたはターンオフする。第1のMOSFET Q1のゲートは、プルアップ抵抗器R10を介してツェナダイオードD2及び12ボルト電源にも接続される。第1の電圧コンパレータU2の出力が、オープンコレクタであるため、プルアップ抵抗器R10が必要になる。ツェナダイオードD2は、第1のMOSFET Q1のゲート電圧が12ボルトを超えないようにする。

【0045】

第2のモニタ回路118のコンポーネント及びコンポーネント構成は、第1のモニタ回路116と同じであり、従って、詳細な説明は控えることにする。

【0046】

第1のモニタ回路116のコンポーネントについて説明してきたが、次に、電源回路100の動作について述べることにする。第1の電源PS1及び第2の電源PS2の両方が動作モード及び非動作モードにある場合の、電源回路100のいくつかの動作状態について説明することにする。

【0047】

電源回路100は、第1の電源112及び電子コンポーネント110がオフ状態か、または別様にイナクティブな状態において、動作を開始する。同様に、電源回路100は、電圧VREFが0ボルトの状態では動作を開始する。第1の電源112及び第1のモニタ回路116に関して、第1の差動増幅器140の反転入力に0ボルトが与えられる。12ボルトの電源が、パワーアップを開始すると、VREFにはほぼ等しい電圧が、第1の差動増幅器U1及び第2の差動増幅器U4の非反転入力に現れることになる。すなわち、 $(101 \cdot VREF / (1k + 100k))$ に等しい電圧が、第1の差動増幅器U1及び第2の差動増幅器U4の非反転入力に現れる。従って、非反転入力の電圧は反転入力より高くなる。第1の差動増幅器U1及び第2の差動増幅器U4に対する入力における電圧によって、それらは、第1の電圧コンパレータU2及び第2の電圧コンパレータU3に対して、それぞれ、VREFより大きい電圧を出力することになる。第1の電圧コンパレータU

10

20

30

40

50

2及び第2の電圧コンパレータU3は、第1のMOSFET Q1及び第2のMOSFET Q2を、それぞれ、ターンオンする電圧を出力する。留意すべきは、上述のプロセスが生じるのは、第1の差動増幅器U1に対する非反転入力オフセット電圧が0ボルトより大きい場合に限られるということである。オフセット電圧が0ボルト未満であれば、第1のMOSFET Q1は、電圧が第1の電源PS1の出力に現れ始めるまで、ターンオンしない。12ボルト電源は、第1の電源PS1及び第2の電源PS2の両方に電力を供給することが可能である。従って、12ボルト電源がオンになると、第1の電源PS1及び第2の電源PS2は、オンになる。しかし、それらは、同時にオンになることはできない。例えば、内部特性によって、第1の電源PS1が第2の電源PS2より先にオンになる可能性がある。これが生じると、この例における第2のMOSFET Q2である対応するMOSFETがターンオフし、電源を分離する。第2の電源PS2がオンになると、第2のMOSFET Q2もターンオンし、第2の電源PS2が、電子コンポーネント110に対して電氣的に接続されることになる。

10

【0048】

電源回路100のパワーアッププロセスについて説明してきたが、次に、第1の電源PS1及び第2の電源PS2が両方とも動作状態である、電源回路100の動作について述べることにする。

【0049】

以下の動作状態では、第1の電源PS1及び第2の電源PS2が、両方とも、アクティブであり、第1のMOSFET Q1及び第2のMOSFET Q2が、両方とも、オンであるものと仮定する。また、電子コンポーネント110が、例えば、20アンペアといった、大電流を引き出しているものと仮定する。従って、ライン130は、電圧が約3.3ボルトである。実施形態の1つでは、電源のリモートセンシングによって、3.3ボルトがライン130に供給されることを保証する。第1のMOSFET Q1のソースにおける電圧は、10アンペア \times 0.004オームの抵抗+3.3ボルトにほぼ等しくなる。従って、第1のMOSFET 124のソースにおける電圧は、ドレインにおける電圧よりわずかに高くなる。

20

【0050】

第1の差動増幅器U1及びその関連するコンポーネントは、約100の利得に合わせて電圧 V_{SD} を増幅する。第1のMOSFET Q1のドレインにおける電圧は、第1のMOSFET Q1のソースにおける電圧よりわずかに低いので、第1の差動増幅器U1は、正の電圧を出力する。第1の差動増幅器U1に関連した利得によって、差動増幅器U1は、第1のMOSFET 124のソースドレイン間電圧 V_{SD} が比較的低い場合に、比較的高い電圧を出力する。第1の差動増幅器U1の出力は、第1のMOSFET Q1に流れる電流 \times 第1のMOSFET Q1のオン抵抗 \times 第1の差動増幅器U1に関連した利得+ V_{REF} にほぼ等しい。第1の差動増幅器U1の出力は、第1の電圧コンパレータU2の非反転入力に接続される。第1の電圧コンパレータU2は、第1の差動増幅器U1の出力が V_{REF} よりわずかに大きくなると、その内部トランジスタをターンオンする。これによって、第1の電圧コンパレータU2の出力電圧は、約12ボルトになる。出力電圧は、ツェナダイオードD2によって調整され、プルアップ抵抗器R10によって維持される。この出力電圧は、第1のMOSFET Q1のゲートに印加され、これによって、第1のMOSFET Q1はオンのままになる。

30

40

【0051】

第1の電源PS1及び第2の電源PS2がアクティブである電源回路100について説明してきたが、次に、第1の電源PS1がイナクティブで、第2の電源PS2がアクティブである電源回路100について述べることにする。こうした状況は、第2の電源PS2が動作を停止する前に、第1の電源PS1が動作を停止する場合に生じる可能性がある。こうした状況は、第1の電源PS1が故障する場合にも生じる可能性がある。

【0052】

第1の電源PS1がイナクティブの場合、出力120は、仮想短絡になり、電流を下げる

50

ことになる。この状況において、第1のMOSFET Q1のドレインは、電圧がソースよりも高くなる。第1の差動増幅器U1は、負の飽和を生じ、0ボルトを出力する。第1の差動増幅器の出力は、VREFより低いので、第1の電圧コンパレータU2も、負の飽和を生じ、0ボルトが第1のMOSFET Q1のゲートに印加されることになる。従って、第1のMOSFET Q1はターンオフする。第1のMOSFET Q1がターンオフすると、第1のMOSFET Q1の真性体ダイオードは、第1の電源PS1を電源回路100の他のコンポーネントから分離する働きをする。従って、第1の電源PS1は、ライン130から電流を引き出すことができず、ライン130の電圧に影響を及ぼしたり、あるいは電子コンポーネント110から電力を引き出したりしなくなる。留意すべきは、第1の電源PS1が、電子コンポーネント110から分離されることになるので、第2の電源PS2が、電子コンポーネント110に対する電力供給を続けるという点である。従って、電子コンポーネント110は、中断することなく、動作を続行する。

10

【0053】

電源回路100の別の動作モードが生じるのは、電子コンポーネント110またはそれに接続された他のコンポーネントが、短絡するか、または別様に過剰な電流を引き出す場合である。この状況において、第1のMOSFET Q1のソースの電圧は、ドレインよりも高い状態のままであり、従って、第1のMOSFET Q1は、オン状態のままである。しかし、第1のMOSFET Q1の真性体ダイオードがバイパスされ、過剰な電流が、第1のMOSFETの真性体ダイオードに流れることになる。オン時には、第1のMOSFET Q1のソースとドレイン間の抵抗は極めて小さいので、第1のMOSFET Q1内で消費されるエネルギーはほとんどなく、このため、それが過熱したり、またはそうでなければ損傷したりすることはない。従って、第1のMOSFET 124から熱を対流させるために処置を施す必要はほとんどない。

20

【0054】

留意すべきは、第1の電圧コンパレータU2及び第2の電圧コンパレータU3がヒステリシスを有することができるという点である。これによって、第1の差動増幅器U1及び第2の差動増幅器U4の出力がそれらのしきい値電圧を過ぎる際、第1の電圧コンパレータU2及び第2の電圧コンパレータU3の発振が阻止されることになる。

【0055】

電源回路100のいくつかの限定的でない実施形態について説明してきたが、次に、電源回路100の他の実施形態について述べることにする。

30

【0056】

第1のMOSFET Q1及び第2のMOSFET Q2は、本明細書では、電力用MOSFETとして説明してきた。もちろん、電力用MOSFETの代わりに、他のスイッチング装置を利用することも可能である。例えば、アナログスイッチを利用することも可能である。別の例では、MOSFETの代わりに、その接点間において損失を生じるリレーを用いることも可能である。状況によっては、コンデンサのようなデバイスを電子コンポーネントと並列に利用して、電源の一方の停止時に、電子コンポーネントの電圧が降下するのを阻止しなければならない場合もある。

【0057】

第1の差動増幅器U1及び第2の差動増幅器U4は、本明細書では、測定装置として説明してきた。もちろん、他の装置によって、MOSFETまたは他のスイッチング装置における電圧降下を測定することが可能である。やはり言うまでもないが、測定装置は、スイッチング装置に関連して動作するように接続されることが可能である。例えば、測定装置の出力は、MOSFETのゲートに関連して動作するように接続されることが可能である。さらにもう1つの実施形態では、第1の差動増幅器U1と第1の電圧コンパレータU2の両方を単一装置にすることも可能である。

40

【0058】

第1の電源PS1及び第2の電源PS2は、それぞれ、電子コンポーネント110に供給するのに十分な電力を提供することが可能である。従って、電源の一方が故障すると、も

50

う一方の電源から分離されるので、残りの電源から電力を引き出すことはない。

【 0 0 5 9 】

本明細書では、本発明の例証となる、現在のところ好適な実施形態について詳細に説明してきたが、もちろん、本発明の概念は、別様にさまざまに具現化され、用いられることが可能であり、特許請求の範囲は、先行技術により制約されるものを除き、こうした変更を含むと解釈されることを意図したものである。

【 0 0 6 0 】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施形態を示す。

- 1 . 電源システム (100) であって、10
 第 1 の電源出力 (120) を備えた第 1 の電源 (112) と、
 第 2 の電源出力 (170) を備えた第 2 の電源 (114) と、
 第 1 のスイッチング装置の入力、第 1 のスイッチング装置の出力、及び第 1 のスイッチング装置の制御部を含んでおり、前記第 1 のスイッチング装置の入力が、前記第 1 の電源出力 (120) に電氣的に接続され、前記第 1 のスイッチング装置の出力が、前記第 2 の電源出力 (170) に関連して動作するように接続されている、第 1 のスイッチング装置 (124) と、及び
 前記第 1 のスイッチング装置の入力と前記第 1 のスイッチング装置の出力との間に関連して動作するように接続されており、第 1 の電圧測定装置出力を備え、その第 1 の電圧測定装置出力上に、前記第 1 のスイッチング装置の入力における電圧と前記第 1 のスイッチング装置の出力における電圧との差を表す信号を出力するように適合されている、第 1 の電圧測定装置 (140) とを含み、20
 前記第 1 の電圧測定装置出力が、前記第 1 のスイッチング装置の制御部に関連して動作するように接続されている、電源システム (100) 。
- 2 . 前記第 1 の電圧測定装置 (140) が、前記第 1 のスイッチング装置の入力と前記第 1 のスイッチング装置の出力との間に関連して動作するように接続された差動増幅器である、上記 1 に記載の電源システム (100) 。
- 3 . 第 2 のスイッチング装置の入力、第 2 のスイッチング装置の出力、及び第 2 のスイッチング装置の制御部を含んでおり、前記第 2 のスイッチング装置の入力が、前記第 2 の電源出力 (170) に接続され、前記第 2 のスイッチング装置の出力が、前記第 1 のスイッチング装置の出力に関連して動作するように接続されている、第 2 のスイッチング装置 (174) と、30
 前記第 2 のスイッチング装置の入力と前記第 2 のスイッチング装置の出力との間に関連して動作するように接続されており、第 2 の電圧測定装置出力を備え、その第 2 の電圧測定装置出力上に、前記第 2 のスイッチング装置の入力における電圧と前記第 2 のスイッチング装置の出力における電圧との差を表す信号を出力するように適合されている、第 2 の電圧測定装置 (180) とをさらに含み、
 前記第 2 の電圧測定装置出力が、前記第 2 のスイッチング装置の制御部に関連して動作するように接続されている、上記 1 に記載の電源システム (100) 。
- 4 . 電源システム (100) であって、40
 第 1 の電源出力 (120) を備えた第 1 の電源 (112) と、
 第 2 の電源出力 (170) を備えた第 2 の電源 (114) と、
 ソースが、前記第 1 の電源出力 (120) に関連して動作するように接続され、ドレインが、前記第 2 の電源出力 (170) に関連して動作するように接続されている、第 1 の M O S F E T (124) と、
 前記第 1 の M O S F E T (124) の前記ソースと前記ドレインとの間に関連して動作するように接続され、前記第 1 の M O S F E T (124) の前記ソースと前記ドレインとの間の電圧差を表す信号を発生するように適合された測定装置出力を備える、第 1 の電圧測定装置 (140) と、及び
 コンパレータ入力とコンパレータ出力を含んでおり、前記コンパレータ入力が前記測定装50

置出力に関連して動作するように接続され、前記コンパレータ出力が前記第1のMOSFET (124) のゲートに関連して動作するように接続されている、第1の電圧コンパレータ (150) とを含む、電源システム (100) 。

5 . 前記第1の電圧測定装置 (140) によって発生する前記信号が、前記第1のMOSFET (124) の前記ソースと前記ドレインとの間で、あらかじめ選択された値より大きい電圧差を表す場合、前記第1の電圧コンパレータ (150) が、あらかじめ選択された電圧を出力するように適合されている、上記4に記載の電源システム (100) 。

6 . 前記第1の電圧測定装置 (140) が演算増幅器である、上記4に記載の電源システム (100) 。

7 . 前記演算増幅器 (140) の非反転入力、前記第1の電源出力 (120) に関連して動作するように接続され、前記演算増幅器 (140) の反転入力、前記電源システム (100) の出力に関連して動作するように接続されている、上記6に記載の電源システム (100) 。

8 . あらかじめ選択された電圧が、抵抗器を介して、前記演算増幅器 (140) の前記非反転入力に関連して動作するように接続され、そのあらかじめ選択された電圧が、前記第1の電源 (112) の最大電圧出力未満である、上記6に記載の電源システム (100) 。

9 . ソースが、前記第2の電源出力 (170) に関連して動作するように接続され、ドレインが、前記第1のMOSFET (124) の前記ドレインに関連して動作するように接続されている、第2のMOSFET (174) と、

前記第2のMOSFET (174) の前記ソースと前記ドレインとの間に関連して動作するように接続され、前記第2のMOSFET (174) の前記ソースと前記ドレインとの間の電圧差を表す信号を発生するように適合されている測定装置出力を備える、第2の電圧測定装置 (180) と、

第2のコンパレータ入力と第2のコンパレータ出力を含んでおり、前記第2のコンパレータ入力、前記測定装置出力に関連して動作するように接続され、前記第2のコンパレータ出力が前記第2のMOSFET (174) のゲートに関連して動作するように接続されている、第2の電圧コンパレータ (190) とをさらに含む、上記4に記載の電源システム (100) 。

10 . 第1の電源出力 (120) を備える第1の電源 (112) を、第2の電源出力 (170) を備える第2の電源 (114) から分離するための方法であって、

第1のスイッチング装置の入力、第1のスイッチング装置の出力、及び第1のスイッチング装置の制御部を備える第1のスイッチング装置 (124) を準備するステップと、

前記第1のスイッチング装置の入力を前記第1の電源の出力 (120) に関連して動作するように接続するステップと、

前記第1のスイッチング装置の出力を前記第2の電源出力 (170) に関連して動作するように接続するステップと、

前記第1のスイッチング装置の入力と前記第1のスイッチング装置の出力との間の電圧差を測定するステップと、

前記電圧差があらかじめ選択された値より大きい場合、前記第1のスイッチング装置 (124) を介して電流を伝えるステップと、及び

前記電圧差が前記あらかじめ選択された値より大きくない場合、前記第1のスイッチング装置 (124) を介して流れる電流を遮断するステップとからなる、方法。

【0061】

【発明の効果】

本発明により、MOSFETを使用して並列に接続された電源が提供される。電源が並列接続されることにより、電源の冗長性が提供される。また、スイッチング装置として従来のダイオードの代わりにMOSFET等を用いたことにより、熱の発生が抑えられ、対流装置等の必要性がなくなると共に、熱による電子コンポーネントへの悪影響も少なくなる。

【図面の簡単な説明】

【図1】電源回路の略ブロック図である。

10

20

30

40

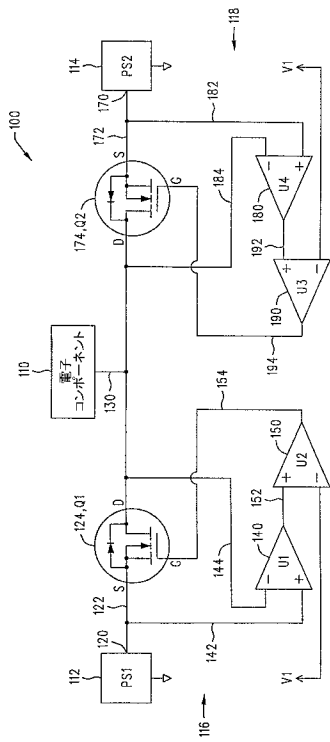
50

【図2】図1の電源回路の詳細な略回路図である。

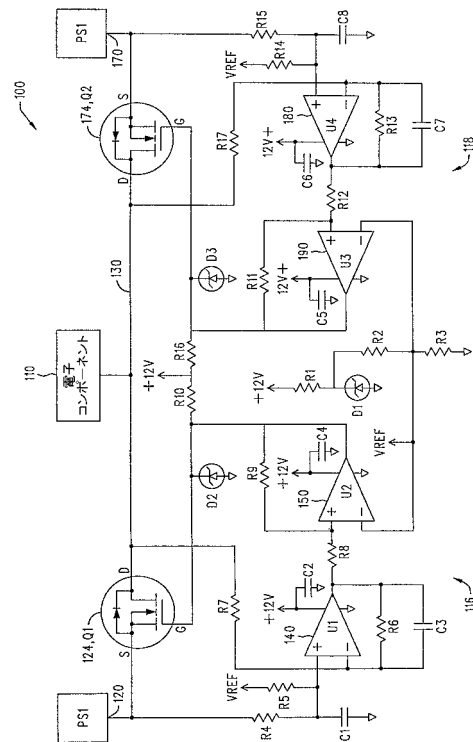
【符号の説明】

- 100 電源システム
- 112 第1の電源
- 114 第2の電源
- 120 第1の電源出力
- 124 第1のMOSFET
- 140 第1の差動増幅器
- 150 第1の電圧コンパレータ
- 170 第2の電源出力
- 174 第2のMOSFET
- 180 第2の差動増幅器
- 190 第2の電圧コンパレータ

【図1】



【図2】



フロントページの続き

- (72)発明者 ブラッドレイ・ディー・ウィニック
アメリカ合衆国コロラド州 8 0 5 2 8 , フォートコリンズ, クレストーン・サークル・4 8 4 7
- (72)発明者 ロバート・ビー・スミス
アメリカ合衆国コロラド州 8 0 5 3 8 , ラブランド, スプリング・グレード・ロード・7 7 6 2

合議体

- 審判長 田良島 潔
審判官 富江 耕太郎
審判官 槇原 進

- (56)参考文献 特開平 2 - 7 2 4 2 0 (J P , A)
特開平 3 - 1 7 7 9 0 8 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G05F1/00
H02M3/155