



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0121724
(43) 공개일자 2015년10월29일

(51) 국제특허분류(Int. Cl.)
H04L 25/493 (2006.01) H04L 25/02 (2006.01)
H04L 25/49 (2006.01) H04L 7/00 (2006.01)
H04L 7/027 (2006.01) H04L 7/033 (2006.01)
(52) CPC특허분류
H04L 25/493 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2015-7027168
(22) 출원일자(국제) 2014년03월07일
심사청구일자 없음
(85) 번역문제출일자 2015년10월01일
(86) 국제출원번호 PCT/US2014/021979
(87) 국제공개번호 WO 2014/138644
국제공개일자 2014년09월12일
(30) 우선권주장
61/774,408 2013년03월07일 미국(US)
(뒷면에 계속)

(71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
센고쿠 쇼이치로
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
와일리 조지 앨런
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

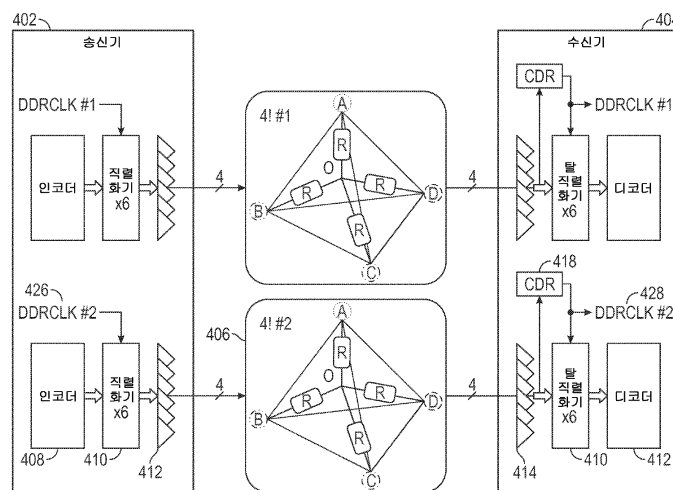
전체 청구항 수 : 총 41 항

(54) 발명의 명칭 신호 상태의 트랜지션시 클록 정보를 삽입하는 다중-와이어 시그널링을 위한 트랜스코딩 방법

(57) 요약

클록 신호가 심볼 트랜지션들 내에서 인코딩되는, 다중 와이어 시그널링 인코딩을 수행하는 방법이 제공된다. 데이터 비트들의 시퀀스는 복수의 m 개 트랜지션 넘버들로 변환된다. 각각의 트랜지션 넘버는 순차 심볼 넘버들의 세트로부터의 순차 심볼 넘버로 변환된다. 순차 심볼 넘버는 복수의 차동 드라이버들에 걸쳐 송신될 수 있는 원시 심볼로 변환된다. 원시 심볼은 복수의 n 개 와이어들에 걸쳐 확산되어 송신되고, 여기서 클록 신호는, 트랜지션 넘버로부터 순차 넘버로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과적으로 삽입된다. 원시 심볼은 복수의 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장된다.

대표도



(52) CPC특허분류

H04L 25/4906 (2013.01)

H04L 7/0066 (2013.01)

H04L 7/027 (2013.01)

H04L 7/033 (2013.01)

(30) 우선권주장

61/774,247 2013년03월07일 미국(US)

61/778,768 2013년03월13일 미국(US)

14/199,898 2014년03월06일 미국(US)

(72) 발명자

이 철규

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

청 조셉

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

다중 와이어 시그널링 인코딩을 수행하는 방법으로서,

데이터 비트들의 시퀀스를 복수의 m 개 트랜지션 넘버 (transition number) 들로 변환하는 단계;

각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버 (sequential number) 로 변환하는 단계;

상기 순차 넘버를 원시 심볼로 변환하는 단계; 및

상기 원시 심볼을 복수의 차동 드라이버들을 통해 송신하고 복수의 n 개 와이어들에 걸쳐 확산하는 단계를 포함하며,

트랜지션 넘버로부터 순차 넘버로의 상기 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 클록 신호가 상기 원시 심볼들의 송신시 효과적으로 삽입되는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 2

제 1 항에 있어서,

상기 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 단계는,

복수의 트랜지션 넘버들을 순차 넘버로 변환하는 단계를 포함하는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 3

제 1 항에 있어서,

상기 순차 넘버를 원시 심볼로 변환하는 단계는,

상기 순차 넘버를 복수의 원시 심볼들로 변환하는 단계를 포함하는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 4

제 1 항에 있어서,

상기 복수의 n 개 와이어들은 이상인, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 5

제 1 항에 있어서,

상기 복수의 n 개 와이어들은 이상인, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 6

제 1 항에 있어서,

상기 원시 심볼은 상기 복수의 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장되는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 7

제 1 항에 있어서,

상기 n 개 와이어들의 쌍들에 걸친 n 계승 차동 신호에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버

들로 표현되며, 상기 r 은 $n!-1$ 인, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 8

제 1 항에 있어서,

상기 순차 넘버는 직전의 순차 심볼 넘버로부터의 트랜지션에 기초하여 상기 트랜지션 넘버로부터 선택되는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 9

제 1 항에 있어서,

상기 클록 신호를 사용하여 원시 심볼 송신들을 동기화하는 단계를 더 포함하는, 다중 와이어 시그널링 인코딩을 수행하는 방법.

청구항 10

다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로로서,

데이터 비트들의 시퀀스를 복수의 m 개 트랜지션 넘버들로 변환하는 비트들 대 트랜지션 넘버 컨버터;

각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 트랜지션 넘버 대 순차 넘버 컨버터;

순차 넘버를 원시 심볼로 변환하는 순차 넘버 대 원시 심볼 컨버터; 및

복수의 n 개 와이어들에 걸쳐 확산된 상기 원시 심볼을 송신하는 복수의 차동 드라이버들을 포함하며,

트랜지션 넘버로부터 순차 넘버로의 상기 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 클록 신호가 원시 심볼들의 송신시 효과적으로 삽입되는, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 11

제 10 항에 있어서,

상기 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 트랜지션 넘버들을 순차 넘버로 변환하는 것을 포함하는, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 12

제 10 항에 있어서,

상기 순차 넘버를 원시 심볼로 변환하는 것은 상기 순차 넘버를 복수의 원시 심볼들로 변환하는 것을 포함하는, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 13

제 10 항에 있어서,

상기 복수의 n 개 와이어들은 3 이상인, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 14

제 10 항에 있어서,

상기 복수의 n 개 와이어들은 4 이상인, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 15

제 10 항에 있어서,

상기 원시 심볼은 상기 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장되는, 다중 와이어

어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 16

제 10 항에 있어서,

상기 n 개 와이어들의 쌍들에 걸친 n 계승 차동 신호에 대하여, r^m 개의 가능한 상이한 상태들이 상기 트랜지션 번호들로 표현되며, 상기 r 은 $n!-1$ 인, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 17

제 10 항에 있어서,

상기 복수의 차동 드라이버들은 ${}_nC_2$ 와 동일하고, 상기 ${}_nC_2 = n(n-1)/2$ 인, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 18

제 10 항에 있어서,

상기 복수의 차동 드라이버들은 n 와 동일한, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 19

제 10 항에 있어서,

상기 순차 넘버는 직전의 순차 심볼 넘버로부터의 트랜지션에 기초하여 상기 트랜지션 넘버로부터 선택되는, 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로.

청구항 20

인코딩 회로로서,

데이터 비트들의 시퀀스를 복수의 m 개 트랜지션 넘버들로 변환하는 수단;

각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 수단;

상기 순차 넘버를 원시 심볼로 변환하는 수단; 및

상기 원시 심볼을 복수의 차동 드라이버들을 통해 송신하고 복수의 n 개 와이어들에 걸쳐 확산하는 수단을 포함하며,

트랜지션 넘버로부터 순차 넘버로의 상기 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 클록 신호가 상기 원시 심볼들의 송신시 효과적으로 삽입되는, 인코딩 회로.

청구항 21

다중 와이어 시그널링 디코딩을 수행하는 방법으로서,

복수의 차동 수신기들을 통해 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 수신하는 단계;

상기 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 단계;

각각의 순차 넘버를 트랜지션 넘버로 변환하는 단계;

복수의 트랜지션 넘버들을 데이터 비트들의 시퀀스로 변환하는 단계; 및

원시 심볼들의 수신으로부터 클록 신호를 추출하는 단계를 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 22

제 21 항에 있어서,

상기 각각의 순차 넘버를 트랜지션 넘버로 변환하는 단계는,

순차 넘버를 복수의 트랜지션 넘버들로 변환하는 단계를 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 23

제 21 항에 있어서,

상기 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 단계는,

복수의 원시 심볼들을 순차 넘버로 변환하는 단계를 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 24

제 21 항에 있어서,

상기 복수의 n 개 와이어들은 이상인, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 25

제 21 항에 있어서,

상기 복수의 n 개 와이어들은 이상인, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 26

제 21 항에 있어서,

상기 원시 심볼은 상기 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장되는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 27

제 21 항에 있어서,

상기 n 개 드라이버들에 걸친 n 계승 차동 시그널링에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 상기 r 은 $n!-1$ 인, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 28

제 21 항에 있어서,

상기 트랜지션 넘버는 상기 순차 넘버로부터 및 직전의 순차 심볼 넘버에 기초하여 선택되는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 29

제 21 항에 있어서,

상기 클록 신호를 사용하여 원시 심볼 수신들을 동기화하는 단계를 더 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 방법.

청구항 30

다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로로서,

복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 수신하는 복수의 차동 수신기들;

상기 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 원시 심볼 대 순차 넘버 컨버터;

각각의 순차 넘버를 트랜지션 넘버로 변환하는 순차 넘버 대 트랜지션 넘버 컨버터;

복수의 트랜지션 넘버들을 데이터 비트들의 시퀀스로 변환하는 트랜지션 넘버 대 비트들 컨버터; 및

원시 심볼들의 수신으로부터 클록 신호를 추출하는 클록 데이터 복원 회로를 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 31

제 30 항에 있어서,

각각의 순차 넘버를 트랜지션 넘버로 변환하는 것은 순차 넘버를 복수의 트랜지션 넘버들로 변환하는 것을 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 32

제 30 항에 있어서,

상기 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 원시 심볼들을 순차 넘버로 변환하는 것을 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 33

제 30 항에 있어서,

상기 복수의 n 개 와이어들은 3 이상인, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 34

제 30 항에 있어서,

상기 복수의 n 개 와이어들은 4 이상인, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 35

제 30 항에 있어서,

상기 원시 심볼은 상기 복수의 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장되는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 36

제 30 항에 있어서,

상기 n 개 드라이버들에 걸친 n 계승 차동 시그널링에 대하여, r^{th} 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 인, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 37

제 30 항에 있어서,

상기 복수의 차동 드라이버들은 nC_2 와 동일하고, 상기 $nC_2 = n(n-1)/2$ 인, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 38

제 30 항에 있어서,

상기 복수의 차동 드라이버들은 n 과 동일한, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 39

제 30 항에 있어서,

상기 트랜지션 넘버는 상기 순차 넘버로부터 및 직전의 순차 심볼 넘버에 기초하여 선택되는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 40

제 30 항에 있어서,

상기 원시 심볼 수신은 상기 클록 신호를 사용하여 동기화되는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

청구항 41

다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로로서,

복수의 차동 수신기들을 통해 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 수신하는 수단;

상기 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 수단;

각각의 순차 심볼 넘버를 트랜지션 넘버로 변환하는 수단;

복수의 트랜지션 넘버들을 데이터 비트들의 시퀀스로 변환하는 수단; 및

원시 심볼들의 수신으로부터 클록 신호를 추출하는 수단을 포함하는, 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로.

발명의 설명

기술 분야

[0001]

35 U.S.C. § 119 하의 우선권 주장

[0002]

본 특허 출원은:

[0003]

"Transcoding Method For Multi-Wire Signaling That Embeds Clock Information In Transition Of Signal State" 의 명칭으로 2013 년 3 월 7 일자로 출원된 미국 가출원 제 61/774,408 호,

[0004]

"Transcoding Method For Multi-Wire Signaling That Embeds Clock Information In Transition Of Signal State" 의 명칭으로 2013 년 3 월 13 일자로 출원된 미국 가출원 제 61/778,768 호, 및

[0005]

"Circuit To Recover A Clock Signal From Multiple Wire Data Signals That Changes State Every State Cycle And Is Immune To Data Inter-Lane Skew As Well As Data State Transition Glitches" 의 명칭으로 2013 년 3 월 7 일자로 출원된 미국 가출원 제 61/774,247 호를 우선권 주장하며, 이들 가출원들 모두는 본원의 양수인에게 양도되고 이에 의해 본원에서 참조로서 명확히 통합된다.

[0006]

기술 분야

[0007]

본 개시물은 다중 신호 데이터 전송의 사이클들 내에서 클록 신호를 송신 및/또는 인코딩하는 것과 관련된다.

배경 기술

[0008]

다중 신호 데이터 전송, 예컨대 3-상 또는 N-계승 LVDS (low-voltage differential signaling) 과 같은 다중 와이어 차동 시그널링에 있어서, 트랜스코딩 (예컨대, 하나의 인코딩의 다른 인코딩으로의 디지털 대 디지털 데이터 변환) 은 개별 데이터 레인들 (송신 경로들) 에서 클록 정보를 전송하는 대신, 매 심볼 사이클에서 심볼 트랜지션을 발생함으로써 심볼 클록 정보를 삽입하기 위해 실행될 수도 있다. 그러한 트랜스코딩에 의해 클록 정보를 삽입하는 것은, 클록과 데이터 신호들 간에 스큐를 최소화할 뿐만 아니라, 데이터 신호들로부터 클록 정보를 복원하기 위한 위상 고정 루프 (PLL) 의 필요성을 제거하는데 있어 효과적인 방식이다.

[0009]

일부 트랜스코딩 솔루션들 (예컨대, 3-와이어 차동 시그널링 및/또는 3-상 시그널링) 은 삽입된 클록 정보를 구현하지만, 스케일러빌리티가 부족하다.

[0010]

따라서, N 계승 차동 시그널링과 같은 다중-와이어 시그널링에서 사용된 임의의 수의 와이어들, 및 임의의 이전 수로부터 트랜스코딩될 그룹의 임의의 수의 심볼들을 지원하는 효율적인 트랜스코딩 방법이 요구된다.

발명의 내용

과제의 해결 수단

- [0011] 다중 와이어 시그널링 인코딩을 수행하는 방법이 제공된다. 데이터 비트들의 시퀀스는 복수의 m 개 트랜지션 넘버 (transition number) 들로 변환된다. 각각의 트랜지션 넘버는 순차 넘버들의 세트로부터의 순차 넘버 (sequential number) 로 변환된다. 순차 넘버는 원시 심볼로 변환된다. 원시 심볼은 복수의 차동 드라이버들을 통해 송신되고 복수의 n 개 와이어들에 걸쳐 확산되며, 여기서 클록 신호는, 트랜지션 넘버로부터 순차 넘버로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과적으로 삽입된다. 원시 심볼 송신들은 클록 신호를 사용하여 동기화될 수도 있다. 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 트랜지션 넘버들을 순차 넘버로 변환하는 것을 포함할 수도 있다. 순차 넘버를 원시 심볼로 변환하는 것은 순차 넘버를 복수의 원시 심볼들로 변환하는 것을 포함할 수도 있다. 일 실시예에서, 복수의 n 개 와이어들은 3 또는 4 이상일 수도 있다. 원시 심볼은 복수의 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장된다. n 개 와이어들의 쌍들에 걸친 n 계승 차동 신호에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 이고 m 은 복수의 트랜지션 넘버들이다. 순차 넘버는 직전의 순차 심볼 넘버로부터의 트랜지션에 기초하여 트랜지션 넘버로부터 선택될 수도 있다.
- [0012] 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로가 제공된다. 비트들 대 트랜지션 넘버 컨버터는 데이터 비트들의 시퀀스를 복수의 m 개 트랜지션 넘버들로 변환할 수도 있다. 트랜지션 넘버 대 순차 넘버 컨버터는 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환할 수도 있다. 순차 넘버 대 원시 심볼 컨버터는 순차 넘버를 원시 심볼로 변환할 수도 있다. 복수의 차동 드라이버들은 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 송신할 수도 있고, 여기서 클록 신호는, 트랜지션 넘버로부터 순차 넘버로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과적으로 삽입된다.
- [0013] n 개 와이어들의 쌍들에 걸친 n 계승 차동 신호에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 이고 m 은 복수의 트랜지션 넘버들이다.
- [0014] 일 실시예에서, 복수의 차동 드라이버들은 ${}_nC_2$ 와 동일하고, 여기서 ${}_nC_2 = n(n-1)/2$ 이다. 다른 실시예에서, 복수의 차동 드라이버들은 n 과 동일하다.
- [0015] 순차 넘버는 직전의 순차 심볼 넘버로부터의 트랜지션에 기초하여 트랜지션 넘버로부터 선택될 수도 있다.
- [0016] 다중 와이어 시그널링 디코딩을 수행하는 방법이 제공된다. 원시 심볼은 복수의 차동 수신기들을 통해 복수의 n 개 와이어들에 걸쳐 확산되어 수신된다. 원시 심볼은 순차 넘버들의 세트로부터의 순차 넘버로 변환될 수도 있다. 각각의 순차 넘버는 트랜지션 넘버로 변환될 수도 있다. 복수의 트랜지션 넘버들은 데이터 비트들의 시퀀스로 변환될 수도 있다. 클록 신호는 원시 심볼들의 수신으로부터 추출될 수도 있다. 원시 심볼 수신은 클록 신호를 사용하여 동기화될 수도 있다.
- [0017] 각각의 순차 넘버를 트랜지션 넘버로 변환하는 것은 순차 넘버를 복수의 트랜지션 넘버들로 변환하는 것을 포함할 수도 있다. 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 원시 심볼들을 순차 넘버로 변환하는 것을 포함할 수도 있다. 다양한 실시예들에서, 복수의 n 개 와이어들은 3 또는 4 이상이다. 원시 심볼은 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장된다. n 개 드라이버들에 걸친 n 계승 차동 시그널링에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 이다. 트랜지션 넘버는 직전의 순차 심볼 넘버에 기초하여 순차 넘버로부터 선택될 수도 있다.
- [0018] 다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로가 또한 제공된다. 복수의 차동 수신기들은 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 수신할 수도 있다. 원시 심볼 대 순차 넘버 컨버터는 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환할 수도 있다. 순차 넘버 대 트랜지션 넘버 컨버터는 각각의 순차 넘버를 트랜지션 넘버로 변환할 수도 있다. 트랜지션 넘버 대 비트들 컨버터는 복수의 트랜지션 넘버들을 데이터 비트들의 시퀀스로 변환할 수도 있다. 클록 데이터 복원 회로는 원시 심볼들의 수신으로부터 클록 신호를 추출할 수도 있다. 원시 심볼 수신은 클록 신호를 사용하여 동기화될 수도 있다.
- [0019] 일 실시예에서, 복수의 차동 드라이버들은 ${}_nC_2$ 와 동일하고, 여기서 ${}_nC_2 = n(n-1)/2$ 이다. 다른 실시예에서, 복수의 차동 드라이버들은 n 과 동일하다. 트랜지션 넘버는 순차 넘버로부터 및 직전의 순차

심볼 넘버에 기초하여 선택될 수도 있다.

도면의 간단한 설명

[0020]

다양한 특징들, 특성, 및 이점들은 도면들과 함께 취해질 경우에 하기에 기재된 상세한 설명으로부터 더 명백하게 될 수도 있으며, 도면들에 있어서 동일한 참조 부호들은 전반에 걸쳐 대응하게 식별한다.

도 1 은 송신기 디바이스와 수신기 디바이스 간에 사용된 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다.

도 2 는 송신기 디바이스와 수신기 디바이스 간에 사용된 다른 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다.

도 3 은 송신기 디바이스와 수신기 디바이스 간에 사용된 또 다른 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다.

도 4 는 송신기 디바이스와 수신기 디바이스 간에 사용된 또 다른 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다.

도 5 는 클록이 심볼 트랜지션들 내로 통합되는 송신기 (인코더) 디바이스의 블록 다이어그램이다.

도 6 은 통합된 클록 복원을 갖는 수신기 (디코더) 디바이스의 블록 다이어그램이다.

도 7 은 송신기에서 비트들로부터 심볼 트랜지션 넘버들로, 그 후에 수신기에서 심볼 트랜지션 넘버들로부터 비트들로의 변환을 도시한다.

도 8 은 순차 심볼 넘버들 및 심볼 트랜지션 넘버들 간의 변환을 도시한다.

도 9 는 (n=3 와이어 시스템에 대하여) 원시 심볼들 대 순차 심볼 넘버간의 변환을 도시하는 표이다.

도 10 은 입력 드라이버들 및 출력 수신기들뿐만 아니라 다양한 노드들 중에서의 전류 흐름을 보여주는 3-와이어 종단 네트워크를 도시한다.

(도 11a 및 도 11b 를 포함하는) 도 11 은 입력 드라이버들 및 출력 수신기들뿐만 아니라 다양한 노드들 중에서의 전류 흐름을 보여주는 4-와이어 종단 네트워크를 도시한다.

도 12 는 송신기 드라이버들, 수신기 드라이버들, 및 4-와이어 종단 네트워크를 보여주는 송신기 대 수신기 트랜스코딩 방식을 도시한다.

(도 13a 및 도 13b 를 포함하는) 도 13 은 원시 심볼들과 n=4 에 대하여 제로 차동 전압을 갖는 심볼들의 다양한 조합들을 보여주는 표이다.

도 14 는 도 13a 및 도 13b 로부터 획득된 비-제로 차동 전압 원시 심볼들 (Sraw) 을 갖는 표를 도시한다.

도 15 는 n-와이어 시스템에 대하여 비트들 대 심볼 트랜지션 넘버들의 변환을 도시하는 블록 다이어그램이다.

도 16 은 (그룹당 7 개 심볼들을 갖는 n=3 에 대한) 3-와이어 시스템에 대하여 비트들 대 심볼 트랜지션 넘버의 변환의 일 실시예를 도시하는 예시적인 인코더의 블록 다이어그램이다.

도 17 은 (그룹당 7 개 심볼들을 갖는 n=3 에 대한) 3-와이어 시스템에 대하여 심볼 트랜지션 넘버들 대 비트들의 변환의 일 실시예를 도시하는 예시적인 디코더의 블록 다이어그램이다.

도 18 은 n-계승 (또는 n!) 트랜스코딩 방식에 대하여 일반화되기 위한 예시적인 송신기 및 수신기 디바이스들을 도시하는 블록 다이어그램이다.

도 19 는 w=8 일 경우 4! m=2 케이스에 대하여 버스화된 트랜스코딩 (오직 RX 측) 의 일 실시예를 도시하는 블록 다이어그램이다.

도 20 은 그룹 당 다양한 심볼들로 3-와이어 시스템에 대한 활용 표를 도시한다.

도 21 은 그룹 당 다양한 심볼들로 4-와이어 시스템에 대한 활용 표를 도시한다.

도 22 는 그룹 당 다양한 심볼들로 5-와이어 시스템에 대한 활용 표를 도시한다.

도 23 은 그룹 당 다양한 심볼들로 6-와이어 시스템에 대한 활용 표를 도시한다.

도 24 는 그룹 당 다양한 심볼들로 7-와이어 시스템에 대한 활용 표를 도시한다.

도 25 는 클록 신호가 심볼 트랜지션들 내에서 인코딩되는, 다중 와이어 시그널링 인코딩을 수행하는 방법을 도시한다.

도 26 은 클록 신호가 심볼 트랜지션들로부터 추출되는, 다중 와이어 시그널링 디코딩을 수행하는 방법을 도시한다.

도 27 은 상태 트랜지션들 (원시 심볼 트랜지션들) 에 기초하여 통합된 클록을 갖는 3-와이어 차동 시그널링 방식을 도시한다.

도 28 은 N-계승 차동 시그널링에 대한 표 (2802) 를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0021] 다음의 설명에서, 실시형태들의 완전한 이해를 제공하기 위해 특정 세부사항들이 주어진다. 그러나, 실시형태들은 이러한 특정 세부사항이 없이 실시될 수도 있음이 당업자에 의해 이해될 것이다. 예를 들어, 회로들은, 그 실시형태들을 불필요한 세부사항으로 불명료하게 하는 것을 회피하기 위해 블록 다이어그램들로 도시될 수도 있다. 다른 예시들에 있어서, 잘 알려진 회로들, 구조들 및 기술들은 본 개시의 양태들을 불명료하게 하지 않도록 상세히 나타내지 않을 수도 있다.

[0022] **개관**

[0023] 복수의 와이어들에 걸친 차동 시그널링을 사용하여 트랜스코딩 시스템들을 전달하는, 다양한 트랜스코딩 방법들.

[0024] 제 1 양태는 클록 신호가 심볼 트랜지션들 내에 인코딩되는 다중 와이어 시그널링 인코딩을 제공한다. 데이터 비트들의 시퀀스는 복수의 m 개 트랜지션 번호들로 변환된다. 각각의 트랜지션 번호는 순차 심볼 번호들의 세트로부터의 순차 심볼 번호로 변환된다. 순차 심볼 번호는 원시 심볼로 변환된다. 원시 심볼은 복수의 차동 드라이버들을 통해 송신되고 복수의 n 개 와이어들에 걸쳐 확산되며, 여기서 클록 신호는, 트랜지션 번호로부터 순차 번호로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과적으로 삽입된다.

[0025] 제 2 양태는 클록 신호가 심볼 트랜지션들로부터 추출되는 다중 와이어 시그널링 디코딩을 제공한다. 원시 심볼은 복수의 차동 수신기들을 통해 복수의 n 개 와이어들에 걸쳐 확산되어 수신된다. 원시 심볼은 순차 심볼 번호들의 세트로부터의 순차 심볼 번호로 변환된다. 각각의 순차 심볼 번호는 트랜지션 번호로 변환된다. 복수의 트랜지션 번호들은 데이터 비트들의 시퀀스로 변환된다. 클록 신호는 원시 심볼들의 트랜지션으로부터 추출된다.

[0026] **전용 클록 채널 및/또는 위상 고정 루프 하드웨어를 갖는 예시적인 트랜스코딩 시스템들**

[0027] 도 1 은 송신기 디바이스 (102) 와 수신기 디바이스 (104) 간에 사용된 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다. 계승 데이터 인코딩/디코딩 방식은 인코더 (110), 송신기 회로 (112), 물리적 와이어들 (107) (예컨대, 4 개의 컨덕터들, 라인들 또는 전기 경로들), 사면체 종단 네트워크 (106), 및 수신기 회로 (114), 및 디코더 (116) 를 포함할 수도 있다. 송신기 회로 (112) 는 데이터 스트림들을 직렬화하는 직렬화기 (118), 및 복수의 드라이버들 (120) 을 포함할 수도 있다. 수신기 회로 (114) 는 복수의 수신기들 (122) 및 데이터 스트림들을 탈직렬화 (deserialize) 하는 탈직렬화기 (124) 를 포함할 수도 있다. 사면체 종단 네트워크 (106) 는 실제로 송신기 (102) 와 수신기 (104) 의 각각의 인터페이스에 존재하며, 복수의 와이어들 (즉, 이 실시예에서는 와이어들 A, B, C, 및 D) 은 송신기 (102) 와 수신기 (104) 의 종단 네트워크들 간에 커플링되는 것이 명백하여야만 한다. 이러한 실시예에서, 6 개의 드라이버들 (120) 이 4 개의 컨덕터들에 걸쳐 송신되는 4 개의 차동 신호들을 생성하는데 사용될 수도 있다. 그러나, 다른 수의 드라이버들 및 차동 신호들이 다른 구현들에서 사용될 수도 있다.

[0028] 개별 레인 (lane) 은 클록 채널 (108) 로서 사용될 수도 있다. 이러한 접근방식의 단점은, 그 접근방식이 데이터 스큐를 조래하고 구현을 위해 2 개의 초과 라인들을 요구한다는 점이다.

- [0029] 도 2 는 송신기 디바이스 (202) 와 수신기 디바이스 (204) 간에 사용된 다른 4 계승 변조 데이터 인코딩/디코딩 방식 (206) 을 도시한다. 계승 데이터 인코딩/디코딩 방식은 인코더 (210), 송신기 회로 (212), 물리적 와이어들 (예컨대, 4 개의 컨덕터들, 또는 라인들), 사면체 중단 네트워크 (206), 및 수신기 회로 (214), 및 디코더 (216) 를 포함할 수도 있다. 이 실시예에서, 인코더/디코더 시스템에서 하나의 드라이버-수신기 쌍 (208a/208b) 은 지금부터 클록 신호를 송신/수신하는데 사용된다. 그러나, 데이터 송신들을 위해 6 개의 드라이버들을 사용하는 것보다, 오직 5 개의 드라이버들 (220) 만이 데이터 송신들을 위해 사용되고, 하나의 드라이버 (208a) 는 클록 신호를 위해 사용된다. 클록 신호를 위해 드라이버-수신기 쌍 (208a 및 208b) 을 지정한 결과로서, (데이터 송신을 위해) 심볼당 송신된 상태들의 수는 절반으로 감소된다. 예를 들어, 4-계승 시그널링의 경우에, 모든 비트들이 데이터를 위해 사용된다면, 심볼당 24 개 상태들이 일반적으로 전송될 수도 있다. 하나의 드라이버-수신기 쌍이 클록 신호를 위해 사용되는 경우에, 심볼들 당 오직 12 개의 상태들만이 송신된다.
- [0030] 도 3 은 송신기 디바이스 (302) 와 수신기 디바이스 (304) 간에 사용된 다른 4 계승 변조 데이터 인코딩/디코딩 방식 (306) 을 도시한다. 이 실시예에서, 직렬화기 (318) 는 클록 신호 (326) 에 의해 동기화될 수도 있다. 위상 고정 루프들 (308) 은 클록 신호 (328) 를 추출하기 위해 수신기 (304) 에서 사용될 수도 있다. 예를 들어, 논-리턴-투-제로 디코딩이 데이터 신호들로부터 클록 신호를 추출하기 위해 구현될 수도 있다. 그러나, 이러한 접근방식은, 전력을 소비하고 반도체 디바이스에서 공간을 차지하는 위상 고정 루프들 (308) 을 요구한다.
- [0031] **심볼 트랜지션들에 기초한 통합된 클록을 갖는 예시적인 다중 와이어 시스템**
- [0032] 도 4 는 다중 와이어 송신 경로를 통해 송신기 디바이스 (402) 와 수신기 디바이스 (404) 간에 사용된 또 다른 4 계승 변조 데이터 인코딩/디코딩 방식을 도시한다. 송신기 디바이스 (402) 에서, 인코더 (408), 직렬화기 (SER) 모듈 (410), 복수의 차동 드라이버들 (412), 및 중단 네트워크 (406) 는 4 계승 변조 데이터 인코딩 방식을 구현하도록 구성될 수도 있다. 수신기 (404) 에서, 중단 네트워크 (406), 수신기들 또는 싱크들 (414), 탈직렬화기 (DES) 모듈 (410), 및 디코더 (412) 는 4 계승 변조 데이터 디코딩 방식을 구현하도록 구성될 수도 있다. 중단 네트워크 (406) 는 실제로 송신기 (402) 와 수신기 (404) 의 각각의 인터페이스에 존재하며, 복수의 와이어들 (즉, 이 실시예에서는 와이어들 A, B, C, 및 D) 은 송신기 (402) 와 수신기 (404) 의 중단 네트워크들 간에 커플링되는 것이 명백하여야만 한다.
- [0033] 도 1 및 도 2, 또는 도 3 에 도시된 접근방식들에 비해, 도 4 의 접근방식은 개별 클록 채널, 개별 송신기/수신기, 및 클록 정보를 추출하기 위해 PLL 을 요구하는 논-리턴-투-제로 디코딩 중 어느 것도 사용하지 않는다. 대신, 클록 신호 (426) 는 데이터를 운반중인 심볼 트랜지션들 내에 삽입될 수도 있다. 클록 데이터 복원 회로 (418) 는 클록 (428) 을 추출하기 위해 심볼 트랜지션들을 디코딩한다.
- [0034] 이러한 접근방식에서, 복수의 와이어들 (예컨대, 컨덕터들, 라인들, 등) 은 다수의 심볼들을 운반중인 차동 인코딩된 신호들을 운반한다. n 개의 와이어들 (예컨대, 컨덕터들 또는 라인들) 이 차동 신호를 송신하는데 사용된다면, 최대 $n!-1$ 개 심볼들이 n 개 와이어들을 사용하여 표현될 수도 있다. 용어 "와이어" 및/또는 "와이어들" 은 광범위하게 해석되고, 2 개의 포인트들 간에 신호를 전달하는 기능을 할 수도 있는 모든 형태의 물리적인 컨덕터들, 경로들, 라인들, 등등을 포함하는 것으로 고려된다.
- [0035] 이러한 트랜스코딩 시스템 내에서, 클록 신호는 심볼 트랜지션들로부터 추출된다. 이러한 트랜스코딩 방식에서, (a) 원시 심볼들과 순차 심볼 넘버들 사이, (b) 순차 심볼 넘버들과 심볼 트랜지션 넘버들 사이, 및 (c) 심볼 트랜지션 넘버들과 비트들 사이의 3 개의 변환들이 고려된다. 트랜스코딩 방식은 연속하는 원시 심볼들이 서로 상이하도록 (즉, 매 사이클마다 트랜지션하도록) 보장되는 것을 보장하도록 설계된다. 결과적으로, 원시 심볼 트랜지션들은 클록 신호를 생성하거나, 구성하거나, 추출하기 위해 수신기 (404) 에 의해 사용될 수 있다.
- [0036] 도 5 는 클록이 심볼 트랜지션들 내로 통합되는 송신기 (인코더) 디바이스 (402) 의 블록 다이어그램이다. 송신기 디바이스 (402) 는 비트들 대 트랜지션 심볼들 컨버터 (502), 트랜지션 심볼 대 순차 심볼 컨버터 (504), 순차 심볼 대 원시 심볼 컨버터 (506), 및 복수의 n 개 와이어들에 걸쳐 원시 심볼들을 송신하는 복수의 드라이버들 (508) 을 포함할 수도 있다.
- [0037] 도 6 은 통합된 클록 복원을 갖는 수신기 (디코더) 디바이스 (404) 의 블록 다이어그램이다. 수신기 디바이

스 (404) 는 복수의 n 개 와이어들에 걸쳐 원시 심볼들을 수신하는 복수의 수신기들 (608), 원시 심볼 대 순차 심볼 컨버터 (606), 순차 심볼 대 트랜지션 심볼 컨버터 (604), 및 심볼 트랜지션들 대 비트들 컨버터 (602) 를 포함할 수도 있다.

[0038] **비트들과 심볼 트랜지션 넘버들 간의 예시적인 변환**

[0039] 도 7 은 송신기 (702) 에서 비트들로부터 심볼 트랜지션 넘버들로, 그 후에 수신기 (704) 에서 심볼 트랜지션 넘버들로부터 비트들로의 변환을 도시한다. 송신기 (702) 는 이진 정보, 비트들을 "비트들 대 $m \times T$ " 컨버터 (706) 에 제공하여 m 개 심볼 트랜지션 넘버들, T_0 내지 T_{m-1} 을 생성한다. 수신기 (704) 는 m 개 심볼 트랜지션 넘버들 T_0 내지 T_{m-1} 을 수신하고, 이 심볼 트랜지션 넘버들은 " $m \times T$ 대 비트들" 컨버터 (708) 에 제공되어 이진 정보, 비트들을 추출한다. 만약 하나의 T 당 r 개의 가능한 심볼 트랜지션 상태들이 존재한다면, T_0 내지 T_{m-1} , 즉 m 개 트랜지션들은 r^m 개의 상이한 상태들을 전송할 수 있다. $N!$ 차동 시그널링에 대하여, $r = n! - 1$ 이다. 결과적으로, 트랜지션들 $T_0 \dots T_{m-1}$ 은 $(n! - 1)^m$ 의 상이한 상태들을 가질 수 있는 데이터를 포함한다.

[0040] 일 실시예에서, 하나의 T 당 가능한 심볼 트랜지션, 즉 r 은 10 인 것으로 가정될 수도 있다. 또한, 그룹에서의 심볼들의 개수, 즉 m 은 3 이라고 가정하며, 따라서 심볼 트랜지션 넘버는 T_2, T_1, T_0 이고, 여기서 $T_i : 0, 1, 2, \dots, 9$ 이다. 따라서, 각각의 T 는 10 개의 상이한 상태들을 가질 수 있다. 따라서, T_2, T_1, T_0 에 대한 심볼 트랜지션 넘버는 예컨대, $T_2=3, T_1=9, T_0=1$ (또는 십진수 391) 과 같은 3 자리 숫자일 수도 있다. 이러한 방식으로, 비트들의 시퀀스는 복수의 심볼 트랜지션 넘버들 T 로 또는 그 반대로 변환될 수도 있다.

[0041] 다른 실시예에서, $3! (n=3)$ 이면, 하나의 T 당 가능한 심볼 트랜지션, 즉 r 은 5 ($= 3! - 1$) 인 것으로 가정될 수도 있다. 그룹에서의 심볼들의 개수, 즉 m 이 4 이면, 4 자리의 5진수 (베이스-5 수) 는: T_3, T_2, T_1, T_0 이고, 여기서 각각의 $T_i : 0, 1, 2, 3, 4$ 이다. 예를 들어, $T_3=1, T_2=2, T_1=0, T_0=3$ 에 대하여, 5진수는 $1203_5 = 1 \times 5^3 + 2 \times 5^2 + 0 \times 5^1 + 3 \times 5^0 = 178$ 이다. 이러한 방식으로 4 개의 트랜지션 넘버들이 하나의 숫자로 변환될 수도 있다. 트랜지션 숫자 1203_5 는 예컨대, 도 8 에서의 트랜지션 넘버로서 사용될 수도 있고, 따라서 각각의 정수는 순차 심볼로 맵핑될 수도 있고, 그 반대로 가능할 수도 있음을 유의한다.

[0042] 도 15 는 n -와이어 시스템에 대하여 비트들 대 심볼 트랜지션 넘버들의 변환을 도시하는 블록 다이어그램이다. 비트들로부터 심볼 트랜지션 넘버들 T 로의 이러한 변환은, 송신기 (1502) 의 부분일 수도 있는 인코더 (1504) 내의 비트들 대 심볼 트랜지션 넘버 컨버터 (1506) 에 의해 수행될 수도 있다. 송신기 (1502) 및 인코더 (1504) 는 도 5 에 도시된 것과 유사하게 동작할 수도 있다.

[0043] 도 16 은 (그룹당 7 개 심볼들을 갖는 $n=3$ 에 대한) 3-와이어 시스템에 대하여 비트들 대 심볼 트랜지션 넘버의 변환의 일 실시예를 도시하는 예시적인 인코더의 블록 다이어그램이다. 송신기 디바이스 (1602) 는 비트 대 심볼 트랜지션 넘버 컨버터 (1606), 심볼 트랜지션 넘버 대 순차 심볼 넘버 컨버터 (1608), 및 순차 심볼 넘버 대 원시 심볼 컨버터 (1610), 및 복수의 3 개 와이어들에 걸쳐 원시 심볼들을 송신하는 3 개의 드라이버들 (1612) 을 구현하는 인코더 (1604) 를 포함할 수도 있다. 송신기 (1602) 및 인코더 (1604) 는 도 5 에 도시된 것과 유사하게 동작할 수도 있다.

[0044] 도 17 은 (그룹당 7 개 심볼들을 갖는 $n=3$ 에 대한) 3-와이어 시스템에 대하여 심볼 트랜지션 넘버들 대 비트들의 변환의 일 실시예를 도시하는 예시적인 디코더의 블록 다이어그램이다. 수신기 디바이스 (1702) 는 복수의 n 개 와이어들에 걸쳐 원시 심볼들을 수신하는 복수의 수신기들 (1703), 원시 심볼 대 순차 심볼 넘버 컨버터 (1706), 순차 심볼 넘버 대 심볼 트랜지션 넘버 컨버터 (1708), 및 심볼 트랜지션 넘버 대 원시 비트들 컨버터 (1710) 를 포함할 수도 있다. 수신기 (1702) 및 디코더 (1704) 는 도 6 에 도시된 것과 유사하게 동작할 수도 있다.

[0045] **순차 심볼들과 심볼 트랜지션 넘버 간의 예시적인 변환**

[0046] 도 8 은 순차 심볼들 및 심볼 트랜지션 넘버들 간의 변환을 도시한다. 이러한 변환은, 이전의 순차 심볼 넘버 (P_s) 로부터 현재의 순차 심볼 넘버 (C_s) 로의 각각의 트랜지션을 트랜지션 넘버 (T) 로 맵핑한다. 송신

기 디바이스에서, 심볼 트랜지션 넘버들은 순차 심볼 넘버들로 변환되고 있다. 상대적 변환 방식이 사용되고 있기 때문에, 트랜지션 넘버들은 어떤 2 개의 연속하는 순차 심볼 넘버들 (804) 도 동일하지 않을 것을 보장한다.

[0047] 3-와이어 시스템에 대한 일 실시예에서, 6 개의 순차 심볼 넘버들 S0, S1, S2, S3, S4, 및 S5 에 6 개의 원시 심볼들이 할당된다. 6 개의 순차 심볼 넘버들 (804) 에 대하여, 표 (802) 는 이전 순차 심볼 넘버 (Ps) 와 현재 순차 심볼 넘버 (Cs) 에 기초하여 트랜지션 넘버 (T) 가 어떻게 할당되는지를 도시한다.

[0048] 이러한 실시예에서, 트랜지션 넘버 T 는 다음 식을 따라 할당될 수도 있다:

[0049]
$$T = Ps+1 \leq Cs$$

[0050]
$$? Cs - (Ps+1)$$

[0051]
$$: Cs - (Ps+1) + 6$$

[0052] 반대로, 현재 순차 심볼 넘버 (Cs) 는 다음 식을 따라 할당될 수도 있다:

[0053]
$$Cs = Ps+1 + T < 6$$

[0054]
$$? Ps+1 + T$$

[0055]
$$: Ps+1 + T - 6$$

[0056] 원시 심볼들이 변화할 것을 보장하는, 임의의 n (예컨대, n=4, 5, 6, ...) 에 대한 순차 심볼 넘버 대 트랜지션 넘버의 맵핑 표를 구성함으로써, n-와이어 시스템에 대하여 유사한 접근방식이 사용될 수도 있다.

[0057] 예를 들어, n-와이어 시스템의 경우에, 트랜지션 넘버 T 는 다음 식을 따라 할당될 수도 있다:

[0058]
$$T = Ps+1 \leq Cs$$

[0059]
$$? Cs - (Ps+1)$$

[0060]
$$: Cs - (Ps+1) + n!$$

[0061] 반대로, n-와이어 시스템의 경우에, 현재 순차 심볼 넘버 (Cs) 는 다음 식을 따라 할당될 수도 있다.

[0062]
$$Cs = Ps+1 + T < n!$$

[0063]
$$? Ps+1 + T$$

[0064]
$$: Ps+1 + T - n!$$

[0065] 순차 심볼 넘버들과 원시 심볼들 간의 예시적인 변환

[0066] 도 9 는 (n=3 와이어 시스템에 대하여) 원시 값들 대 순차 심볼 넘버 간의 변환을 도시하는 표이다. 이러한 실시예에서, n=3 에 대하여, 원시 데이터 값들, X, Y, 및 Z 의 조합들은 순차 심볼 넘버 0 내지 5 의 세트 중 하나로 맵핑될 수도 있다. 원시 값들, X, Y, 및 Z 의 조합 (예컨대, {Z, Y, Z}) 은 원시 심볼을 나타낸다.

연상 기호들 -x, +x, +y, -y, +z, 및 -z 은 3-상 시스템 (여기서 n=3) 에 대하여 6 개 원시 심볼들의 각각을 표현하는데 사용된다. 원시 심볼이 매 사이클마다 변화하도록 (즉, 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않도록) 보장되기 때문에, 하나의 원시 심볼로부터 다음 원시 심볼로의 트랜지션은 클록 신호를 추출하는데 사용될 수 있다.

[0067] 삽입된 타이밍 정보를 갖는 예시적인 3-와이어 트랜스코딩 시스템

[0068] 도 27 은 컨덕터들, 와이어들, 또는 라인들 A, B, 및 C 중에서의 차동 신호들에 의해 정의된 상태들에 기초하여 클록 (타이밍 정보) 이 삽입되는, 송신기 디바이스 (2700) 와 수신기 디바이스 (2701) 간의 3-와이어 차동 시그널링 방식을 도시한다.

[0069] 송신기 디바이스 (2700) 및 수신기 디바이스 (2701) 는 다중-라인 버스 (2708) 를 통해 통신될 수도 있다. 상기 실시예에서, 3 개의 라인들 A, B 및 C 은 버스 (2708) 를 위해 사용된다. 수신기 디바이스 (2701) 는,

수신기 디바이스 (2701) 를 버스 (2708) 에 커플링하기 위해 3-포트 수신기 (2710) 를 포함할 수도 있다.

[0070] 일 실시예에서, 도 4 내지 도 9 에 도시된 것과 같은 차동 신호 인코딩/디코딩은, 송신기 디바이스 (2700) 로부터 수신기 디바이스 (2701) 로 신호들을 송신하는데 사용될 수도 있다. 수신기 종단 네트워크의 부분으로서, 복수의 수신기들 (2712) 의 각각은 3 개의 라인들 A, B 및 C 중 2 개 라인을 취득하여 차동 신호를 제공하도록 구성될 수도 있다. 예를 들어, 제 1 라인 A 과 제 2 라인 B 은 제 1 차동 신호 RX_AB (2714) 를 제공하도록 기능할 수도 있고, 제 2 라인 B 과 제 3 라인 C 은 제 2 차동 신호 RX_BC (2716) 를 제공하도록 기능할 수도 있고, 제 1 라인 A 과 제 3 라인 C 은 제 3 차동 신호 RX_CA (2718) RX 를 제공하도록 기능할 수도 있다. 이들 차동 신호들 (2714, 2716, 및 2718) 은 디코더 회로 (2720) 에 대한 입력들로서 기능할 수도 있다. 디코더 회로 (2720) 는 3 개의 차동 신호들 RX_AB (2714), RX_BC (2716), 및 RX_CA (2718) 을 디코딩하여 6 개의 상태들 XM, YM, ZM, ZP, YP, 및 XP (또한, 도 9 에서 -x, -y, -z, +z, +y, 및 +x 로 표현됨) 을 출력한다.

[0071] 상태 다이어그램 (2703) 은 3 개의 컨덕터들 A, B, 및 C (2708) 에 의해 운반되는 차동 신호들 (2714, 2716, 및 2718) 에 의해 정의될 수도 있는 6 개의 상태들 XM, YM, ZM, ZP, YP, 및 XP 을 도시한다. 관찰될 수 있는 것과 같이, 3 개의 차동 신호들 (2714, 2716, 및 2718) 에 걸친 전압 레벨들은 1들 및 0들의 상이한 조합들로 맵핑될 수도 있다. 예를 들어, 상태 XM 에 대한 차동 신호 전압 레벨은 "011" 과 연관될 수도 있고, 상태 YM 는 "101" 과 연관될 수도 있고, 상태 ZP 는 "001" 과 연관될 수도 있고, 상태 ZM 는 "110" 과 연관될 수도 있고, 상태 YP 는 "010" 과 연관될 수도 있고, 상태 XP 는 "100" 과 연관될 수도 있다.

[0072] 상태들에서 인코딩된 정보 (예컨대, 상태 당 3 비트들) 에 추가하여, 정보는 또한 상태들 간의 트랜지션들에 기초하여 인코딩될 수도 있다. 임의의 2 개의 상태들 (XM, YM, ZM, ZP, YP, 및 XP) 간의 트랜지션은 중간 상태들을 가로지르지 않고 단일 단계에서 발생하는 것에 유의한다. 이와 같이, 상태 다이어그램 (2703) 에 기초한 차동 데이터 송신 방식들은 상태 트랜지션 디코딩 문제들에 대해 자유로울 것이다. 이러한 인코딩으로 인해, 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않다. 원시 심볼들의 보장되는 트랜지션 (즉, 매 사이클마다 상태들 XM, YM, ZM, ZP, YP, 및 XP 의 변화) 는, 그러한 트랜지션을 사용하여 수신기 디바이스 (2701) 에서 클록을 생성하거나 추출하는 것을 허용한다.

[0073] 버스 (2708) 의 컨덕터들, 와이어들 또는 라인들의 각각은 하일로 구동되거나, 로우로 구동되거나, 구동되지 않을 수도 있고, 오직 하나의 컨덕터만이 임의의 단일 사이클에서 구동되지 않는다. 일 실시형태에서, (예컨대, 수신기 디바이스 (2701) 내의 디코더 (2720) 에 의해 수신된) 3 개의 차동 신호들 RX_AB (2714), RX_BC (2716), 및 RX_CA (2718) 은, 각각 컨덕터 B 에 대한 컨덕터 A, 컨덕터 C 에 대한 컨덕터 B, 및 컨덕터 A 에 대한 컨덕터 C 사이에서 로직 1 로의 양의 차동 전압과 로직 0 으로의 음의 차동 전압으로서 정의된다. 3 개의 차동 신호들 (2714, 2716, 및 2718) 의 예시적인 파형들이 다이어그램 (2704) 에 도시된다.

[0074] (컨덕터 B 에 대한 컨덕터 A, 컨덕터 C 에 대한 컨덕터 B, 및 컨덕터 A 에 대한 컨덕터 C 사이에서 제로 차동 전압을 발생하는 상태들을 제외하고) 6 개의 가능한 상태들은, 상태 다이어그램 (2703) 에 따라 신호들 RX_AB (2714), RX_BC (2716), 및 RX_CA (2718) 의 상태들에 의해 XM, YM, ZP, ZM, YP, XP, 및 XM 으로 정의된다.

[0075] 6 개의 가능한 상태들 XM, YM, ZP, ZM, YP, XP, 및 XM 에 대응하는 상태 신호들은 수신기 디바이스 (2701) 에서 디코더 블록 (2720; DEC) 에 의해 차동 신호들 RX_AB (2714), RX_BC (2716), 및 RX_CA (2718) 로부터 생성되며, 상태 신호들의 예시적인 파형들이 다이어그램 (2705) 에 도시된다.

[0076] 일 실시형태에서, 상태 XM, YM, ZP, ZM, YP, XP, 및 XM 로부터 상이한 상태로의 상태 트랜지션은 항상, 모든 단일 사이클마다 발생한다. 결과적으로, 상태 트랜지션은 송신기 디바이스 (2700) 로부터 수신기 디바이스 (2701) 로 송신되는 클록 신호를 나타내는데 사용될 수도 있다. 그 후에, 수신기 디바이스 (2701) 는 보장되는 상태 트랜지션들 (즉, 연속하는 원시 심볼들 간의 보장되는 트랜지션들) 로부터 클록 신호를 추출할 수도 있다.

[0077] 예시적인 종단 네트워크들

[0078] 도 10 은 드라이버들로의 입력 및 수신기들로부터의 출력뿐만 아니라 다양한 노드들 중에서의 전류 흐름을 보여주는 3-와이어 종단 네트워크 (1002) 를 도시한다. n=3 에 대하여 이러한 트랜스코딩 방식은 제로 차동 전압을 발생하고 따라서 불법의 (illegal) 상태들인 2 개의 패턴들 (ZYZ) = (000) 및 (111) 을 갖는다. 제로

차동 전압들은, 서로 구별될 수 없기 때문에 불법이고, 따라서 정확한 디코딩을 방해한다. 불법의 상태들은 인코딩을 위해 사용되지 않아야만 한다. 나머지 6 개의 (합법의) 상태들은 $(ZYX) = (001), (010), (100), (110), (101), \text{ 및 } (011)$ 이다.

[0079] (도 11a 및 도 11b 를 포함하는) 도 11 은 드라이버들로의 입력 및 수신기들로부터의 출력뿐만 아니라 다양한 노드들 중에서의 전류 흐름 (1104) 을 보여주는 4-와이어 종단 네트워크 (1102) 를 도시한다. 4-와이어 종단 네트워크 (1102) 는 4 개의 종단 저항들, 6 개의 차동 드라이버들 및 6 개의 차동 수신기들 (드라이버들/싱크들) 을 포함하고, 3 개의 차동 전압 레벨들을 사용한다. 표 (1106) 는 각각의 종단 저항 R 에 걸친 가능한 단위 전류 흐름들을 도시한다. 종단 네트워크 (1102) 로부터 관찰될 수 있는 것과 같이, 각각의 종단 저항 R 은 3 개의 드라이버들/싱크들 (1107) 에 커플링된다. 각각의 드라이버/싱크로부터 +1 또는 -1 의 단위 전류를 가정하면, 표 (1106) 는 각각의 종단 저항 R : +3, +1, -1, -3 에 대한 가능한 순 (net) 전류 흐름들을 도시한다.

[0080] 도 12 는 송신기 드라이버들, 수신기 드라이버들, 및 4-와이어 종단 네트워크를 보여주는 송신기 대 수신기 트랜스코딩 방식을 도시한다.

[0081] 도 11 및 도 12 의 4-와이어 종단 네트워크 (1102) 는 64 개의 가능한 상태들 (즉, 6 개 드라이버들 및 2^6 상태들) 을 갖는다. 그러나, 64 개의 가능한 상태들의 이하 도 13 을 참조하여 추가로 설명되는 것과 같이, 40 개의 불법의 상태들이 고려될 수도 있는데, 이는 그 상태들이 (도 13 에 도시된 것과 같은) 제로 차동 전압들을 발생하기 때문이다. 각각의 종단 저항 R 에 대하여, 4 개의 가능한 전류들 (크기 및 방향) : 하나의 드라이버에 대하여 -3, -1, +1, 및 +3 이 존재한다. XY 의 차동 전압은, 2 개의 저항들 (X0 및 Y0) 이 동일한 사이즈와 동일한 방향의 전류들을 가질 경우에, 0 이 된다. 따라서, 오직 나머지 24 개의 "비-제로" 상태들이 원시 심볼들로서 사용될 수도 있다.

[0082] (도 13a 및 도 13b 를 포함하는) 도 13 은 원시 심볼들과 $n=4$ 에 대하여 제로 차동 전압을 갖는 심볼들의 다양한 조합들을 보여주는 표이다. 이러한 표는 도 11 및 도 12 의 4-와이어 종단 네트워크와 관련하여 해석될 수도 있다. Sraw 는 도 12 의 CD, DB, AD, AC, CB, 및 AB 에서의 차동 신호들에 의해 형성된 원시 심볼들을 지칭한다. 각각의 저항 Rterm 에서의 전압은 도 11 의 종단 네트워크 (1102) 에서 중앙 노드 0 와 각각의 노드 A 사이의 각각의 저항 R 에 걸친 전압을 지칭한다. 이러한 실시예에서, 단일 저항 R 을 가정할 때, 각각의 저항 Rterm 에 걸친 전압은 도 11 의 표 (1106) 에서의 가능한 전류들에서와 같이 +3, +1, -1, 또는 -3 으로 제공된다. 각각의 Rterm 에 걸친 이들 전압들의 결과로서, (DB, CD, AD, AC, CD, 및 AB 로부터의) 각각의 드라이버/싱크에 걸친 차동 전압은 도 11 의 종단 네트워크 (1102) 에서 확인될 수 있다. 일부 경우들에서, 소정의 차동 송신기/수신기에 대하여 2 개의 저항 쌍들 Rterm 에 걸친 전압들은 서로를 상쇄하여 "0" 의 차동 전압을 발생한다. 결과적으로, 그러한 조건들이 발생할 경우의 구별할 수 없는 원시 심볼들 Sraw 은 디코딩 불가능/구별 불가능하고, "불법" 인 것으로 고려되며, 사용되지 않는다.

[0083] 도 14 는 도 13a 및 도 13b 로부터 획득된 비-제로 차동 전압 원시 심볼들 (Sraw) 을 갖는 표를 도시한다. 가능한 조합들의 서브세트만이 유효한 원시 심볼로서 기능할 수도 있기 때문에, 불법의 상태가 결코 원시 심볼로서 사용되지 않도록 보장하기 위해 맵핑이 사용될 수도 있다.

[0084] 임의의 소정 수의 n 개 와이어들 (예컨대, 컨덕터들, 라인들, 등등) 에 대하여, (유효한 "비-제로" 상태들로부터) 원시 심볼들을 정의하기 위해 유사한 표가 생성되고 사용된다. 원시 심볼들의 순차 심볼들로의 맵핑이 도 9 에 도시된 것과 같이 실행될 수도 있다. 이러한 맵핑은 오직 유효한 심볼들 (비-제로 차동 전압 상태들) 만이 송신되는 것을 보장하는 것에 유의한다. 원시 심볼들의 송신 이전에 송신기에서 발생하는 심볼 트랜지션 넘버 대 순차 심볼 변환 때문에, 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것이고, 이들은 항상 변화한다. 비트들의 정확히 동일한 그룹이 하나의 로우에서 2 회 이상 송신되고 있지만 (예컨대, 모두 1들 또는 모두 0 들의 비트들), 원시 비트들은 상이할 것이다. 원시 심볼들에서의 이러한 변화는, 원시 심볼이 송신될 때마다 "트랜지션" 을 보장한다. 결과적으로, 원시 심볼들의 그러한 보장된 트랜지션으로부터 클록이 추출될 수 있다.

[0085] 예시적인 N! 트랜스코딩 시스템

[0086] 도 18 은 n-계승 ($n!$) 트랜스코딩 방식에 대하여 일반화되기 위한 예시적인 송신기 및 수신기 디바이스들을 도시하는 블록 다이어그램이고, 여기서 n 은 사용되는 와이어들 (예컨대, 컨덕터들, 라인들) 의 수이고, m 은 심

블록들/그룹이며, w 는 탈직렬화기 (DES; 1806) 및 직렬화기 (SER; 1826) 블록들의 비트폭이다. 이러한 실시예에서, 수신기 디바이스 (1802) 는 DES 블록 (1806) 을 포함하는 디코더 (1804) 를 포함할 수도 있다. 디코더 (1804) 는 도 6 에 도시되고 설명된 것과 유사하게 동작할 수도 있다. 추가로, 송신기 디바이스 (1822) 는 SER 블록 (1826) 을 포함하는 인코더 (1824) 를 포함할 수도 있다. 인코더 (1824) 는 도 5 에 도시되고 설명된 것과 유사하게 동작할 수도 있다.

[0087] 일 실시예에서, $n = 4$, $m = 2$, 및 $w = 8$ 이고 2 개 심볼들이 9-비트들을 전송할 수 있다면, TX 및 RX 측 양자들에서의 트랜스코딩에 의해 8 개 심볼들이 동시에 프로세싱된다.

[0088] 도 19 는 $n=4$, $m=2$, 및 $w=8$ 에 대하여 버스화된 트랜스코딩 (오직 RX 측) 의 일 실시예를 도시하는 블록 다이어그램이다. 이러한 실시예는 도 18 의 수신기 (1802) 및 디코더 (1804) 의 상세한 뷰를 도시한다. 도시된 것과 같이, 6 개 수신기들 (1912) 의 각각은 6 개의 탈직렬화기 (1914) 을 사용할 수도 있고, 개별 디코더 회로들은 비트들의 시퀀스에서 상이한 비트들의 디코딩을 위해 사용되고 있다.

[0089] 통합된 클록을 갖는 예시적인 데이터 인코딩 디바이스 및 방법

[0090] 다중 와이어 시그널링 인코딩을 수행하는 인코딩 회로가 제공된다. 그러한 인코딩 회로의 다양한 실시예들 및 본원에서 수행되는 기능들은 도 4 (송신기 (402)), 도 5, 도 7, 도 8, 도 9, 도 13, 도 14, 도 15 (인코더 (1504)), 도 16 (인코더 (1604)), 및 도 18 (인코더 1824)) 에서 발견된다. 비트들 대 트랜지션 넘버 컨버터는 데이터 비트들의 시퀀스를 복수의 m 개 트랜지션 넘버들로 변환하는 기능을 한다. 트랜지션 넘버 대 순차 넘버 컨버터는 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 기능을 한다. 각각의 트랜지션 넘버를 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 트랜지션 넘버들을 순차 넘버로 변환하는 것을 포함할 수도 있다. 순차 넘버 대 원시 심볼 컨버터는 순차 넘버를 원시 심볼로 변환하는 기능을 한다.

[0091] 순차 넘버를 원시 심볼로 변환하는 것은 순차 넘버를 복수의 원시 심볼들로 변환하는 것을 포함할 수도 있다. 원시 심볼은 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장될 수도 있다. 예를 들어, 도 27 에 도시된 것과 같이, 와이어들 AB, BC, 및 CA 에 걸친 차동 전압 (2703) 은 비-제로이다.

[0092] 복수의 차동 드라이버들은 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 송신하는 기능을 할 수도 있고, 여기서 클록 신호는, 트랜지션 넘버로부터 순차 넘버로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과적으로 삽입된다. 다양한 실시예들에서, 복수의 n 개 와이어들은 3 또는 4 이상이다.

[0093] n 개 와이어들의 쌍들에 걸친 n 계승 차동 신호에 대하여, r^m 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 이다. 순차 넘버는 직전의 순차 심볼 넘버로부터의 트랜지션에 기초하여 트랜지션 넘버로부터 선택될 수도 있다. 예를 들어, 순차 심볼 넘버들의 그러한 선택이 도 8 에 도시된다.

[0094] n 계승 차동 신호에 대한 일 실시예에서, 복수의 차동 드라이버들은 nC_2 와 동일하고, 여기서 $nC_2 = n! / (2!(n-2)!) = n(n-1)/2$ 이다. 도 28 은 N -계승 차동 시그널링에 대한 표 (2802) 를 도시한다. 예컨대 $n=6$ 와이어들일 경우, 사이클 당 9.49 비트들이 사이클 당 720 개의 상태들, 5 개의 차동 전압 레벨들, 및 15 개의 드라이버들/수신기들을 사용하여 송신될 수 있다. 결과적으로, 종래의 차동 시그널링 접근방식에 비해 상당히 많은 정보가 동일한 수의 사이클 당 와이어들에 걸쳐 송신될 수도 있다.

[0095] 다른 실시예에서, 복수의 차동 드라이버들은 n 과 동일하다. 예를 들어, 사용된 종단 네트워크, 와이어들과 동일한 수의 차동 드라이버들이 $n = 3, 4, 5, 6$, 등의 모든 값들에 대하여 사용되도록, 설계될 수도 있다.

[0096] 도 25 는 클록 신호가 심볼 트랜지션들 내에서 인코딩되는, 다중 와이어 시그널링 인코딩을 수행하는 방법을 도시한다. 데이터 비트들의 시퀀스는 복수의 m 개 트랜지션 넘버들로 변환된다 (2502). 각각의 트랜지션 넘버는 순차 심볼 넘버들의 세트로부터의 순차 심볼 넘버로 변환된다 (2504). 순차 심볼 넘버는 원시 심볼로 변환된다 (2506). 원시 심볼은 복수의 차동 드라이버들에 걸쳐 확산되어 송신되고 복수의 n 개 와이어들 (예컨대, 컨덕터들 또는 라인들) 에 걸쳐 확산되며, 여기서 클록 신호는, 트랜지션 넘버로부터 순차 넘버로의 변환이 어떤 2 개의 연속하는 원시 심볼들도 동일하지 않을 것을 보장하기 때문에, 원시 심볼들의 송신시 효과

적으로 삽입된다 (2508).

클록 복원을 갖는 예시적인 디코딩 디바이스 및 방법

다중 와이어 시그널링 디코딩을 수행하는 디코딩 회로가 제공된다. 그러한 디코딩 회로 및 본원에서 수행되는 기능들의 다양한 예들이 도 4 (수신기 (402)), 도 6, 도 7, 도 8, 도 9, 도 13, 도 14, 도 17 (디코더 (1704)), 및 도 18 (디코더 (1804)) 에서 발견된다. 복수의 차동 수신기들은 복수의 n 개 와이어들에 걸쳐 확산된 원시 심볼을 수신하는 기능을 할 수도 있다. 다양한 실시예들에서, 복수의 n 개 와이어들은 3 또는 4 이상이다.

원시 심볼 대 순차 넘버 컨버터는 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 기능을 할 수도 있다. 원시 심볼을 순차 넘버들의 세트로부터의 순차 넘버로 변환하는 것은 복수의 원시 심볼들을 순차 넘버로 변환하는 것을 포함할 수도 있다. 원시 심볼은 복수의 n 개 와이어들의 모든 쌍들에 걸쳐 비-제로 차동 전압을 가지도록 보장된다.

순차 넘버 대 트랜지션 넘버 컨버터는 각각의 순차 넘버를 트랜지션 넘버로 변환하는 기능을 할 수도 있다. 각각의 순차 넘버를 트랜지션 넘버로 변환하는 것은 순차 넘버를 복수의 트랜지션 넘버들로 변환하는 것을 포함할 수도 있다. 트랜지션 넘버는 직전의 순차 심볼 넘버에 기초하여 순차 넘버로부터 선택될 수도 있다.

트랜지션 넘버 대 비트들 컨버터는 복수의 트랜지션 넘버들을 데이터 비트들의 시퀀스로 변환하는 기능을 할 수도 있다. 클록 데이터 복원 회로는 원시 심볼들의 수신으로부터 클록 신호를 추출할 수도 있다. 원시 심볼 수신은 클록 신호를 사용하여 동기화된다.

n 개 드라이버들에 걸친 n 계층 차동 시그널링에 대하여, r^n 개의 가능한 상이한 상태들이 트랜지션 넘버들로 표현되며, 여기서 r 은 $n!-1$ 이다.

도 26 은 클록 신호가 심볼 트랜지션들로부터 추출되는, 다중 와이어 시그널링 디코딩을 수행하는 방법을 도시한다. 원시 심볼은 복수의 차동 수신기들을 통해 복수의 n 개 와이어들에 걸쳐 확산되어 수신된다 (2602). 원시 심볼은 순차 넘버들의 세트로부터의 순차 넘버로 변환될 수도 있다 (2604). 각각의 순차 심볼 넘버는 트랜지션 넘버로 변환된다 (2606). 복수의 트랜지션 넘버들은 데이터 비트들의 시퀀스로 변환된다 (2608). 클록 신호는 원시 심볼들의 수신으로부터 추출된다 (2610).

예시적인 활용들

사용되는 와이어들의 수 및 선택된 심볼들/그룹에 의존하여, 상이한 활용 퍼센티지들이 달성될 수도 있다. "활용" 은 그룹 당 일정 수의 비트들이 전송될 수도 있는 효율을 지칭할 수도 있다. 이들 실시예들에서, "활용" 은 송신되는 그룹 당 정수 개수 비트들과, 그룹당 소정 수의 컨덕터들 및 심볼들에 대하여 송신될 수도 있는 그룹 당 이론적인 수의 비트들 간의 퍼센티지로서 표현될 수도 있다.

도 20 은 그룹 당 다양한 심볼들로 3-와이어 시스템에 대한 활용 표를 도시한다. 이러한 실시예에서, 2.321 비트들/사이클이 28 심볼들/그룹에 의해 전송될 수 있고, 여기서 1 심볼/그룹은 오직 2 비트들/사이클을 전송할 수 있다.

도 21 은 그룹 당 다양한 심볼들로 4-와이어 시스템에 대한 활용 표를 도시한다. 이러한 실시예에서, 4.5 비트들/사이클이 2 심볼들/그룹에 의해 전송될 수 있고, 여기서 1 심볼/그룹은 오직 4 비트들/사이클을 전송할 수 있다.

도 22 는 그룹 당 다양한 심볼들로 5-와이어 시스템에 대한 활용 표를 도시한다. 이러한 실시예에서, 6.8947 비트들/사이클이 19 심볼들/그룹에 의해 전송될 수 있고, 여기서 1 심볼/그룹은 오직 6 비트들/사이클을 전송할 수 있다. 특히, 14 심볼들/그룹은 96 비트들 (32x3) 을 전송할 수 있다.

도 23 은 그룹 당 다양한 심볼들로 6-와이어 시스템에 대한 활용 표를 도시한다. 이러한 실시예에서, 9.483 비트들/사이클이 31 심볼들/그룹에 의해 전송될 수 있고, 여기서 1 심볼/그룹은 오직 9 비트들/사이클을 전송할 수 있다.

도 24 는 그룹 당 다양한 심볼들로 7-와이어 시스템에 대한 활용 표를 도시한다. 이러한 실시예에서,

12.296 비트들/사이클이 27 심볼들/그룹에 의해 전송될 수 있고, 여기서 1 심볼/그룹은 오직 12 비트들/사이클을 전송할 수 있다.

[0111] 도면들에 도시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 결합되거나, 또는 몇몇 컴포넌트들, 단계들, 특징들 또는 기능들로 구현될 수도 있다.

부가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한, 본원에 개시된 신규한 특징들로부터 일탈함 없이 부가될 수도 있다. 도면들에 도시된 장치들, 디바이스들, 및/또는 컴포넌트들은 도면들에 설명된 방법들, 특징들, 또는 단계들 중 하나 이상을 수행하도록 구성될 수도 있다. 본 명세서에서 설명된 신규한 알고리즘들은 또한 소프트웨어에서 효율적으로 구현되고/되거나 하드웨어에 내장될 수도 있다.

[0112] 도면들에 도시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 결합되거나, 또는 몇몇 컴포넌트들, 단계들, 특징들 또는 기능들로 구현될 수도 있다.

부가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한, 본원에 개시된 신규한 특징들로부터 일탈함 없이 부가될 수도 있다. 도면들에 도시된 장치들, 디바이스들, 및/또는 컴포넌트들은 도면들에 설명된 방법들, 특징들, 또는 단계들 중 하나 이상을 수행하도록 구성될 수도 있다. 본 명세서에서 설명된 신규한 알고리즘들은 또한 소프트웨어에서 효율적으로 구현되고/되거나 하드웨어에 내장될 수도 있다.

[0113] 또한, 실시형태들은 흐름도, 순서도, 구조도, 또는 블록도로서 묘사된 프로세스로서 설명되었음을 알 수 있다.

플로우차트가 동작들을 순차적인 프로세스로서 기술할 수도 있지만, 동작들 중 다수는 병렬로 또는 동시에 수행될 수 있다. 부가적으로, 동작들의 순서가 재배열될 수도 있다. 프로세스는 그 동작들이 완료될 경우에 종료된다. 프로세스는 방법, 함수, 절차, 서브루틴, 서브프로그램 등에 대응할 수도 있다. 프로세스가 함수에 대응할 경우, 그 종료는 그 함수의 호출 함수 또는 메인 함수로의 리턴에 대응한다.

[0114] 더욱이, 저장 매체는 판독 전용 메모리 (ROM), 랜덤 액세스 메모리 (RAM), 자기 디스크 저장 매체들, 광학 저장 매체들, 플래시 메모리 디바이스들 및/또는 정보를 저장하기 위한 다른 머신 판독가능 매체들을 포함하여 데이터를 저장하기 위한 하나 이상의 디바이스들을 나타낼 수도 있다. 용어 "머신 판독가능 매체"는 휴대용 또는 고정식 저장 디바이스들, 광학 저장 디바이스들, 무선 채널들, 및 명령(들) 및/또는 데이터를 저장, 포함, 또는 수록할 수 있는 다양한 다른 매체들을 포함하지만 이에 한정되지 않는다.

[0115] 추가로, 실시형태들은 하드웨어, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 또는 이들의 임의의 조합일 수도 있다. 소프트웨어, 펌웨어, 미들웨어 또는 마이크로코드에서 구현되면, 필요한 작업들을 수행하는 프로그램 코드 또는 코드 세그먼트들은 저장 매체 또는 다른 스토리지(들)와 같은 머신 판독가능 매체에 저장될 수도 있다. 프로세서는 필요한 작업들을 수행할 수도 있다. 코드 세그먼트는 절차, 함수, 서브프로그램, 프로그램, 루틴, 서브루틴, 모듈, 소프트웨어 패키지, 클래스, 또는 명령들, 데이터 구조들, 또는 프로그램 상태문들의 임의의 조합을 나타낼 수도 있다. 코드 세그먼트는, 정보, 데이터, 인수들(arguments), 파라미터들, 또는 메모리 콘텐츠를 전달 및/또는 수신함으로써 다른 코드 세그먼트 또는 하드웨어 회로에 커플링될 수도 있다. 정보, 인수들, 파라미터들, 데이터 등은 메모리 공유, 메시지 전달, 토큰 전달, 네트워크 송신 등을 포함하는 임의의 적절한 수단을 통해 전달되거나, 포워딩되거나, 또는 전송될 수도 있다.

[0116] 본원에서 개시된 실시예들과 연계하여 설명된 여러가지 예증적인 논리 블록들, 모듈들, 및 회로들은 본원에서 개시된 기능들을 수행하도록 설계된 범용 프로세서, 디지털 신호 프로세서 (DSP), 주문형 반도체 (ASIC), 필드 프로그래머블 게이트 어레이 (FPGA) 또는 다른 프로그래머블 로직 컴포넌트, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 이들의 임의의 조합에 의해 구현되거나 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 그 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 컴포넌트들의 조합, 예를 들면, DSP와 마이크로프로세서의 조합, 다수의 마이크로프로세서들, DSP 코어와 연계한 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로 구현될 수도 있다.

[0117] 본원에서 개시된 실시예들과 연계하여 설명된 방법들 또는 알고리즘들은, 하드웨어에서 직접적으로, 프로세서에 의해 실행가능한 소프트웨어 모듈에서, 또는 이들 양자의 조합에서, 프로세싱 유닛, 프로그래밍 명령들, 또는 다른 지령들의 형태로 구현될 수도 있으며, 단일의 디바이스 또는 복수의 디바이스들에 걸쳐 분산되어 포함될 수도 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈가능 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체로 정보를 저장할 수 있도록 프로세서에 커플링될 수도 있다. 대안에서, 저장 매체는 프로세서에 통합될 수도 있다.

[0118]

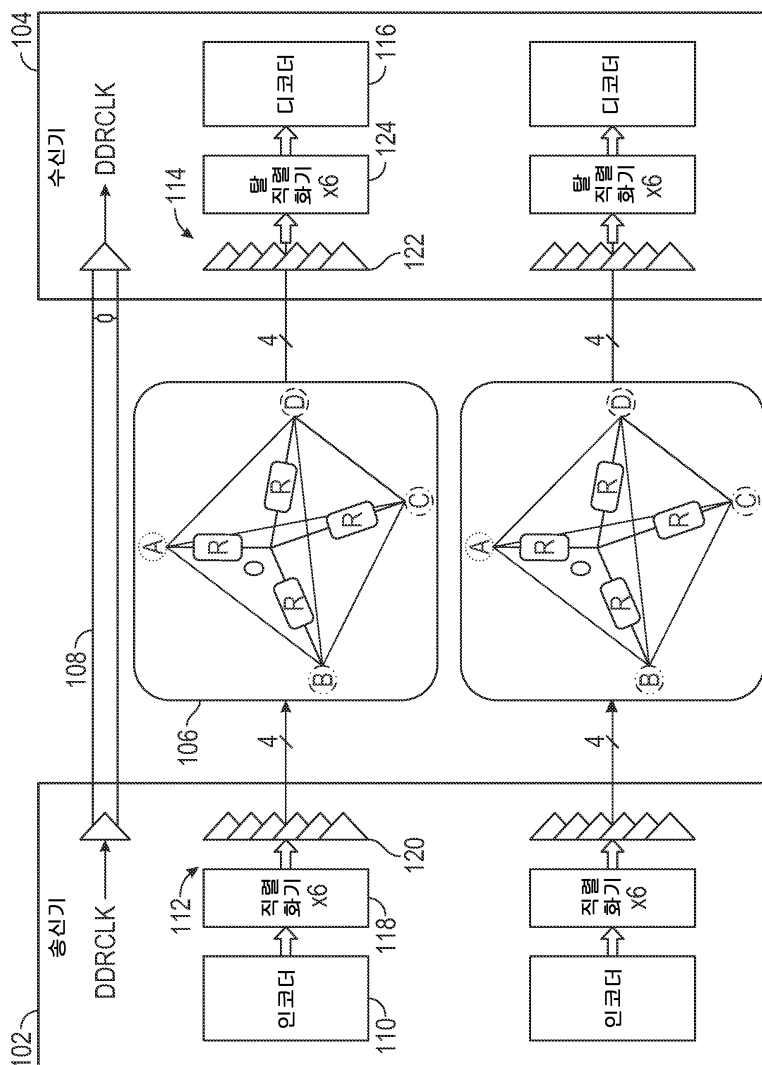
당업자라면, 본원에서 개시된 실시형태들과 연계하여 설명된 여러 예증적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 이들 양자의 조합으로서 구현될 수도 있음을 또한 알 수 있을 것이다. 하드웨어 및 소프트웨어의 이러한 상호 교환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 그들의 기능적 관점에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지의 여부는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 따라 달라진다.

[0119]

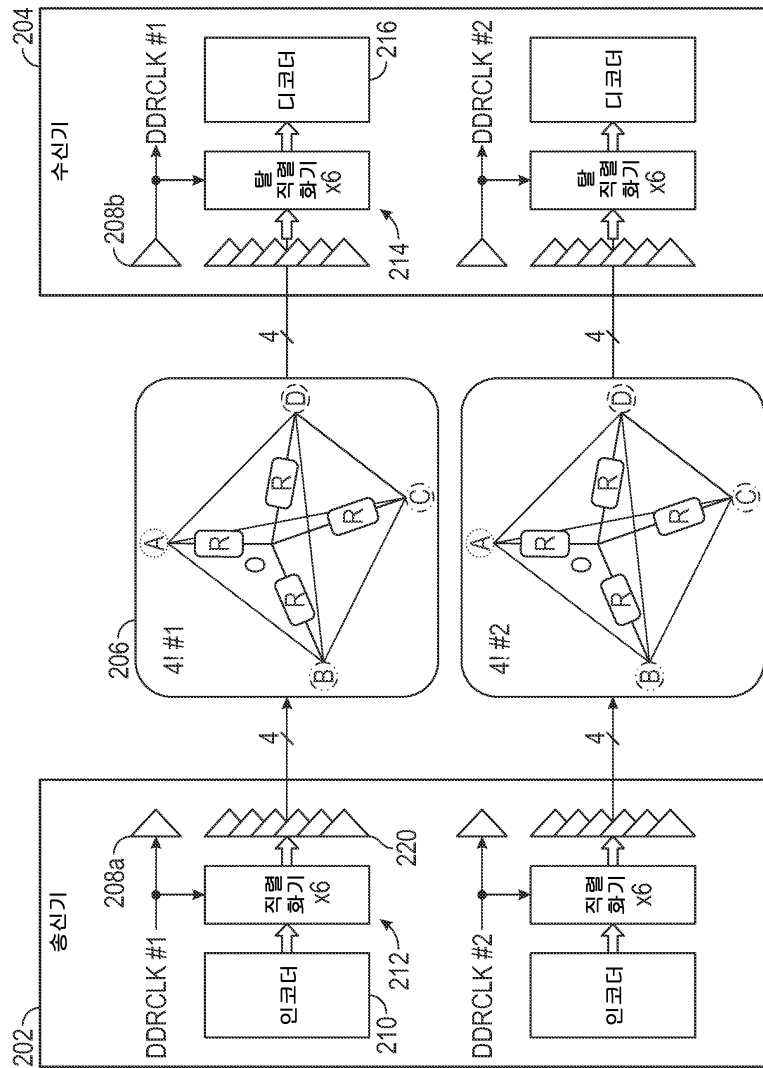
본 명세서에서 설명되는 발명의 다양한 특징들은 본 발명으로부터 벗어나는 일 없이 상이한 시스템들에서 구현될 수 있다. 앞서의 실시형태들은 단지 예들일 뿐이고 본 발명을 제한하는 것으로 해석되지 않음에 유의해야 한다. 실시형태들의 설명은 예증적인 것으로 의도된 것이며, 특허청구범위의 범위를 제한하는 것으로 의도된 것은 아니다. 이와 같이, 본 교시는 다른 타입들의 장치들에 쉽게 적용될 수 있으며, 많은 대안예들, 수정예들, 변경예들이 당업자에게는 명확할 것이다.

도면

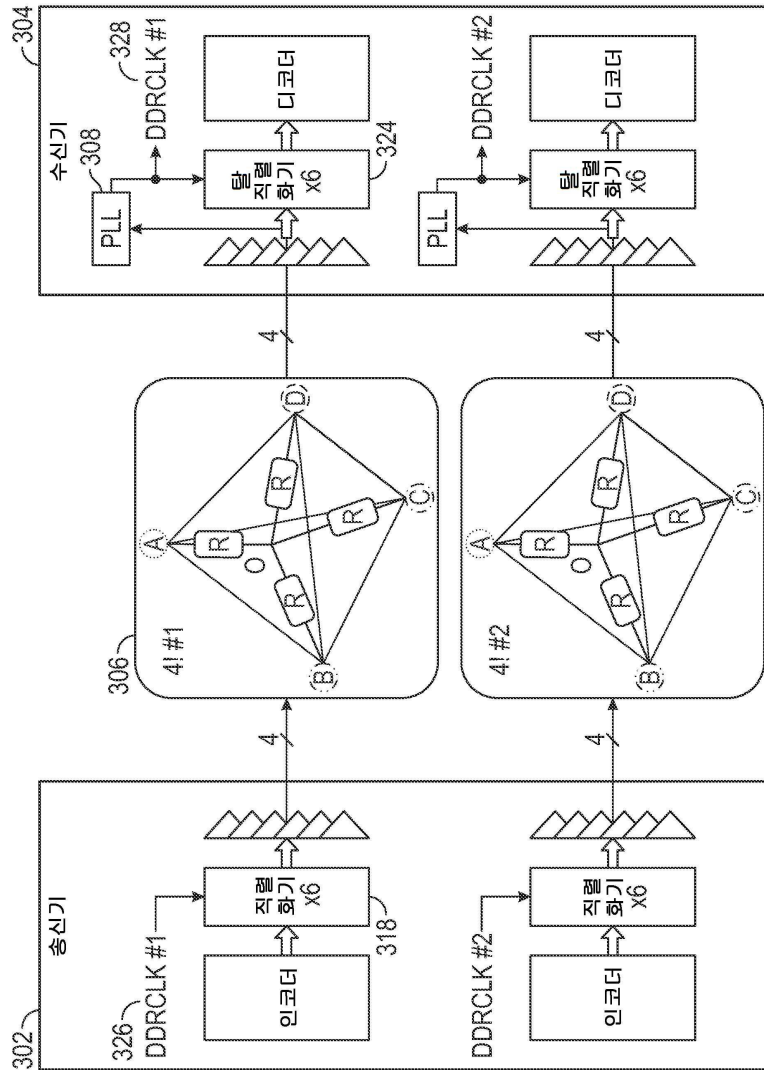
도면1



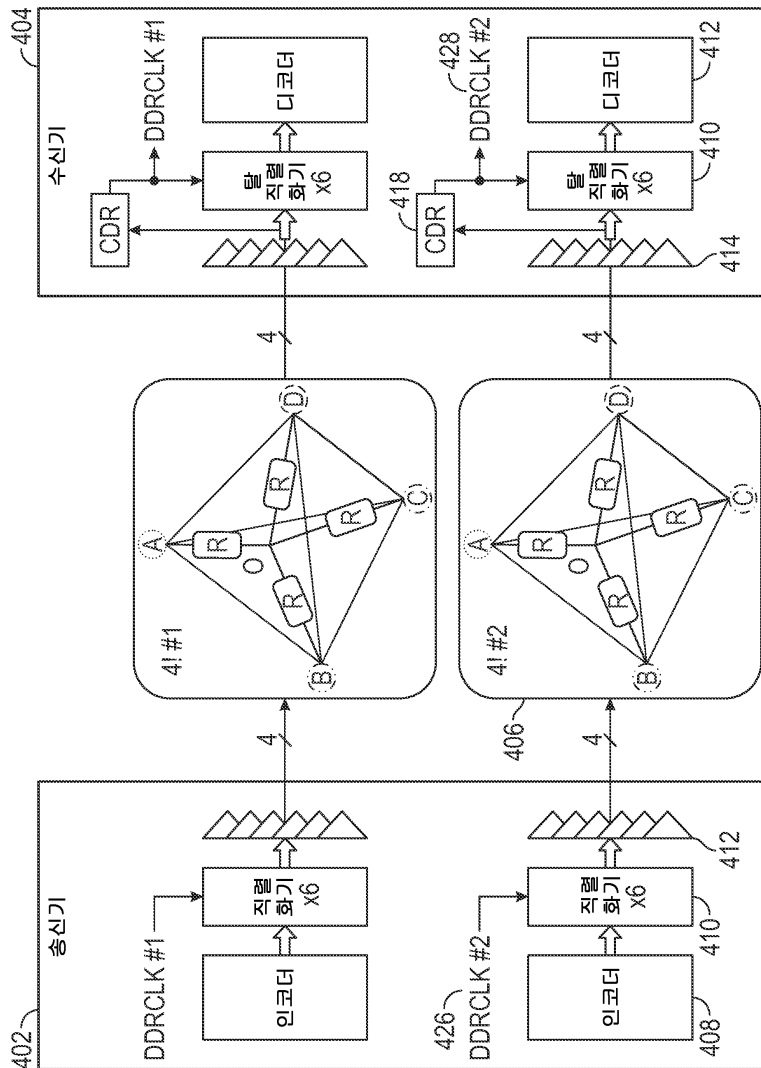
도면2



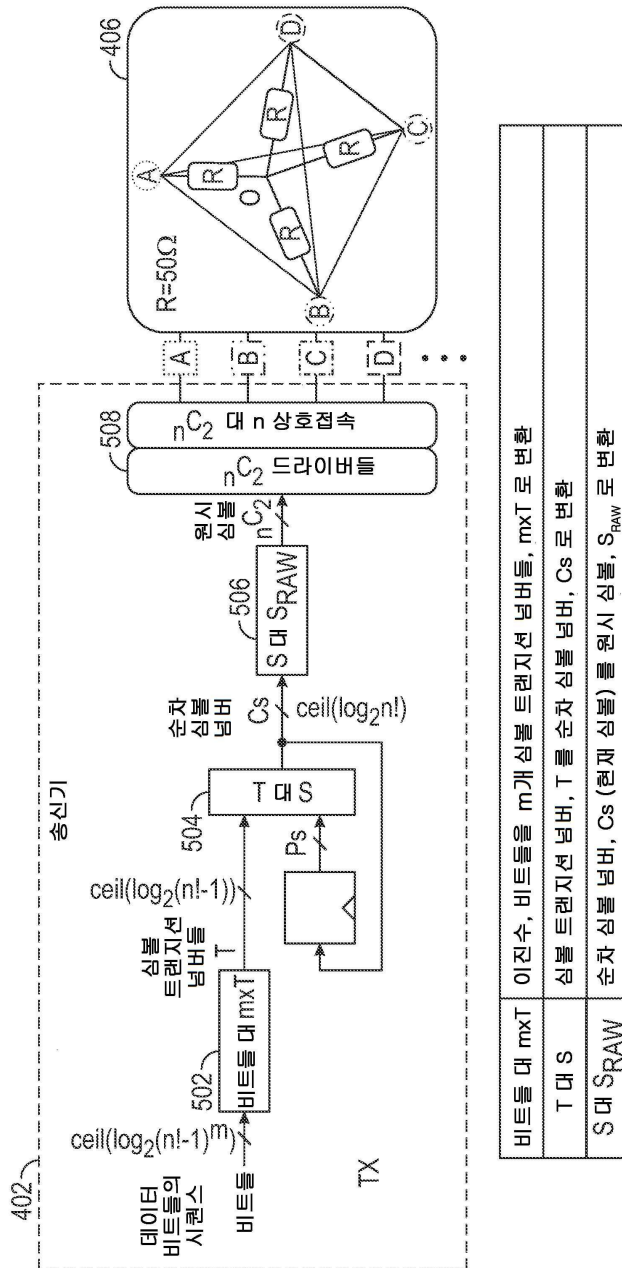
도면3



도면4

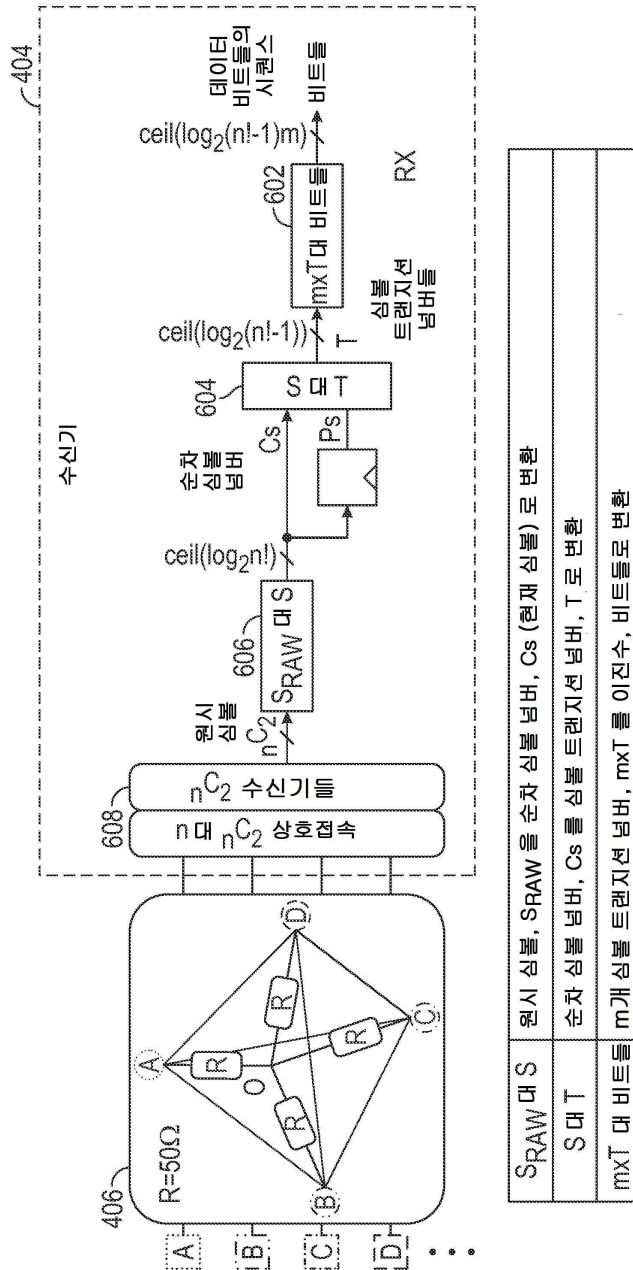


도면5

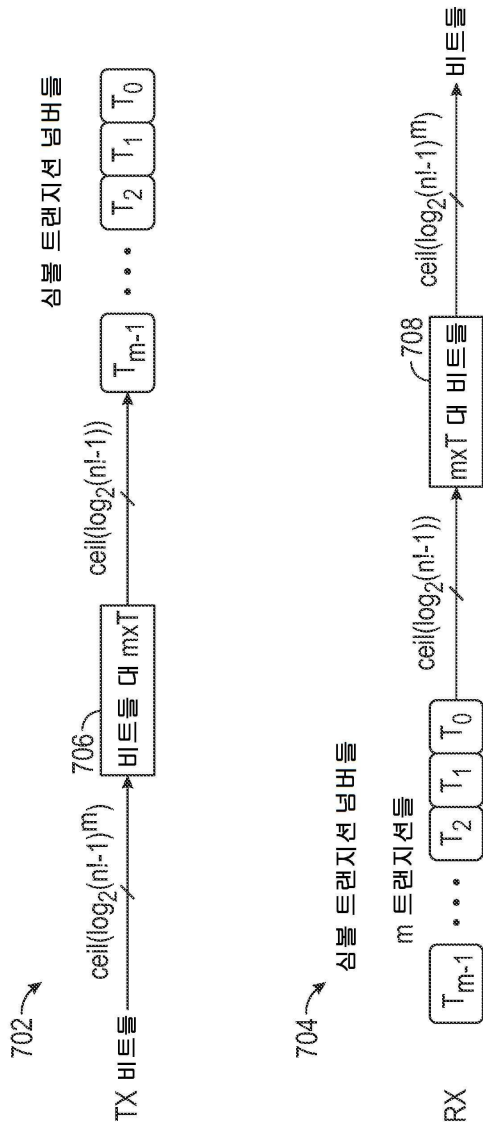


비트들 대 mxT	이진수, 비트들을 m 개 심볼 트랜지션 넘버들, mxT 로 변환
T 대 S	심볼 트랜지션 넘버, T 를 순차 심볼 넘버, C_s 로 변환
S 대 S_{RAW}	순차 심볼 넘버, C_s (현재 심볼) 를 원시 심볼, S_{RAW} 로 변환

도면6



도면7

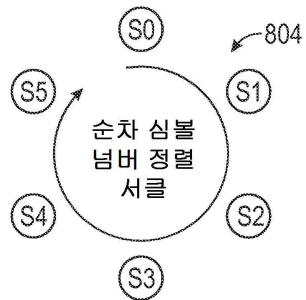


도면8

순차 심볼 넘버

802

이전 심볼 Ps	현재 심볼 Cs	트랜지션 넘버 T
0	1	0
	2	1
	3	2
	4	3
	5	4
1	0	4
	2	0
	3	1
	4	2
	5	3
2	0	3
	1	4
	3	0
	4	1
	5	2
...		
5	0	0
	1	1
	2	2
	3	3
	4	4



도면9

$n=3$ 에 대한 심볼 넘버 변환은 다음과 같이 간단하다:

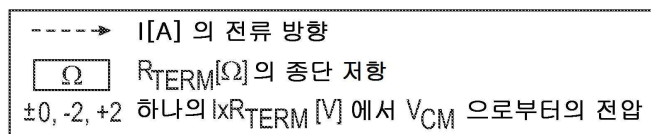
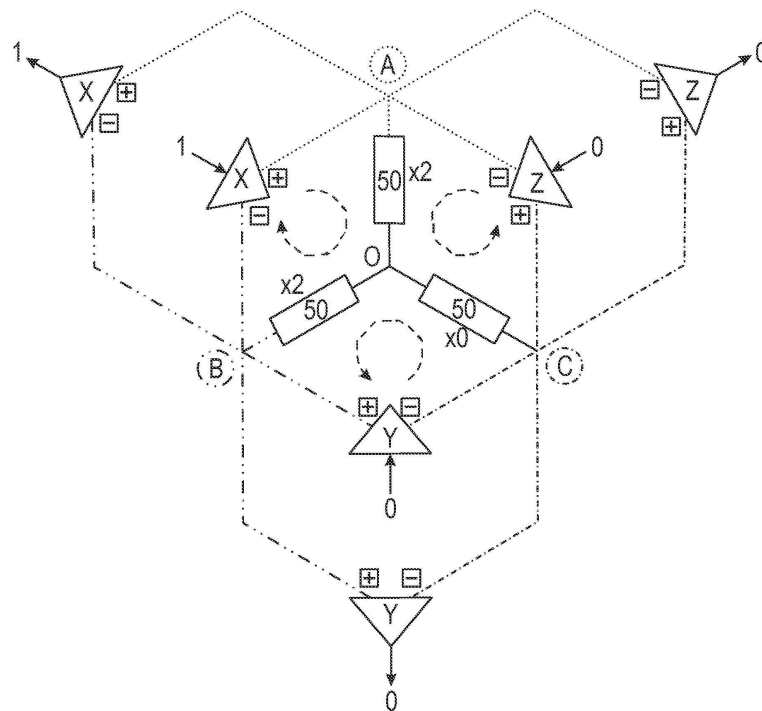
$$V[2:0] = \{Z, Y, X\} == 6 ? 0 : \{Z, Y, X\};$$

$$\{Z, Y, X\} = V[2:0] == 0 ? 6 : V[2:0];$$

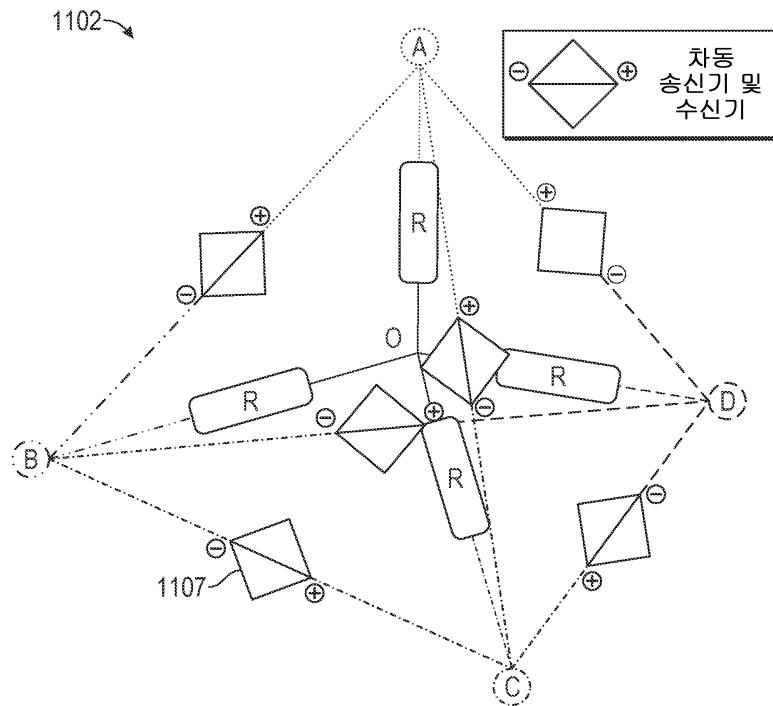
원시 심볼			순차 심볼 넘버	“3-상” 심볼	
Z	Y	X	V[2:0]		
1	1	0	0	-x	오직 심볼 $\{Z, Y, X\} \neq V[2:0]$
0	0	1	1	+x	
0	1	0	2	+y	
0	1	1	3	-z	
1	0	0	4	+z	
1	0	1	5	-y	

도면10

1002

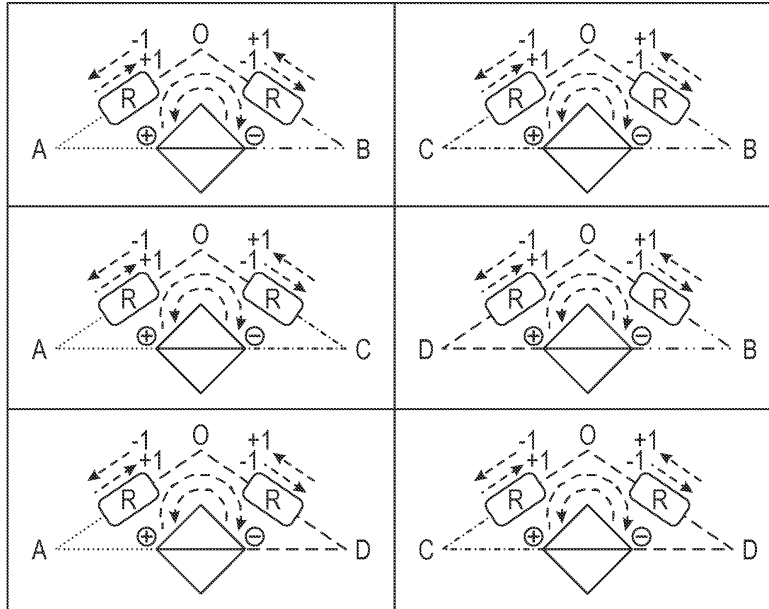


도면11a



도면11b

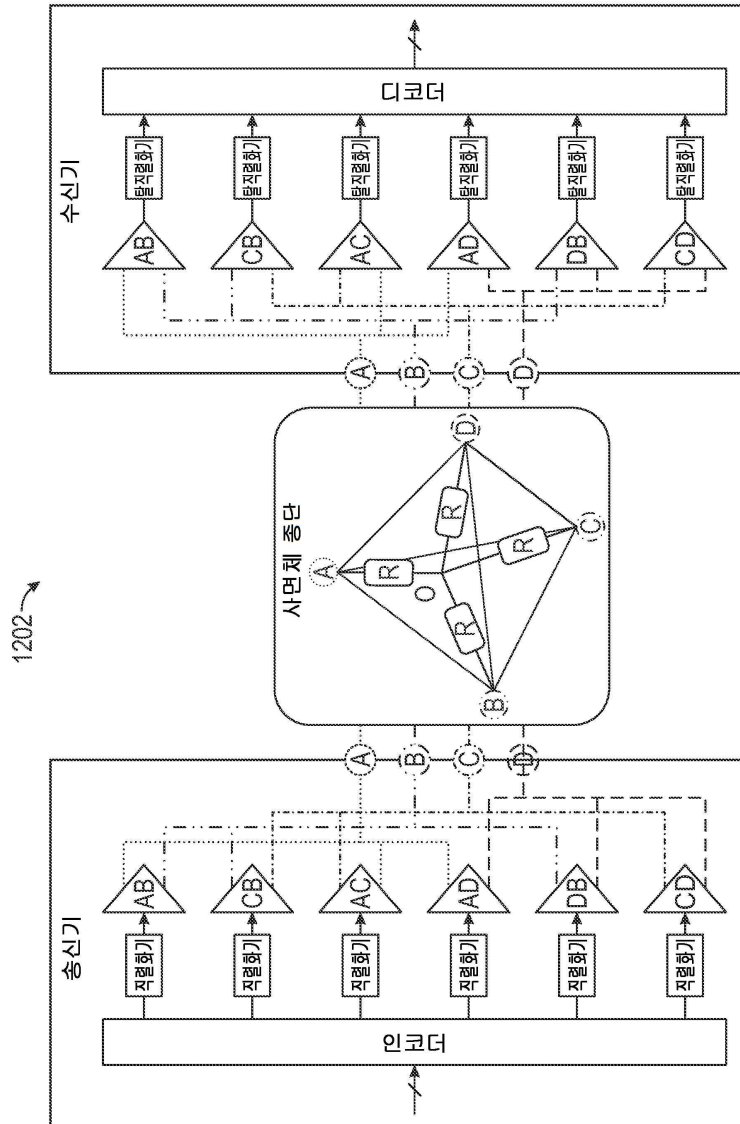
1104



1106

접속된 드라이버들로부터 의 전류의 기록			R 에서 가능한 전체 전류	
+1	+1	+1	+3	모든 드라이브 +1
+1	+1	-1	+1	하나의 드라이브들 -1
+1	-1	-1	-1	하나의 드라이브 +1
-1	-1	-1	-3	모든 드라이브 -1

도면12



도면13a

사면체: 6-비트 입력당 차동 전압 (1)

S _{RAW} (CD, DB, AD, AC, CB, AB)	각각의 R _{TERM} 에서의 전압				차동 전압						0 차동 레벨?
	DO	CO	BO	AO	DB	CB	AD	AC	CD	AB	
000000	1	-1	3	-3	-2	-4	-4	-2	-2	-6	
000001	1	-1	1	-1	0	-2	-2	0	-2	-2	0
000010	-1	1	3	-3	-4	-2	-2	-4	2	-6	
000011	-1	1	1	-1	-2	0	0	-2	2	-2	0
000100	1	-3	3	-1	-2	-6	-2	2	-4	-4	
000101	1	-3	1	1	0	-4	0	4	-4	0	0
000110	-1	-1	3	-1	-4	-4	0	0	0	-4	0
000111	-1	-1	1	1	-2	-2	2	2	0	0	0
001000	-1	-1	3	-1	-4	-4	0	0	0	-4	0
001001	-1	-1	1	1	-2	-2	2	2	0	0	0
001010	-3	1	3	-1	-6	-2	2	-2	4	-4	
001011	-3	1	1	1	-4	0	4	0	4	0	0
001100	-1	-3	3	1	-4	-6	2	4	-2	-2	
001101	-1	-3	1	3	-2	-4	4	6	-2	2	
001110	-3	-1	3	1	-6	-4	4	2	2	-2	
001111	-3	-1	1	3	-4	-2	6	4	2	2	
010000	1	1	1	-3	0	0	-4	-4	0	-4	0
010001	1	1	-1	-1	2	2	-2	-2	0	0	0
010010	-1	3	1	-3	-2	2	-2	-6	4	-4	
010011	-1	3	-1	-1	0	4	0	-4	4	0	0
010100	1	-1	1	-1	0	-2	-2	0	-2	-2	0
010101	1	-1	-1	1	2	0	0	2	-2	2	0
010110	-1	1	1	-1	-2	0	0	-2	2	-2	0
010111	-1	1	-1	1	0	2	2	0	2	2	0
011000	-1	1	1	-1	-2	0	0	-2	2	-2	0
011001	-1	1	-1	1	0	2	2	0	2	2	0
011010	-3	3	1	-1	-4	2	2	-4	6	-2	
011011	-3	3	-1	1	-2	4	4	-2	6	2	
011100	-1	-1	1	1	-2	-2	2	2	0	0	0
011101	-1	-1	-1	3	0	0	4	4	0	4	0
011110	-3	1	1	1	-4	0	4	0	4	0	0
011111	-3	1	-1	3	-2	2	6	2	4	4	

도면13b

사면체: 6-비트 입력당 차동 전압 (2)

S _{RAW} (CD, DB, AD, AC, CB, AB)	각각의 R _{TERM} 에서의 전압				차동 전압						0 차동 레벨?
	DO	CO	BO	AO	DB	CB	AD	AC	CD	AB	
100000	3	-1	1	-3	2	-2	-6	-2	-4	-4	
100001	3	-1	-1	-1	4	0	-4	0	-4	0	0
100010	1	1	1	-3	0	0	-4	-4	0	-4	0
100011	1	1	-1	-1	2	2	-2	-2	0	0	0
100100	3	-3	1	-1	2	-4	-4	2	-6	-2	
100101	3	-3	-1	1	4	-2	-2	4	-6	2	
100110	1	-1	1	-1	0	-2	-2	0	-2	-2	0
100111	1	-1	-1	1	2	0	0	2	-2	2	0
101000	1	-1	1	-1	0	-2	-2	0	-2	-2	0
101001	1	-1	-1	1	2	0	0	2	-2	2	0
101010	-1	1	1	-1	-2	0	0	-2	2	-2	0
101011	-1	1	-1	1	0	2	2	0	2	2	0
101100	1	-3	1	1	0	-4	0	4	-4	0	0
101101	1	-3	-1	3	2	-2	2	6	-4	4	
101110	-1	-1	1	1	-2	-2	2	2	0	0	0
101111	-1	-1	-1	3	0	0	4	4	0	4	0
110000	3	1	-1	-3	4	2	-6	-4	-2	-2	
110001	3	1	-3	-1	6	4	-4	-2	-2	2	
110010	1	3	-1	-3	2	4	-4	-6	2	-2	
110011	1	3	-3	-1	4	6	-2	-4	2	2	
110100	3	-1	-1	-1	4	0	-4	0	-4	0	0
110101	3	-1	-3	1	6	2	-2	2	-4	4	
110110	1	1	-1	-1	2	2	-2	-2	0	0	0
110111	1	1	-3	1	4	4	0	0	0	4	0
111000	1	1	-1	-1	2	2	-2	-2	0	0	0
111001	1	1	-3	1	4	4	0	0	0	4	0
111010	-1	3	-1	-1	0	4	0	-4	4	0	0
111011	-1	3	-3	1	2	6	2	-2	4	4	
111100	1	-1	-1	1	2	0	0	2	-2	2	0
111101	1	-1	-3	3	4	2	2	4	-2	6	
111110	-1	1	-1	1	0	2	2	0	2	2	0
111111	-1	1	-3	3	2	4	4	2	2	6	

도면14

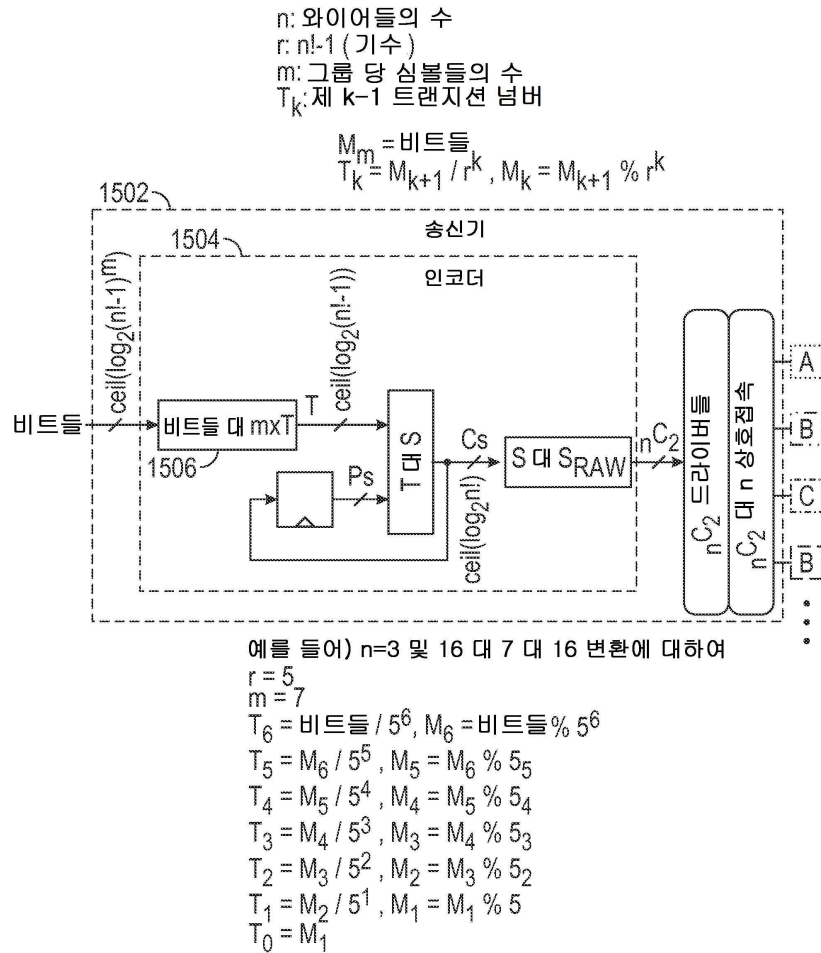
수동적으로 할당된 원시 심볼 ↔ 넘버 변환 표

S _{RAW} (CD, DB, AD, AC, CB, AB)	각각의 R _{TERM} 에서의 전압				차동 전압						S(4:0)
	DO	CO	BO	AO	DB	CB	AD	AC	CD	AB	
010010	-1	3	1	-3	-2	2	-2	-6	4	-4	0x0
001101	-1	-3	1	3	-2	-4	4	6	-2	2	0x1
110010	1	3	-1	-3	2	4	-4	-6	2	-2	0x2
101101	1	-3	-1	3	2	-2	2	6	-4	4	0x3
100000	3	-1	1	-3	2	-2	-6	-2	-4	-4	0x4
001111	-3	-1	1	3	-4	-2	6	4	2	2	0x5
110000	3	1	-1	-3	4	2	-6	-4	-2	-2	0x6
011111	-3	1	-1	3	-2	2	6	2	4	4	0x7
000100	1	-3	3	-1	-2	-6	-2	2	-4	-4	0x8
110011	1	3	-3	-1	4	6	-2	-4	2	2	0x9
001100	-1	-3	3	1	-4	-6	2	4	-2	-2	0xA
111011	-1	3	-3	1	2	6	2	-2	4	4	0xB
001010	-3	1	3	-1	-6	-2	2	-2	4	-4	0xC
110001	3	1	-3	-1	6	4	-4	-2	-2	2	0xD
001110	-3	-1	3	1	-6	-4	4	2	2	-2	0xE
110101	3	-1	-3	1	6	2	-2	2	-4	4	0xF
011010	-3	3	1	-1	-4	2	2	-4	6	-2	0x10
011011	-3	3	-1	1	-2	4	4	-2	6	2	0x11
100100	3	-3	1	-1	2	-4	-4	2	-6	-2	0x12
100101	3	-3	-1	1	4	-2	-2	4	-6	2	0x13
000000	1	-1	3	-3	-2	-4	-4	-2	-2	-6	0x14
111101	1	-1	-3	3	4	2	2	4	-2	6	0x15
000010	-1	1	3	-3	-4	-2	-2	-4	2	-6	0x16
111111	-1	1	-3	3	2	4	4	2	2	6	0x17

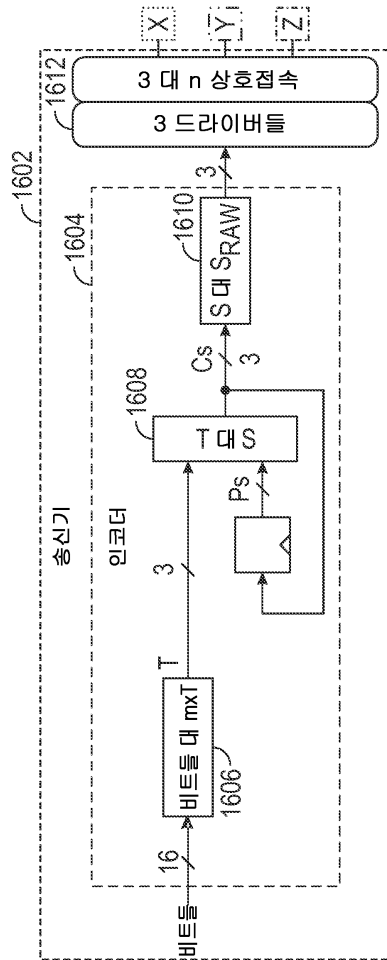
기본 16 개 심볼들 “메인”

대안적인 심볼들 “대안”

도면15



도면16



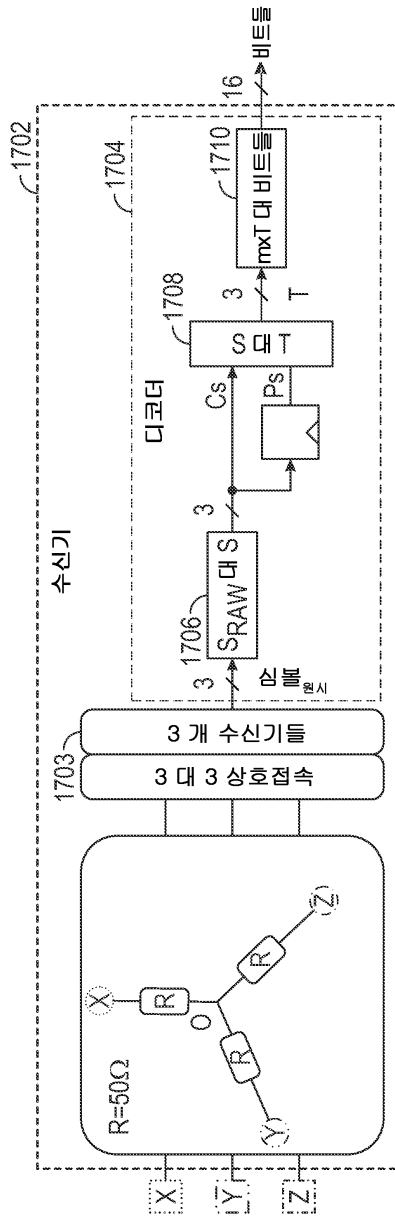
$$\left\{ \begin{array}{l} T_6 = \text{비트들} / 5^6, M_6 = \text{비트들} \% 5^6 \\ T_5 = M_6 / 5^5, M_5 = M_6 \% 5^5 \\ T_4 = M_5 / 5^4, M_4 = M_5 \% 5^4 \\ T_3 = M_4 / 5^3, M_3 = M_4 \% 5^3 \\ T_2 = M_3 / 5^2, M_2 = M_3 \% 5^2 \\ T_1 = M_2 / 5^1, M_1 = M_2 \% 5 \\ T_0 = M_1 \end{array} \right\}$$

5진
(베이스-5)
수

$$Cs = Ps+1 + T < 6 ? Ps+1 + T : Ps+1 + T-6$$

$$\text{심볼_형식} = Cs == 0 ? 6 : Cs$$

도면17

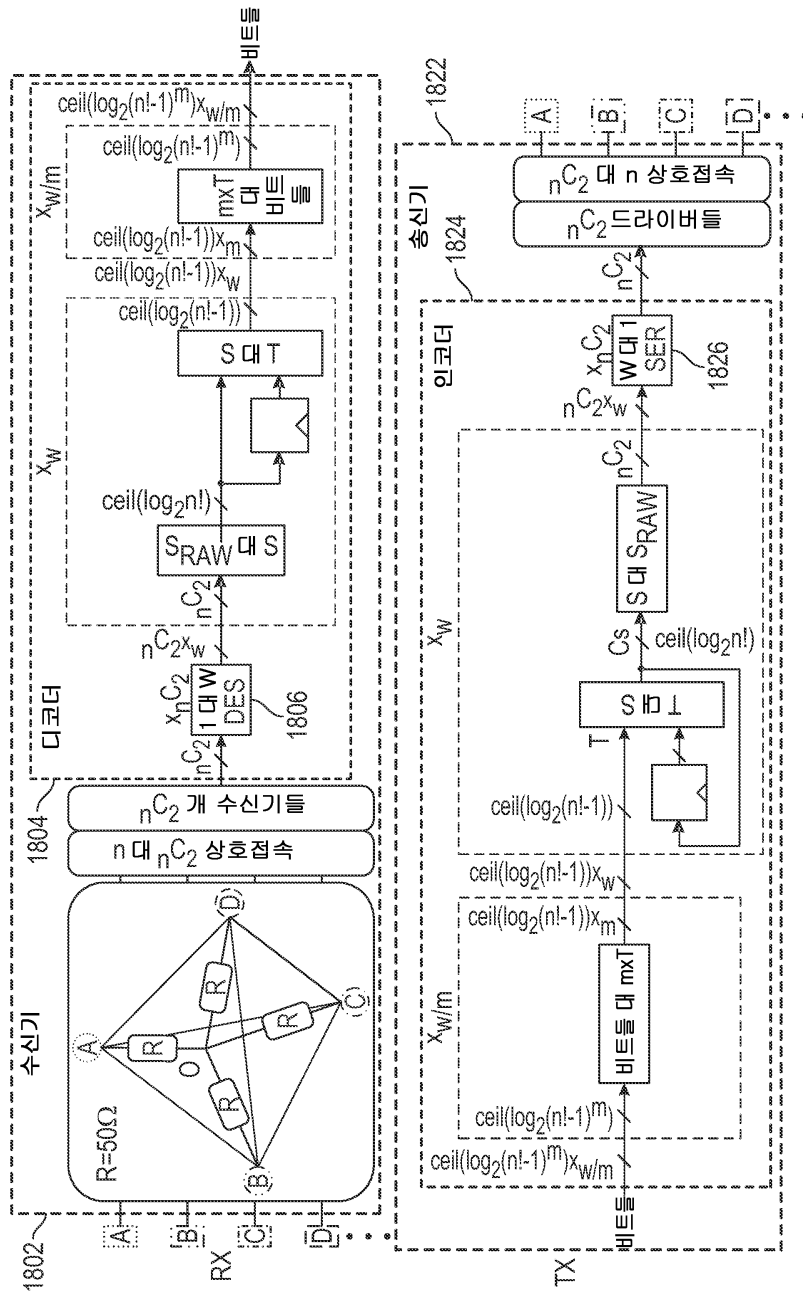


$Cs = \text{신물}_{\text{원시}} == 6 ? 0 : \text{신물}_{\text{원시}}$

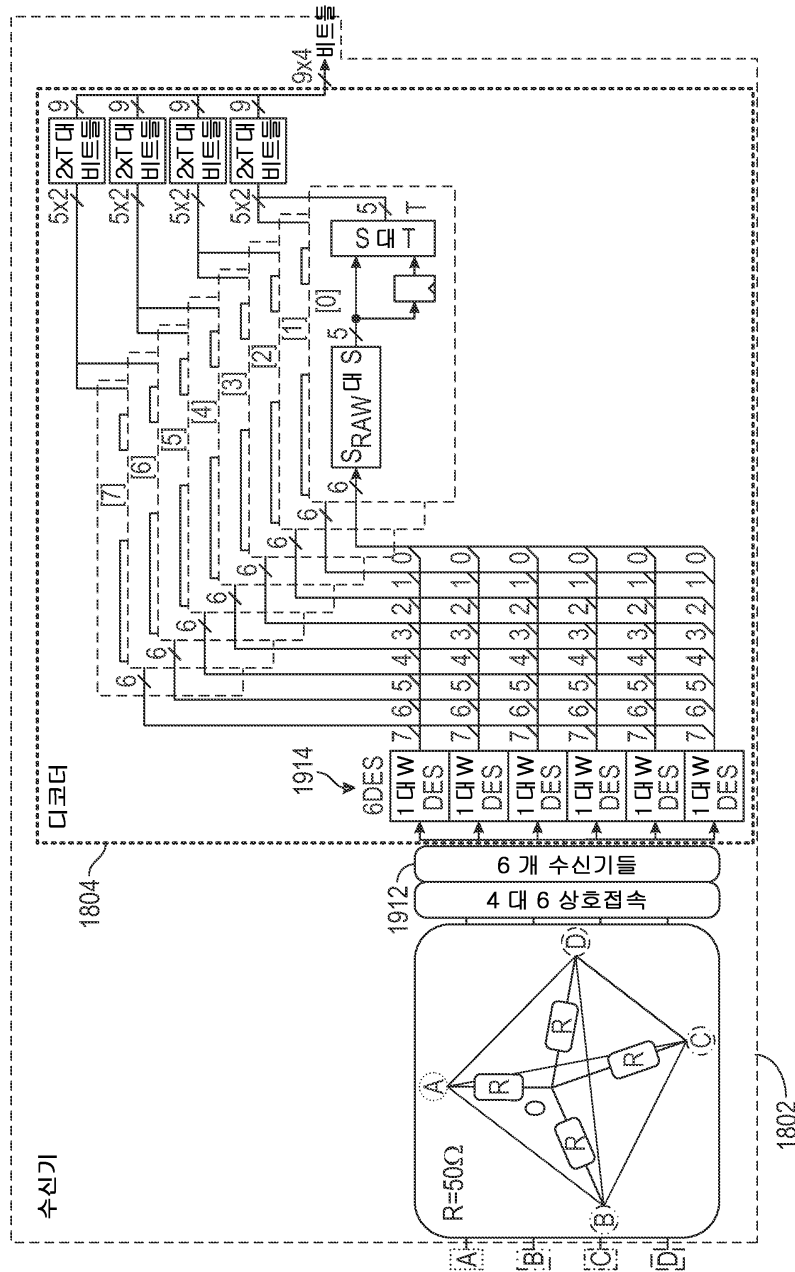
$T = Ps + 1 < Cs ? Cs - (Ps + 1) : Cs - (Ps + 1) + 6$

비트들 = $T_6 \times 5^6 + T_5 \times 5^5 + T_4 \times 5^4 + T_3 \times 5^3 + T_2 \times 5^2 + T_1 \times 5 + T_0$
 $= T_6 \times 0 \times 3 \times D09 + T_5 \times 0 \times C35 + T_4 \times 0 \times 271 + T_3 \times 0 \times 7D + T_2 \times 0 \times 19 + T_1 \times 0 \times 5 + T_0$

도면18



도면19



도면20

n	활용 %	심볼/ 그룹	비트들/ 그룹	정수 (bpg)	비트들/ 사이클	비트들/ 와이어	비트들/ 와이어 x 2
3	99.98	28	65.0140	65	2.3214	0.7738	1.5476
3	99.92	25	58.0482	58	2.3200	0.7733	1.5467
3	99.84	22	51.0824	51	2.3182	0.7727	1.5455
3	99.74	19	44.1166	44	2.3158	0.7719	1.5439
3	99.59	32	74.3017	74	2.3125	0.7708	1.5417
3	99.59	16	37.1508	37	2.3125	0.7708	1.5417
3	99.50	29	67.3359	67	2.3103	0.7701	1.5402
3	99.39	26	60.3701	60	2.3077	0.7692	1.5385
3	99.39	13	30.1851	30	2.3077	0.7692	1.5385
3	99.24	23	53.4043	53	2.3043	0.7681	1.5362
3	99.06	30	69.6578	69	2.3000	0.7667	1.5333
3	99.06	20	46.4386	46	2.3000	0.7667	1.5333
3	99.06	10	23.2193	23	2.3000	0.7667	1.5333
3	98.90	27	62.6921	62	2.2963	0.7654	1.5309
3	98.80	17	39.4728	39	2.2941	0.7647	1.5294
3	98.70	24	55.7263	55	2.2917	0.7639	1.5278
3	98.64	31	71.9798	71	2.2903	0.7634	1.5269
3	98.44	21	48.7605	48	2.2857	0.7619	1.5238
3	98.44	14	32.5070	32	2.2857	0.7619	1.5238
3	98.44	7	16.2535	16	2.2857	0.7619	1.5238
3	98.10	18	41.7947	41	2.2778	0.7593	1.5185
3	97.88	11	25.5412	25	2.2727	0.7576	1.5152
3	97.62	15	34.8289	34	2.2667	0.7556	1.5111
3	96.90	12	27.8631	27	2.2500	0.7500	1.5000
3	96.90	8	18.5754	18	2.2500	0.7500	1.5000
3	96.90	4	9.2877	9	2.2500	0.7500	1.5000
3	95.71	9	20.8974	20	2.2222	0.7407	1.4815
3	94.75	5	11.6096	11	2.2000	0.7333	1.4667
3	93.31	6	13.9316	13	2.1667	0.7222	1.4444
3	86.14	3	6.9658	6	2.0000	0.6667	1.3333
3	86.14	2	4.6439	4	2.0000	0.6667	1.3333
3	86.14	1	2.3219	2	2.0000	0.6667	1.3333

도면21

n	활용 %	심볼/ 그룹	비트들/ 그룹	정수 (bpg)	비트들/ 사이클	비트들/ 와이어	비트들/ 와이어 x 2
4	99.96	23	104.0419	104	4.5217	1.1304	2.2609
4	99.92	25	113.0890	113	4.5200	1.1300	2.2600
4	99.89	27	122.1362	122	4.5185	1.1296	2.2593
4	99.86	29	131.1833	131	4.5172	1.1293	2.2586
4	99.84	31	140.2304	140	4.5161	1.1290	2.2581
4	99.48	32	144.7540	144	4.5000	1.1250	2.2500
4	99.48	30	135.7069	135	4.5000	1.1250	2.2500
4	99.48	28	126.6597	126	4.5000	1.1250	2.2500
4	99.48	26	117.6126	117	4.5000	1.1250	2.2500
4	99.48	24	108.5655	108	4.5000	1.1250	2.2500
4	99.48	22	99.5184	99	4.5000	1.1250	2.2500
4	99.48	20	90.4712	90	4.5000	1.1250	2.2500
4	99.48	18	81.4241	81	4.5000	1.1250	2.2500
4	99.48	16	72.3770	72	4.5000	1.1250	2.2500
4	99.48	14	63.3299	63	4.5000	1.1250	2.2500
4	99.48	12	54.2827	54	4.5000	1.1250	2.2500
4	99.48	10	45.2356	45	4.5000	1.1250	2.2500
4	99.48	8	36.1885	36	4.5000	1.1250	2.2500
4	99.48	6	27.1414	27	4.5000	1.1250	2.2500
4	99.48	4	18.0942	18	4.5000	1.1250	2.2500
4	99.48	2	9.0471	9	4.5000	1.1250	2.2500
4	98.95	21	94.9948	94	4.4762	1.1190	2.2381
4	98.90	19	85.9477	85	4.4737	1.1184	2.2368
4	98.83	17	76.9006	76	4.4706	1.1176	2.2353
4	98.74	15	67.8534	67	4.4667	1.1167	2.2333
4	98.63	13	58.8063	58	4.5615	1.1154	2.2308
4	98.47	11	49.7592	49	4.4545	1.1136	2.2273
4	98.25	9	40.7121	40	4.4444	1.1111	2.2222
4	97.90	7	31.6649	31	4.4286	1.1071	2.2143
4	97.27	5	22.6178	22	4.4000	1.1000	2.2000
4	95.79	3	13.5707	13	4.3333	1.0833	2.1667
4	88.43	1	4.5236	4	4.0000	1.0000	2.0000

도면22

n	활용 %	심볼/ 그룹	비트들/ 그룹	정수 (bpg)	비트들/ 사이클	비트들/ 와이어	비트들/ 와이어 x 2
5	100.00	19	131.0015	131	6.8947	1.3789	2.7579
5	99.97	28	193.0549	193	6.8929	1.3786	2.7571
5	99.91	27	186.1601	186	6.8889	1.3778	2.7556
5	99.91	18	124.1067	124	6.8889	1.3778	2.7556
5	99.91	9	62.0534	62	6.8889	1.3778	2.7556
5	99.85	26	179.2653	179	6.8846	1.3769	2.7538
5	99.82	17	117.2119	117	6.8824	1.3765	2.7529
5	99.79	25	172.3704	172	6.8800	1.3760	2.7520
5	99.71	32	220.6342	220	6.8750	1.3750	2.7500
5	99.71	24	165.4756	165	6.8750	1.3750	2.7500
5	99.71	16	110.3171	110	6.8750	1.3750	2.7500
5	99.71	8	55.1585	55	6.8750	1.3750	2.7500
5	99.65	31	213.7394	213	6.8710	1.3742	2.7484
5	99.63	23	158.5808	158	6.8696	1.3739	2.7478
5	99.59	30	206.8445	206	6.8667	1.3733	2.7467
5	99.59	15	103.4223	103	6.8667	1.3733	2.7467
5	99.55	22	151.6860	151	6.8636	1.3727	2.7455
5	99.53	29	199.9497	199	6.8621	1.3724	2.7448
5	99.45	21	144.7912	144	6.8571	1.3714	2.7429
5	99.45	14	96.5274	96	6.8571	1.3714	2.7429
5	99.45	7	48.2637	48	6.8571	1.3714	2.7429
5	99.35	20	137.8964	137	6.8500	1.3700	2.7400
5	99.29	13	89.6326	89	6.8462	1.3692	2.7385
5	99.11	12	82.7378	82	6.8333	1.3667	2.7333
5	99.11	6	41.3689	41	6.8333	1.3667	2.7333
5	98.89	11	75.8430	75	6.8182	1.3636	2.7273
5	98.62	10	68.9482	68	6.8000	1.3600	2.7200
5	98.62	5	34.4741	34	6.8000	1.3600	2.7200
5	97.90	4	27.5793	27	6.7500	1.3500	2.7000
5	96.69	3	20.6845	20	6.6667	1.3333	2.6667
5	94.27	2	13.7896	13	6.5000	1.3000	2.6000
5	87.02	1	6.8948	6	6.0000	1.2000	2.4000

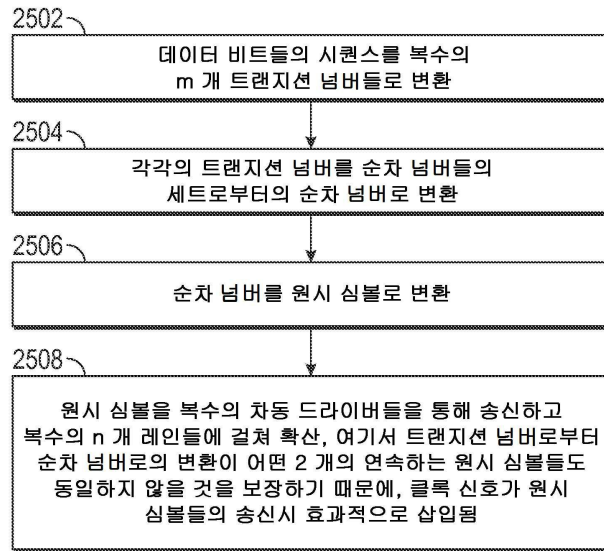
도면23

n	활용 %	심볼/ 그룹	비트들/ 그룹	정수 (bpg)	비트들/ 사이클	비트들/ 와이어	비트들/ 와이어 x 2
6	99.94	31	294.1853	294	9.4839	1.5806	3.1613
6	99.93	29	275.2056	275	9.4828	1.5805	3.1609
6	99.91	27	256.2259	256	9.4815	1.5802	3.1605
6	99.90	25	237.2462	237	9.4800	1.5800	3.1600
6	99.88	23	218.2665	218	9.4783	1.5797	3.1594
6	99.86	21	199.2868	199	9.4762	1.5794	3.1587
6	99.83	19	180.3071	180	9.4737	1.5789	3.1579
6	99.80	17	161.3274	161	9.4706	1.5784	3.1569
6	99.78	32	303.6751	303	9.4688	1.5781	3.1556
6	99.76	30	284.6954	284	9.4667	1.5778	3.1556
6	99.76	15	142.3477	142	9.4667	1.5778	3.1556
6	99.73	28	265.7157	265	9.4643	1.5774	3.1548
6	99.70	26	246.7360	246	9.4615	1.5769	3.1538
6	99.70	13	123.3680	123	9.4615	1.5769	3.1538
6	99.67	24	227.7564	227	9.4583	1.5764	3.1528
6	99.63	22	208.7767	208	9.4545	1.5758	3.1515
6	99.63	11	104.3883	104	9.4545	1.5758	3.1515
6	99.58	20	189.7970	189	9.4500	1.5750	3.1500
6	99.52	18	170.8173	170	9.4444	1.5741	3.1481
6	99.52	9	85.4086	85	9.4444	1.5741	3.1481
6	99.45	16	151.8376	151	9.4375	1.5729	3.1458
6	99.35	14	132.8579	132	9.4286	1.5714	3.1429
6	99.35	7	66.4289	66	9.4286	1.5714	3.1429
6	99.23	12	113.8782	113	9.4167	1.5694	3.1389
6	99.05	10	94.8985	94	9.4000	1.5667	3.1333
6	99.05	5	47.4492	47	9.4000	1.5667	3.1333
6	98.79	8	75.9188	75	9.3750	1.5625	3.1250
6	98.35	6	56.9391	56	9.3333	1.5556	3.1111
6	98.35	3	28.4695	28	9.3333	1.5556	3.1111
6	97.47	4	37.9594	37	9.2500	1.5417	3.0833
6	94.84	2	18.9797	18	9.0000	1.5000	3.0000
6	94.84	1	9.4898	9	9.0000	1.5000	3.0000

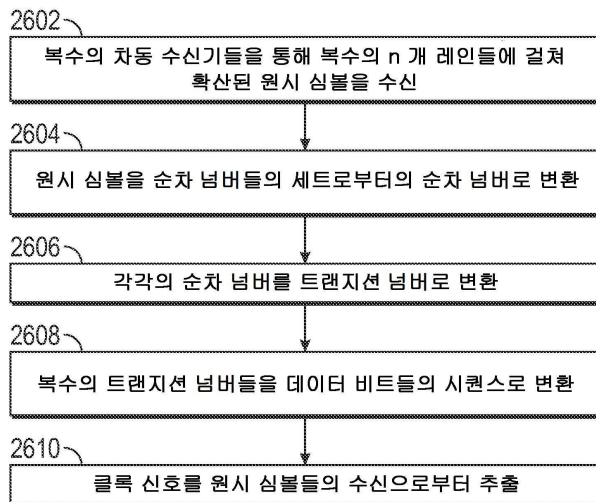
도면24

n	활용 %	심볼/ 그룹	비트들/ 그룹	정수 (bpg)	비트들/ 사이클	비트들/ 와이어	비트들/ 와이어 x 2
7	99.98	27	332.0709	332	12.2963	1.7566	3.5132
7	99.96	17	209.0817	209	12.2941	1.7563	3.5126
7	99.94	24	295.1741	295	12.2917	1.7560	3.5119
7	99.93	31	381.2666	381	12.2903	1.7558	3.5115
7	99.89	28	344.3698	344	12.2857	1.7551	3.5102
7	99.89	21	258.2774	258	12.2857	1.7551	3.5102
7	99.89	14	172.1849	172	12.2857	1.7551	3.5102
7	99.89	7	86.0925	86	12.2857	1.7551	3.5102
7	99.86	32	393.5655	393	12.2812	1.7545	3.5089
7	99.85	25	307.4730	307	12.2800	1.7543	3.5086
7	99.83	18	221.3806	221	12.2778	1.7540	3.5079
7	99.81	29	356.6687	356	12.2759	1.7537	3.5074
7	99.79	22	270.5763	270	12.2727	1.7532	3.5065
7	99.79	11	135.2881	135	12.2727	1.7532	3.5065
7	99.76	26	319.7720	319	12.2692	1.7527	3.5055
7	99.74	30	368.9677	368	12.2667	1.7524	3.5048
7	99.74	15	184.4838	184	12.2667	1.7524	3.5048
7	99.71	19	233.6795	233	12.2632	1.7519	3.5038
7	99.69	23	282.8752	282	12.2609	1.7516	3.5031
7	99.60	20	245.9784	245	12.2500	1.7500	3.5000
7	99.60	16	196.7827	196	12.2500	1.7500	3.5000
7	99.60	12	147.5871	147	12.2500	1.7500	3.5000
7	99.60	8	98.3914	98	12.2500	1.7500	3.5000
7	99.60	4	49.1957	49	12.2500	1.7500	3.5000
7	99.45	13	159.8860	159	12.2308	1.7473	3.4945
7	99.38	9	110.6903	110	12.2222	1.7460	3.4921
7	99.20	10	122.9892	122	12.2000	1.7429	3.4857
7	99.20	5	61.4946	61	12.2000	1.7429	3.4857
7	98.92	6	73.7935	73	12.1667	1.7381	3.4762
7	97.57	3	36.8968	36	12.0000	1.7143	3.4286
7	97.57	2	24.5978	24	12.0000	1.7143	3.4286
7	97.57	1	12.2989	12	12.0000	1.7143	3.4286

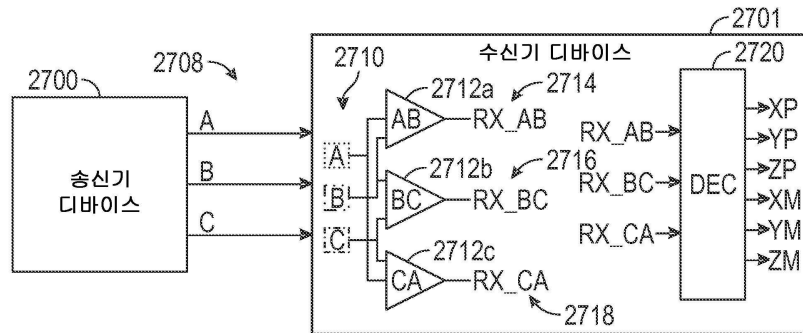
도면25



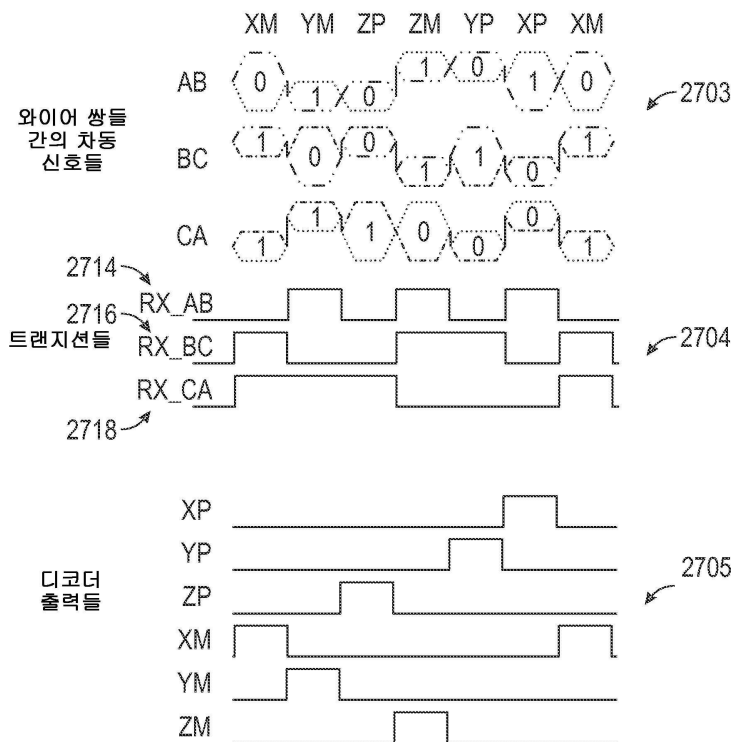
도면26



도면27



상태들



도면28

2802 ↘

	와이어들/ 핀들의 수	사이클 당 상태들의 수	사이클 당 비트들	드라이버들/ 수신기들의 수	차동 전압 레벨의 수
	n	$s (= n!)$	$\log_2(s)$	$d (= {}_nC_2)$	$n-1$
N 계승 N!	3	6	2.58	3	2
	4	24	4.58	6	3
	5	120	6.91	10	4
	6	720	9.49	15	5