



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I484573 B

(45)公告日：中華民國 104 (2015) 年 05 月 11 日

(21)申請案號：098118689

(22)申請日：中華民國 98 (2009) 年 06 月 05 日

(51)Int. Cl. : H01L21/66 (2006.01)

H01L27/12 (2006.01)

H01L29/78 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
新竹市新竹科學工業園區力行二路 3 號

(72)發明人：李岳勳 LEE, YUE SHIUN (TW)；劉元昌 LIU, YUAN CHANG (TW)；陳正雄 CHEN, CHENG HSIUNG (TW)

(74)代理人：戴俊彥；吳豐任

(56)參考文獻：

US	6173235B1
US	6693326B2
US	7453121B2
US	2008/0076196A1

US	6623995B1
US	7000201B2
US	2007/0018247A1

審查人員：趙芝婷

申請專利範圍項數：20 項 圖式數：15 共 36 頁

(54)名稱

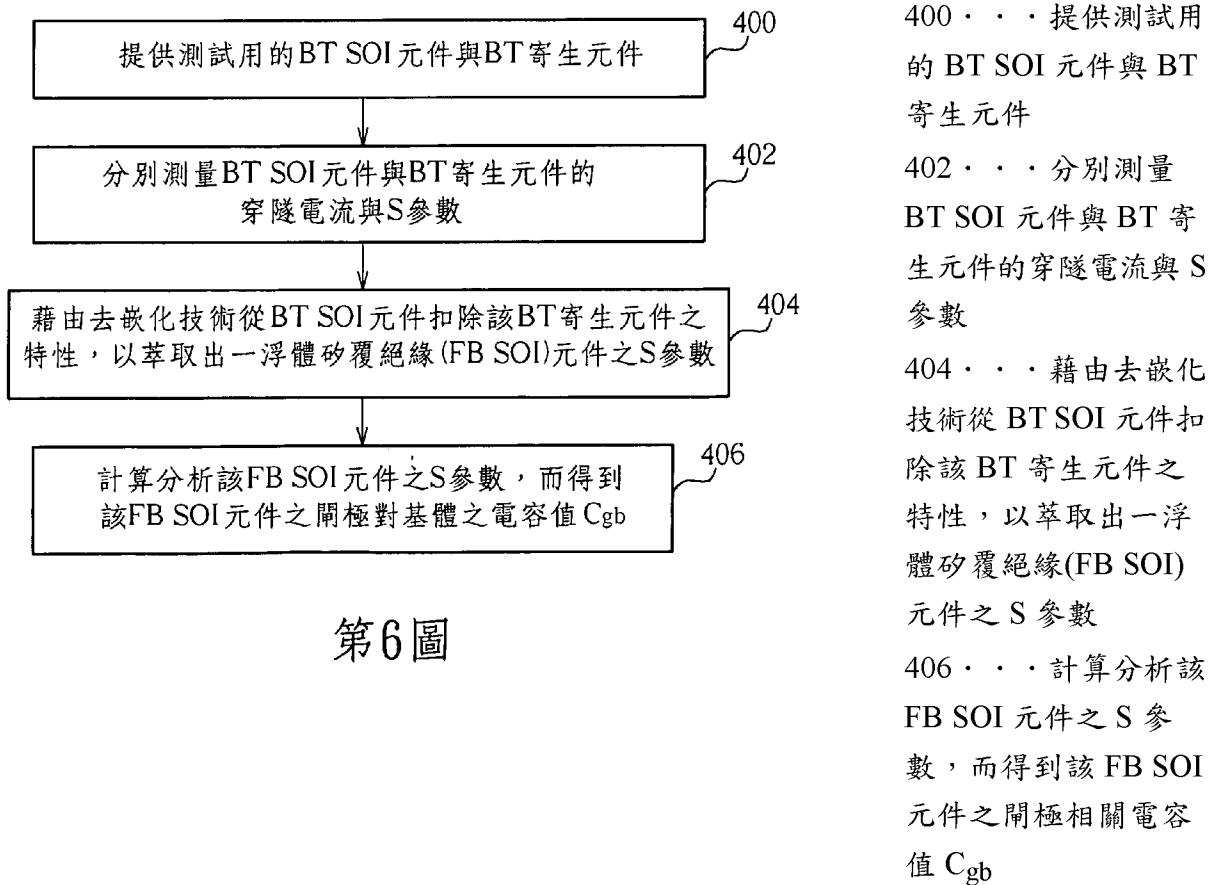
半導體元件特徵化方法及半導體元件

METHOD OF CHARACTERIZING A SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)摘要

一種半導體元件特徵化方法，首先提供一矽覆絕緣(SOI)基底，該 SOI 基底上設置有至少一測試用主體可外接矽覆絕緣(BT SOI)元件與一 BT 寄生元件，隨後分別測量該 BT SOI 元件與該 BT 寄生元件的穿隧電流與散射參數，並利用該 BT 虛設元件之穿隧電流校正該 BT SOI 元件之穿隧電流，以獲得一浮體矽覆絕緣(FB SOI)元件之穿隧電流，再藉由去嵌化技術從 BT SOI 元件扣除該 BT 寄生元件之特性，以萃取出該 FB SOI 元件之 S 參數，最後由該 FB SOI 元件之 S 參數得到真正屬於該 FB SOI 元件之閘極相關電容值。

A method of characterizing a semiconductor device includes providing a silicon-on-insulator (SOI) substrate with at least a body-tied (BT) SOI device and a BT dummy device for measurement, respectively measuring tunneling currents ( $I_{gb}$ ) and scattering parameters (S-parameters) of the BT SOI device and the BT dummy device, subtracting  $I_{gb}$  of the BT dummy device from that of the BT SOI device to obtain  $I_{gb}$  of a floating body (FB) SOI device, filtering characteristics of the BT dummy device out to extract S-parameters of the FB SOI device, and analyzing the S-parameters of the FB SOI device to obtain gate-related capacitances of the FB SOI device.



第6圖

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 098118689

H01L 24/66 2006.01

※申請日： 98 6 5

※IPC 分類： H01L 27/12 2006.01

一、發明名稱：(中文/英文)

H01L 29/78 2006.01

半導體元件特徵化方法及半導體元件/METHOD OF  
 CHARACTERIZING A SEMICONDUCTOR DEVICE AND  
 SEMICONDUCTOR DEVICE

## ● 二、中文發明摘要：

一種半導體元件特徵化方法，首先提供一矽覆絕緣(SOI)基底，該 SOI 基底上設置有至少一測試用主體可外接矽覆絕緣(BT SOI)元件與一 BT 寄生元件，隨後分別測量該 BT SOI 元件與該 BT 寄生元件的穿隧電流與散射參數，並利用該 BT 虛設元件之穿隧電流校正該 BT SOI 元件之穿隧電流，以獲得一浮體矽覆絕緣(FB SOI)元件之穿隧電流，再藉由去嵌化技術從 BT SOI 元件扣除該 BT 寄生元件之特性，以萃取出該 FB SOI 元件之 S 參數，最後由該 FB SOI 元件之 S 參數得到真正屬於該 FB SOI 元件之閘極相關電容值。

## ● 三、英文發明摘要：

A method of characterizing a semiconductor device includes providing a silicon-on-insulator (SOI) substrate with at least a body-tied (BT) SOI device and a BT dummy device for measurement, respectively measuring tunneling currents

( $I_{gb}$ ) and scattering parameters (S-parameters) of the BT SOI device and the BT dummy device, subtracting  $I_{gb}$  of the BT dummy device from that of the BT SOI device to obtain  $I_{gb}$  of a floating body (FB) SOI device, filtering characteristics of the BT dummy device out to extract S-parameters of the FB SOI device, and analyzing the S-parameters of the FB SOI device to obtain gate-related capacitances of the FB SOI device.

#### 四、指定代表圖：

(一) 本案指定代表圖為：第（6）圖。

(二) 本代表圖之元件符號簡單說明：

400 提供測試用的 BT SOI 元件與 BT 寄生元件

402 分別測量 BT SOI 元件與 BT 寄生元件的穿隧電流與 S  
參數

404 藉由去嵌化技術從 BT SOI 元件扣除該 BT 寄生元件之  
特性，以萃取出一浮體矽覆絕緣(FB SOI)元件之 S 參  
數

406 計算分析該 FB SOI 元件之 S 參數，而得到該 FB SOI  
元件之間極相關電容值  $C_{gb}$

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的 化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體元件之特徵化方法以及半導體元件，尤指一種浮體(floating body)矽覆絕緣(silicon-on-insulator，SOI)半導體元件之特徵化方法以及應用於該特徵化方法之半導體元件。

### 【先前技術】

隨著對高性能電路的要求，傳統塊晶(bulk)金屬氧化物半導體場化電晶體(MOSFET)結構因無法克服超短通道效應，以及因 PN 接面面積較多而產生的寄生電容與漏電流等不理想的效應，使得矽覆絕緣(SOI)技術持續受到矚目。

在 SOI 技術中，MOSFET 元件係形成於一矽薄膜上，矽薄膜與基材之間則設置有一埋置氧化(buried oxide，以下簡稱為 BOX)層，其提供了許多超越傳統塊晶 MOSFET 元件的優點，例如 SOI MOSFET 元件具有較小的寄生電容，因此在電路操作中具有較佳的速度特性；SOI MOSFET 元件的抗輻射能力強，因此可減少軟式錯誤(soft error)；由於埋置氧化層的存在，可防止栓鎖(latch-up)效應；SOI MOSFET 元件更因受短通道效應的影響較小，使得元件較易微縮(scaled down)。由於具有上述提高性能、高封裝密度以及低功耗等

優點，在半導體製程領域中，SOI MOSFET 元件更有成為元件主流的預見。

根據 BOX 層上矽薄膜的厚度，SOI 技術又可分為部分空乏矽覆絕緣(partially depleted，PD SOI)或完全空乏矽覆絕緣(fully depleted，FD SOI)。而由於高度生產性的優勢，目前較常使用的 SOI 技術乃為 PD SOI。請參閱第 1 圖，第 1 圖係為一習知 PD SOI 元件之示意圖。PD SOI 元件 100 係設置於一 SOI 基底 110 上，SOI 基底 110 則包含有一基材 112、一矽薄膜 116、與一設置於基材 112 與矽薄膜 116 之間的 BOX 層 114。PD SOI 元件 100 更包含一閘極導電層 120、一閘極介電層 122 與一源極/汲極 124。PD SOI 元件 100 的矽薄膜 116 厚度比空乏區要厚，因此使得其基底 110 的一區域未遭空乏且未接地，故一般將其描述為一浮動基體(floating body) 126。且由於 PD SOI 元件 100 的基體 126 並未接地，因此元件因衝擊離子化而產生的電荷載子無法排除，並使得 PD SOI 元件 100 的基體電位可能隨著靜態、動態或暫態元件操作條件的不同而浮動，從而導致 PD SOI 元件 100 的臨界電壓的變化，即所謂的遲滯效應(hysteresis effect)或稱歷史效應(history effect)。簡單地說，PD SOI 元件 100 的基體電位與元件特性深受開關狀態歷史之影響。

如前所述，由於 PD SOI 元件 100 的基體 126 並未接地；

且因 PD SOI 元件 100 的特性受到歷史效應影響甚鉅，因此目前仍無法將 PD SOI 元件 100，尤其是基體未接地之浮體(FB) SOI 元件，真實的特性如閘極對基體(gate-to-body)電容( $C_{gb}$ ) 與閘極對基體穿隧電流(tunneling current,  $I_{gb}$ ) 等特徵化。

此外，由於在射頻(radio frequency, RF)元件中，閘極阻抗與閘極電容決定了 MOSFET 元件的輸入阻抗，因此能夠精確的量測閘極電容乃為 RF 電路模擬的關鍵。不僅如此，該領域中具通常知識者應知元件特性分析對於積體電路設計而言極為重要：可靠的元件模型必需來自精確的量測技術，且能從量測資料中萃取(extract)出待測元件的實際特性，以提供元件的製程與元件設計者快速而詳實的元件特性，作為進一步改良的依據。

### 【發明內容】

因此，本發明之一目的係在於提供一種可有效獲得 FB SOI 元件特性的特徵化方法以及應用於該特徵化方法的半導體元件。

根據本發明所提供之申請專利範圍，係提供一種半導體元件特徵化方法，該方法首先提供一 SOI 基底，該 SOI 基底上設置有至少一主體可外接(body-tied)矽覆絕緣(BT SOI)元

件與一主體可外接(BT)寄生元件，其中該 BT 寄生元件包含有一第一型源極/汲極重摻雜區域與一寄生閘極，且該寄生閘極不設置於該第一型源極/汲極重摻雜區域之上，隨後分別測量該 BT SOI 元件與該 BT 寄生元件的穿隧電流( $I_{gb}$ )與散射參數 (scattering parameters, S 參數)，並利用該 BT 寄生元件之穿隧電流校正該 BT SOI 元件之穿隧電流，以獲得一浮體矽覆絕緣(FB SOI)元件之穿隧電流，再藉由一去嵌化技術從該 BT SOI 元件扣除該 BT 寄生元件之特性，以萃取出該 FB SOI 元件之 S 參數，最後計算分析該 FB SOI 元件之 S 參數而得到真正屬於該 FB SOI 元件之閘極相關電容值 ( $C_{gb}$ )。

根據本發明所提供之申請專利範圍，更提供一種半導體元件，該半導體元件包含有一包含有一第二型井區之 SOI 基底、一設置於該第二型井區內之第一型源極/汲極重摻雜區域重摻雜區域、一設置於該 SOI 基底內且藉由該第二型井區與該第一型源極/汲極重摻雜區域隔離之第一型重摻雜區域、一設置於該第二型井區上且不跨越該源極/汲極重摻雜區域之寄生閘極、以及一與一電路電性連接之基體。

根據本發明所提供之半導體元件特徵化方法，係首揭露用去嵌化技術的觀念與寄生元件之設置去除 BT SOI 元件所帶來的寄生效應，並藉由 S 參數計算分析出 FD SOI 元件正確的  $C_{gb}$ 。另外，藉由寄生元件所提供的  $I_{gb}$ ，係可校正 BT SOI

元件所量得之  $I_{gb}$ ，並真正獲得該 FD SOI 元件的  $I_{gb}$ 。

### 【實施方式】

本發明所提供之半導體元件測量方法與應用於該方法之半導體元件適用於元件晶圓之切割道或於監控片(monitor wafer)表面製作之複數個測試鍵(test key)結構，亦即在進行晶粒上射頻元件之各項半導體製程的同時，便採用相同的步驟於晶圓切割道或監控片表面製作測試所需的半導體元件，來模擬晶粒上之相同製程。然後再利用探針(probe)等測試裝置接觸測試鍵，量測測試元件的各項參數，以獲得所需的測量資料，進而從測量資料中萃取出待測元件的實際特性。

請參閱第 2 圖與第 3 圖，第 2 圖係一測試用主體可外接(body-tied)矽覆絕緣元件(以下簡稱為 BT SOI 元件)之一第一較佳實施例之示意圖；第 3 圖為第 2 圖中 BT SOI 元件沿切線 A-A' 所獲得的一剖面示意圖。如前所述，BT SOI 元件係於晶粒上 RF 元件之各項半導體製程的同時，即採用相同的步驟於晶圓之切割道或於監控片表面所製作而得，因此該等步驟係不再於此贅述。另外，本第一較佳實施例中之 BT SOI 元件係為一 N 型 MOSFET 元件，但熟習該項技藝之人士應知 BT SOI 元件亦不限為一 P 型 BT SOI 元件。而當 BT SOI 元件為 P 型時，熟習該項技藝之人士應知下述的 N、P

型摻雜質之利用即相反，故於此亦不再贅述。

如第 2 圖與第 3 圖所示，本第一較佳實施例首先提供一 BT SOI 元件 200，設置於一 SOI 基底 210 上。SOI 基底 210 包含有一基材 212、一埋置氧化(BOX)層 214 與一 P 型摻雜矽層 216。基於氧化矽(SiO)材料優良的絕緣特性，以及易與矽晶圓製程的高整合性，BOX 層 214 較佳為氧化矽層，但不限於此。P 型摻雜矽層 216 內尚有一淺溝隔離(shallow trench isolation，STI) 220 與一 P 型井區 230，且部分的 P 型井區 230 係作為 BT SOI 元件 200 之基體。BT SOI 元件 200 具有一由氧化矽、氮化矽或其他高介電係數材料構成之閘極介電層 240(示於第 3 圖)，形成於基材 210 的表面上。而在閘極介電層 240 上，BT SOI 元件 200 尚包含一 T 型的閘極結構 242，閘極結構 242 具有一第一部 246 與一垂直於第一部 246 的第二部 248，且第二部 248 係如第 2 圖所示，延伸並橫越 P 型井區 230。第二部 248 兩側之 P 型井區 230 內，係設置一 N 型源極/汲極重摻雜區域 244，值得注意的是，由於在佈植用以形成 N 型源極/汲極重摻雜區域 244 的摻雜質時，P 型井區 230 上方的第二部 248 與部分的第一部 246 係作為一 N 型摻雜質的佈植遮罩，因此完成佈植之後第二部 248 與此部分的第一部 246 係具有 N 型摻雜質而形成一 N 型區域 242a。另外，相對於 N 型區域 242a 之另一側，即遠離 N 型源極/汲極重摻雜區域 244 的部分第一部 246 則用以作為一 P

15年9月2日修正替換頁

型摻雜質的佈植遮罩，因此該部分的第一部 246 便具有 P 型摻雜質而形成如第 2 圖與第 3 圖所示之 P 型區域 242b。簡單地說，就結構型態而言，閘極結構 242 具有一第一部 246 以及一垂直於第一部 246 且橫跨 P 型井區 230 的第二部 248；就摻雜型態而言，閘極結構 242 則具有一 N 型區域 242a 與一 P 型區域 242b。另外，前述 P 型摻雜質佈植製程係於 P 型摻雜矽層 216 內形成一 P 型重摻雜區域 232。BT SOI 元件 200 更具有接觸插塞 250、252、254（僅示於第 2 圖）。接觸插塞 250 係與閘極結構 242 下方的基體電性連接，接觸插塞 252 與閘極結構 242 電性連接，而接觸插塞 254 則與 N 型源極/汲極重摻雜區域 244 電性連接，是以測試用 BT SOI 元件 200 之元件特性如  $C_{gb}$  以及  $I_{gb}$  可輕易量測並萃取獲得。

然而，由於 T 型閘極結構 242 之第一部 246 同時具有 N 型區域 242a 與 P 型區域 242b，因此會扭曲(distort)實際上有效用的第二部 248 的特性如  $C_{gb}$  與  $I_{gb}$  的量測結果。換句話說，雖然藉由 BT SOI 元件 200 的量測結果可萃取出所欲獲得的元件特性，但實際上 T 型閘極結構 242 之第一部 246 因同時具有 N 型區域 242a 與 P 型區域 242b 反而造成 FB SOI 元件測量時之一影響甚鉅的寄生(parasite)效應，而無法反映實際 FB SOI 元件之特性。

接下來請參閱第 4 圖與第 5 圖，第 4 圖係第一較佳實施

例所提供之一測試用主體可外接(BT)寄生(dummy)元件300之示意圖；第5圖則為第4圖中寄生元件沿切線B-B'所獲得的一剖面示意圖。如前所述，本第一較佳實施例所提供之BT寄生元件300係與晶粒上RF元件以及前述BT SOI元件200形成時同步於晶圓之切割道或於監控片表面所製作而得，故該等步驟亦於此省略。

如第4圖所示，與BT SOI元件200相同，BT寄生元件300係設置於SOI基底210上。BT寄生元件300更具有一虛設閘極342；與BT SOI元件200不同的是，BT寄生元件300並不像BT SOI元件200具有跨越P型井區230的有效第二部248，亦即虛設閘極342與T型閘極結構242具有不同之佈局圖案。然而BT寄生元件300仍然維持與BT SOI元件200相同條件的佈植圖案，且經歷形成N型源極/汲極重摻雜區域244的佈植步驟，故摻雜質會進入原來的P型井區230與虛設閘極342，而分別形成如第5圖所示的N型源極/汲極重摻雜區域重摻雜區域244與N型區域342a。同樣地，BT寄生元件300亦經歷P型摻雜質佈植製程，而形成一P型區域342b，而同時於原來的P型摻雜矽層216內形成一P型重摻雜區域232，且P型重摻雜區域232係藉由P型井區230與N型源極/汲極重摻雜區域244隔離。由此可知BT寄生元件300之虛設閘極342與BT SOI元件200之閘極結構242的第一部246相同，但BT寄生元件300之虛

設閘極 342 並不跨越 N 型源極/汲極重摻雜區域 244。此外，BT 寄生元件 300 具有接觸插塞 350、352，接觸插塞 350 絲與基體電性連接；而接觸插塞 352 則與 N 型源極/汲極重摻雜區域 244 電性連接，是以 BT 寄生元件 300 可提供虛設閘極 342 對基體的相關特性。

請參閱第 6 圖，第 6 圖係本第一較佳實施例所提供之半導體元件之測量方法之一流程示意圖。如第 6 圖所示，本半導體元件之測量方法包含有以下步驟：

- 400：提供測試用的 BT SOI 元件 200 與主體可外接(BT)寄生元件 300；
- 402：分別測量 BT SOI 元件與 BT 寄生元件的穿隧電流與散射參數(scattering parameter，S 參數)；
- 404：藉由去嵌化(de-embedding)技術從 BT SOI 元件扣除 BT 寄生元件之特性，以萃取出浮體矽覆絕緣(FB SOI)元件之 S 參數；
- 406：計算分析該 FB SOI 元件之 S 參數，而得到該 FB SOI 元件之閘極相關電容值  $C_{gb}$ 。

根據本發明所提供之測量方法，BT 寄生元件 300 之虛設閘極 342 絲與 BT SOI 元件 200 中造成量測結果扭曲的 T 型閘極結構 242 之第一部 246 相同，故 BT 寄生元件 300 所提

供的虛設閘極 342 對基體的相關特性可視為相當於第一部 246。因此本發明更利用去嵌化技術輔以適用的軟體去除待測元件的寄生成分，即利用 BT 寄生元件 300 之設置去除 BT SOI 元件 200 中 T 型閘極結構 242 頭部，即同時具有 N 型區域 242a 與 P 型區域 242b 之第一部 246，實際上所產生的寄生效應。由於本發明所提供之半導體元件之測量方法係可有效地去除第一部 246 之寄生效應，輔以如熟習該領域之人士所知，藉由 S 參數與導納參數(admittance parameter, Y-parameter, Y 參數)或阻抗參數 (impedance parameter, Z 參數) 之轉換等方法，係可計算分析得到 FB SOI 元件之閘極對基體正確的之電容值  $C_{gb}$ 。另外，藉由 BT 寄生元件 300 所提供的  $I_{gb}$ ，係可校正 BT SOI 元件 200 所量得之  $I_{gb}$ ，並真正獲得 FB SOI 元件的  $I_{gb}$ 。

請參閱第 7 圖與第 8 圖，第 7 圖為 N 型 BT SOI 元件與經由本方法所獲得的 N 型 FB SOI 元件之  $C_{gb}$  比較圖；第 8 圖則為 P 型 BT SOI 元件與經由本方法所獲得的 P 型 FB SOI 元件之  $C_{gb}$  比較圖。如第 7 圖所示，與真正的 N 型 FB SOI 元件相較，N 型 BT SOI 元件所提供的  $C_{gb}$  常因 T 型閘極結構之頭部（如第一較佳實施例之第一部 246）的寄生效應導致高估(over-estimated)的情形。而如第 8 圖所示，與真正的 P 型 FB SOI 元件相較，P 型 BT SOI 元件則因相同的原因導致所提供的  $C_{gb}$  低估(under-estimated)。也就是說，根據本第

一較佳實施例所提供之方法，便可有效地去除待測元件的寄生成分，而得到所欲取得的實際特性。

接下來請參閱第 9 圖至第 12 圖，第 9 圖為 N 型 BT SOI 元件的  $I_{gb}$  與閘極電壓( $V_{gb}$ )之曲線圖；第 10 圖則為經由本方法所獲得的 N 型 FB SOI 元件之  $I_{gb}$  與  $V_{gb}$  之曲線圖。而第 11 圖為 P 型 BT SOI 元件所量測的  $I_{gb}$  與  $V_{gb}$  之曲線圖；第 12 圖則為經由本方法所獲得的 P 型 FB SOI 元件之  $I_{gb}$  與  $V_{gb}$  之曲線圖。根據上述曲線圖所示，可發現經由本發明所提供之測量方法，可發現不論是 N 型或 P 型的 BT SOI 元件，其  $I_{gb}$  的確與實際 FB SOI 元件的  $I_{gb}$  不同。也就是說，藉由寄生元件 300 所提供的  $I_{gb}$ ，的確可校正 BT SOI 元件 200 所量得之  $I_{gb}$ ，並獲得真正的 FB SOI 的  $I_{gb}$ 。

請參閱第 13 圖與第 14 圖，第 13 圖係第二較佳實施例所提供之一測試用 BT SOI 元件之一示意圖；第 14 圖則為第二較佳實施例所提供之一測試用主體可外接 (BT) 寄生元件 600 之示意圖。由於線性基體電阻(linear body resistance,  $R_B$ )係由元件寬度( $W$ )與閘極長度( $L$ )的函數決定，因此 SOI 技術中亦有形成 H 型閘極以降低線性基體電阻，避免阻值過大造成斷路的作法。且由於 H 型閘極具有較低的電阻以及較佳的跨導(transconductance)，因此與 T 型閘極相比，H 型閘極具有較大截止頻率(cutoff frequency)、較低最小雜訊指數

(minimum noise figure)、以及較佳的射頻性能(RF performance)。當晶圓內製作的 FB SOI 元件具有 H 型閘極時，即於晶圓切割道或於監控片表面採用相同的步驟製作而得到本第二較佳實施例所提供之 BT SOI 元件 500，以模擬晶粒上之相同製程及元件，故第 13 圖所示之 BT SOI 元件 500 亦具有一 H 型閘極。此外第二較佳實施例中之 BT SOI 元件 500 與 BT 寄生元件 600 亦為一 N 型元件，但熟習該項技藝之人士應知該等元件亦不限為一 P 型元件。而當該等元件為 P 型時，熟習該項技藝之人士應知下述的 N、P 型摻雜質之利用即相反，故於此亦不再贅述。另外，第二較佳實施例中各元件之材料係同於第一較佳實施例，故亦可參閱前述第一較佳實施例所揭露者。

如第 13 圖所示，BT SOI 元件 500 係設置於一 SOI 基底 510 上，其包含一 H 型的閘極結構 542；H 型閘極結構 542 包含一對平行之第一部 546 以及一垂直於第一部 546 之第二部 548，且第二部 548 係延伸並橫越一 P 型井區（圖未示）。在第二部 548 兩側之 P 型井區內形成有一 N 型源極/汲極重摻雜區域 544。BT SOI 元件亦包含有一 P 型重摻雜區域（圖未示），其藉由 P 型井區與 N 型源極/汲極重摻雜區域 544 隔離。而用以作為佈植遮罩的閘極結構 542 第二部 548 與部分第一部 546 的閘極結構 542 係具有 N 型摻雜質而形成一 N 型區域 542a；另外遠離 N 型源極/汲極重摻雜區域 544 之部

分第一部 546 則會形成一 P 型區域 542b。簡單地說，就結構型態而言，閘極結構 542 具有一對互相平行的第一部 546 以及一垂直於第一部 546 且橫跨 P 型井區的第二部 548；就摻雜型態而言，閘極結構 542 則具有一 N 型區域 542a 與一 P 型區域 542b。BT SOI 元件 500 更具有接觸插塞 550、552，接觸插塞 550 係與基體電性連接；而接觸插塞 552 則與源極/汲極重摻雜區域 544 電性連接，是以測試用 BT SOI 元件 500 之元件特性如  $C_{gb}$  以及  $I_{gb}$  可輕易量測並萃取獲得。

接下來請參閱第 14 圖。如前所述，由於第一部 546 的 N 型區域 542a 與 P 型區域 542b 的存在，會扭曲實際上有效用的 N 型區域 542a 的特性如  $C_{gb}$  與  $I_{gb}$  的量測。因此，第二較佳實施例更提供之一 BT 寄生元件 600。與 BT SOI 元件 500 相同，BT 寄生元件 600 係設置於 SOI 基底 510 上。BT 寄生元件 600 更具有一虛設閘極 642；與 BT SOI 元件 500 不同的是，虛設閘極 642 係為一對平行的閘極結構；而不像 BT SOI 元件 500 具有跨越 P 型井區的有效的第二部 548。然而 BT 虛設元件 600 亦具有 N 型源極/汲極重摻雜區域 544 與 P 型重摻雜區域，且 P 型重摻雜區域係藉由 P 型井區與 N 型源極/汲極重摻雜區域 544 隔離。同理，作為佈植遮罩的虛設閘極 642 在靠近 N 型源極/汲極重摻雜區域 544 形成一 N 型區域 642a；在靠近 P 型重摻雜區域的一側會形成一 P 型區域 642b。由此可知 BT 虛設元件 600 之虛設閘極 642 係與 BT SOI

元件 500 之第一部 546 相同，但 BT SOI 元件 600 之虛設閘極 642 並不跨越 N 型源極/汲極重摻雜區域 544。此外，BT 寄生元件 600 具有接觸插塞 650、652，接觸插塞 650 係與基體電性連接；而接觸插塞 652 則與 N 型源極/汲極重摻雜區域 544 電性連接，是以 BT 寄生元件 600 可提供虛設閘極 642 對基體的相關特性。

請重新參閱第 6 圖，由於第二較佳實施例所提供之半導體元件之測量方法各步驟係與第一較佳實施例相同，因此該等步驟係可參閱第 6 圖及上述說明。

此外值得注意的是，由於所欲獲得的  $I_{gb}$  與  $C_{gb}$  非常微小，因此本發明所提供之測量方法中，測試用 BT SOI 元件 200/500 與 BT 虛設元件 300/600 較佳可以射頻測試鍵(radio frequency, RF test key)結構建構，以增加  $I_{gb}$  與  $C_{gb}$  的測量精準度。請參閱第 17 圖，其為本發明所提供之 RF 測試鍵之示意圖。如第 17 圖所示，RF 測試鍵 700 係設置於基材 210/510 上，其中央位置係設置待測元件 710 如 BT SOI 元件 200/500 或 BT 虛設元件 300/600，且待測元件 710 具有一閘極連接端 712、一源極連接端 714、一汲極連接端 716 與一基體連接端 718，而該等連接端則依序分別電性連接至待測元件 710 之閘極、源極、汲極與基體。RF 測試鍵 700 包含有一底部金屬層，底部金屬層則具有一前區塊 722、一右區塊 724、一

後區塊 726 與一左區塊 728 環繞設置於待測元件 710 四周，且依序與閘極連接端 712、源極連接端 714、汲極連接端 716 基體連接端 718 電性連接。另外，前區塊 722 與後區塊 726 更分別具有一前訊號墊 742 與一後訊號墊 746，用以與探針連接。

RF 測試鍵結構 700 更具有一位於底部金屬層上方之頂部金屬層，且頂部金屬層與底部金屬層之間則另設有一未示於第 17 圖中之介電層。頂部金屬層包含有右金屬片 764 與左金屬片 768，分別利用導電插塞(via plug)穿過介電層以分別電性連接至底部金屬層之右區塊 724 與左區塊 728。右金屬片 764 與左金屬片 768 各為一狹長之金屬片，且互相平行。在右金屬片 764 之前端定義有一接地墊 764a；後端則定義有另一接地墊 764b。左金屬片 768 之前端定義有一接地墊 768a；後端亦定義有另一接地墊 768b。另外如第 17 圖所示，接地墊 768a、前訊號墊 742 與接地墊 764a 係排列成一前排連接區域；而接地墊 768b、後訊號墊 746 與接地墊 764b 則排列成一後排連接區域，即前後排連接區域由左至右依序為接地墊區域、訊號墊區域、接地墊區域(G-S-G)。如此一來，探針卡之探針就可分別接觸於射頻測試鍵 700 之前排連接區域與後排連接區域，進行待測元件 710 之測試。

綜上所述，本發明係首揭利用去嵌化技術的觀念與虛設

元件之設置去除 BT SOI 元件所帶來的寄生效應，並藉由 Y 參數、Z 參數的轉換分析出浮體電晶體元件正確的  $C_{gb}$ 。另外，藉由 BT 寄生元件所提供的  $I_{gb}$ ，係可校正 BT SOI 元件所量得之  $I_{gb}$ ，並真正獲得浮體電晶體的  $I_{gb}$ 。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖為一習知 PD SOI 元件之示意圖。

第 2 圖為一測試用主體可外接(BT) SOI 元件之一第一較佳實施例之示意圖。

第 3 圖為第 2 圖中 BT SOI 元件沿切線 A-A' 所或的的一剖面示意圖。

第 4 圖為第一較佳實施例中一測試用 BT 寄生元件。

第 5 圖為第 4 圖中 BT 寄生元件沿切線 B-B' 所或的的一剖面示意圖之佈局圖。

第 6 圖為本第一較佳實施例所提供之半導體元件之測量方法之一流程示意圖。

第 7 圖為 N 型 BT SOI 元件與經由本方法所獲得的 N 型 FB SOI 元件之  $C_{gb}$  比較圖。

第 8 圖為 P 型 BT SOI 元件與經由本方法所獲得的 P 型 FB SOI 元件之  $C_{gb}$  比較圖。

第 9 圖為一 N 型 BT SOI 元件的穿隧電流 ( $I_{gb}$ ) 與閘極電壓 ( $V_{gb}$ ) 之曲線圖。

第 10 圖為經由本方法所獲得的一 N 型 FB SOI 元件之  $I_{gb}$  與  $V_{gb}$  之曲線圖。

第 11 圖為一 P 型 BT SOI 元件所量測的  $I_{gb}$  與  $V_{gb}$  之曲線圖。

第 12 圖為經由本方法所獲得的一 P 型 FB SOI 元件之  $I_{gb}$  與  $V_{gb}$  之曲線圖。

第 13 圖為一測試用 BT SOI 元件之一第二較佳實施例之示意圖。

第 14 圖為第二較佳實施例所提供之測試用 BT 寄生元件之示意圖。

第 15 圖為本發明所提供之 RF 測試鍵之示意圖。

### 【主要元件符號說明】

100 部分空乏矽覆絕緣元件 110 SOI 基底

112 基材 114 埋置氧化層

116 矽薄膜 120 閘極導電層

122 閘極介電層 124 源極/汲極

126 基體

200、500 主體可外接矽覆絕緣元件

210 SOI 基底

212	基材
214	埋置氧化層
216	P型摻雜矽層
220	淺溝隔離
230	P型井區
232	P型重摻雜區域
240	閘極介電層
242、542	閘極結構
242a、542a	N型區域
242b、542b	P型區域
244、544	N型源極/汲極重摻雜區域
246、546	第一部
248、548	第二部
250、252、254、550、552	接觸插塞
300、600	主體可外接寄生元件
342、642	虛設閘極
342a、642a	N型區域
342b、642b	P型區域
350、352、650、652	接觸插塞
400	提供測試用的 BT SOI 元件與 BT 寄生元件
402	分別測量 BT SOI 元件與 BT 寄生元件的穿隧電

I484573

201044480

103年9月4日修正替換頁

### 流與 S 參數

404 藉由去嵌化技術從 BT SOI 元件扣除該 BT 寄生元件之特性，以萃取出一浮體矽覆絕緣(FB SOI)元件之 S 參數

406 計算分析該 FB SOI 元件之 S 參數，而得到該 FB SOI 元件之間極對基體之電容值  $C_{gb}$

700 射頻測試鍵

710 待測元件

712 閘極連接端

714 源極連接端

716 沖極連接端

718 基體連接端

722 前區塊

724 右區塊

726 後區塊

728 左區塊

742 前訊號墊

746 後訊號墊

764 右金屬片

764a、764b 接地墊

768 左金屬片

I484573

103 年 9 月 24 日修正替換頁

768a、768b 接地墊

## 七、申請專利範圍：

1. 一種半導體元件測量方法，包含有以下步驟：

提供一矽覆絕緣(silicon-on-insulator, SOI)基底，該 SOI 基底上設置有至少一主體可外接(body-tied)矽覆絕緣(BT SOI)元件與一主體可外接(BT)寄生元件，其中該 BT 寄生元件包含有一第一型源極/汲極重摻雜區域與一寄生閘極，且該寄生閘極不設置於該第一型源極/汲極重摻雜區域之上；

分別測量該 BT SOI 元件與該 BT 寄生元件的穿隧電流( $I_{gb}$ )與散射參數 (scattering parameter, S 參數)；

利用該 BT 寄生元件之穿隧電流校正該 BT SOI 元件之穿隧電流，以獲得一浮體矽覆絕緣(floating body, BT SOI)元件之穿隧電流；

藉由去嵌化技術從該 BT SOI 元件扣除該 BT 寄生元件之特性，以萃取出該 FB SOI 元件之 S 參數；以及

計算分析該 FB SOI 元件之 S 參數而得到該 FB SOI 元件之閘極相關電容值 ( $C_{gb}$ )。

2. 如申請專利範圍第 1 項所述之測量方法，其中該 BT SOI 元件與該 BT 寄生元件係利用相同的步驟同時形成於該 SOI 基底上。

3. 如申請專利範圍第 1 項所述之測量方法，其中該 SOI 基

底包含有複數個第二型井區。

4. 如申請專利範圍第3項所述之測量方法，其中該BT SOI元件包含有：

一閘極結構，設置於該第二型井區上；

至少一第一型源極/汲極重摻雜區域，形成於該第二型井區內；

一第二型重摻雜區域，形成於該SOI基底內，且藉由該第二型井區與該第一型源極/汲極重摻雜區域隔離；以及

一基體(body)，且該基體係與一電路電性連接。

5. 如申請專利範圍第4項所述之測量方法，其中該閘極結構具有一第一部與一垂直於該第一部之第二部，且該第二部係跨越該第二型井區。

6. 如申請專利範圍第5項所述之測量方法，其中該閘極結構之第一部具有一第一型區域與一第二型區域，該第一型區域靠近該第一型源極/汲極重摻雜區域，而該第二型區域靠近該第二型重摻雜區域。

7. 如申請專利範圍第6項所述之測量方法，其中該閘極結構係為一T型閘極結構。

8. 如申請專利範圍第 7 項所述之測量方法，其中該 BT 寄生元件更包含有：

一第二型重摻雜區域；以及

一基體，且該基體係與一電路電性連接；其中該寄生閘極係設置於該第二型井區上，且具有一第一型區域與一第二型區域，該第一型區域靠近該第一型源極/汲極重摻雜區域，而該第二型區域靠近該第二型重摻雜區域。

9. 如申請專利範圍第 6 項所述之測量方法，其中該閘極結構係為一 H 型閘極結構，該 H 型閘極結構之該第一部係為一對互相平行且設置於該第二部兩端之結構。

10. 如申請專利範圍第 9 項所述之測量方法，其中該 BT 寄生元件更包含有：

一第二型重摻雜區域；以及

一基體，且該基體係與一電路電性連接；其中該寄生閘極係為一對互相平行，且設置於該第二型井區上之寄生閘極；且該寄生閘極具有一第一型區域與一第二區域，該第一型區域靠近該第一型源極/汲極重摻雜區域，而該第二型區域靠近該第二型重摻雜區域。

11. 如申請專利範圍第 1 項所述之測量方法，其中該 BT SOI 元件與該 BT 寄生元件皆以射頻測試鍵(radio frequency, RF

test key)結構建構。

12. 如申請專利範圍第1項所述之測量方法，其中該SOI基底係為一元件晶圓或一監控片(monitor wafer)之基底。

13. 一種半導體元件，包含有：

- 一矽覆絕緣(SOI)基底，該SOI基底包含有一第二型井區；
- 一第一型源極/汲極重摻雜區域，設置於該第二型井區內，且該第一型源極/汲極重摻雜區域彼此接觸；
- 一第二型重摻雜區域，設置於該SOI基底內，且藉由該第二型井區與該第一型源極/汲極重摻雜區域隔離；
- 一虛設閘極，設置於該第二型井區上，且不跨越該第一型源極/汲極重摻雜區域；以及
- 一主體可外接(BT)基體，且該BT基體係與一電路電性連接。

14. 如申請專利範圍第13項所述之半導體元件，其中該SOI基底依序包含有一基材、一埋置氧化層與一第二型摻雜矽層。

15. 如申請專利範圍第13項所述之半導體元件，其中該虛設閘極具有一第一型區域與一第二區域，該第一型區域靠近該第一型源極/汲極重摻雜區域，而該第二型區域靠近該第二

型重摻雜區域。

16. 如申請專利範圍第 15 項所述之半導體元件，其中該虛設閘極係為一對互相平行之閘極結構。

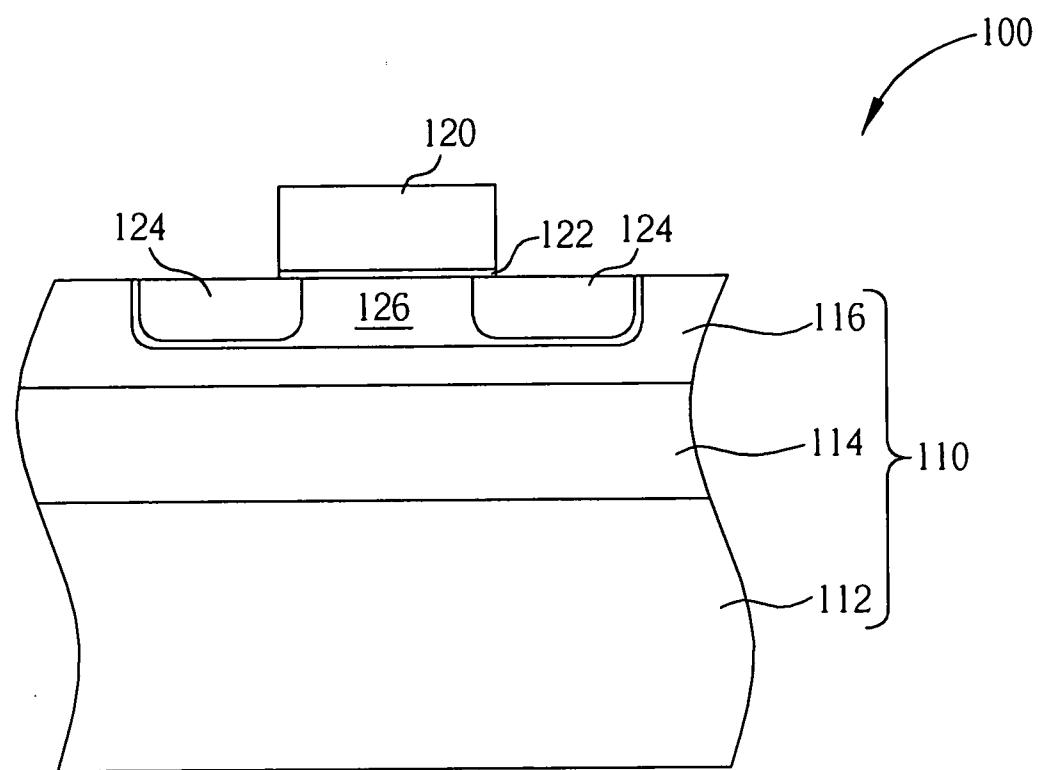
17. 如申請專利範圍第 13 項所述之半導體元件，其中該半導體元件係以射頻測試鍵結構建構。

18. 如申請專利範圍第 13 項所述之半導體元件，其中該 SOI 基底係為一元件晶圓之基底。

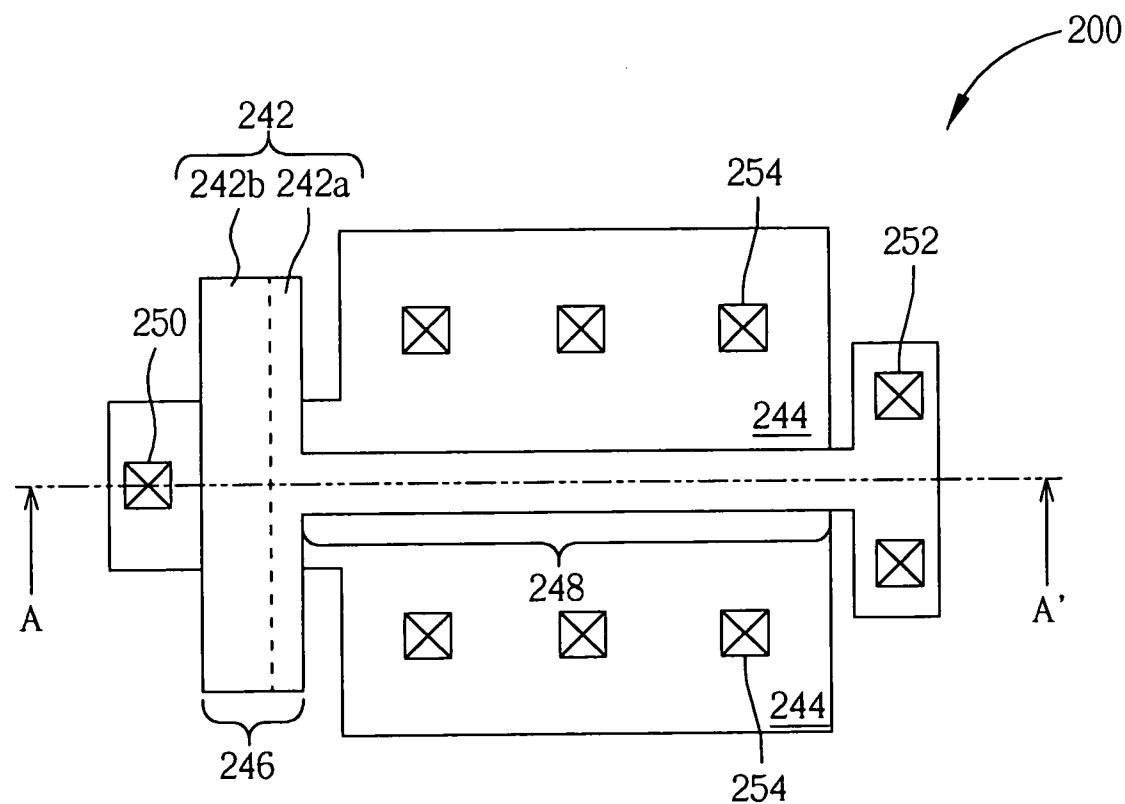
19. 如申請專利範圍第 18 項所述之半導體元件，其中該半導體元件係設置於該元件晶圓之切割道內。

20. 如申請專利範圍第 13 項所述之半導體元件，其中該 SOI 基底係為一監控片(monitor wafer)之基底。

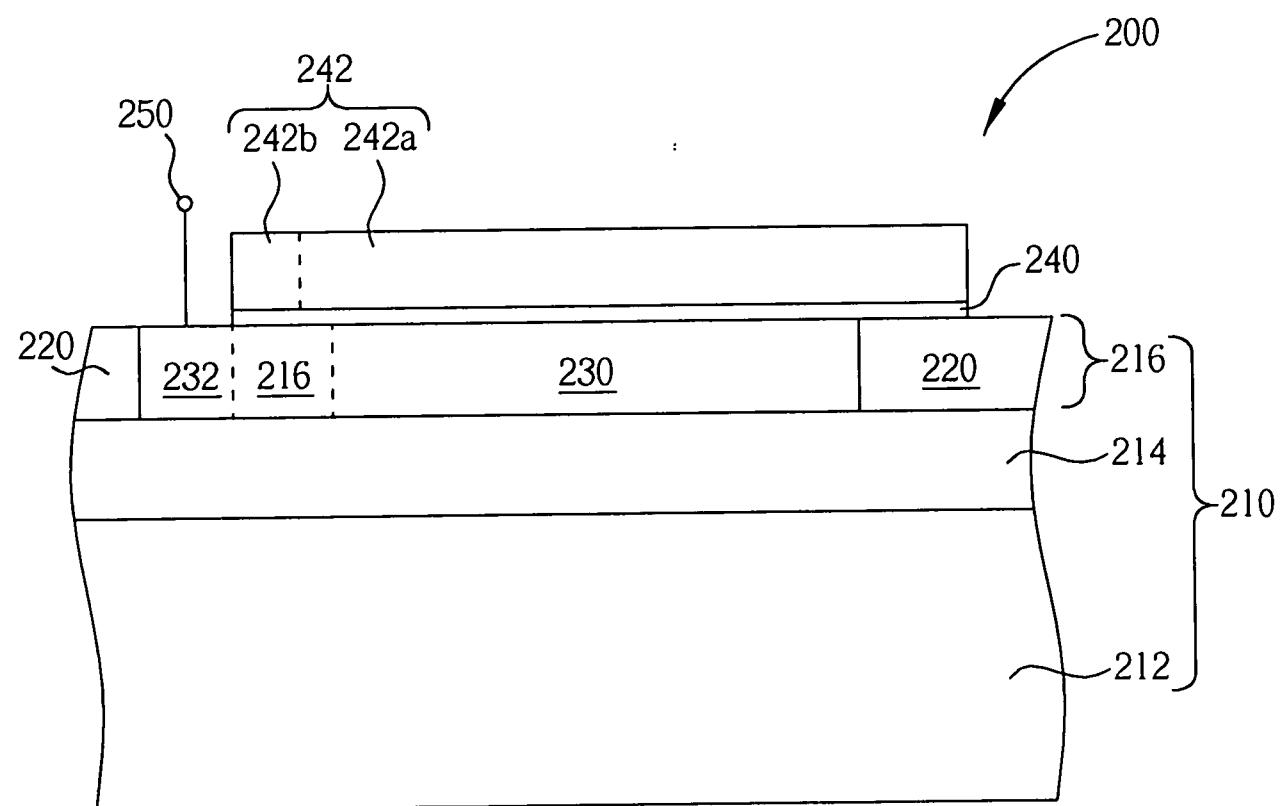
## 八、圖式：



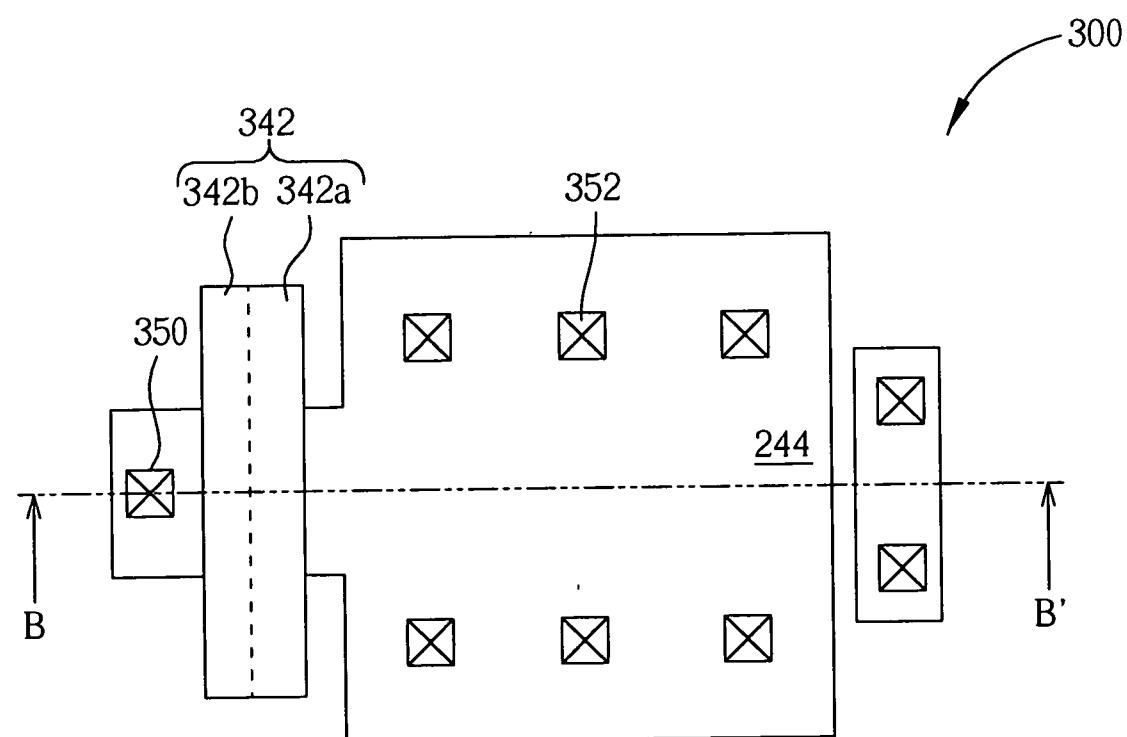
第1圖



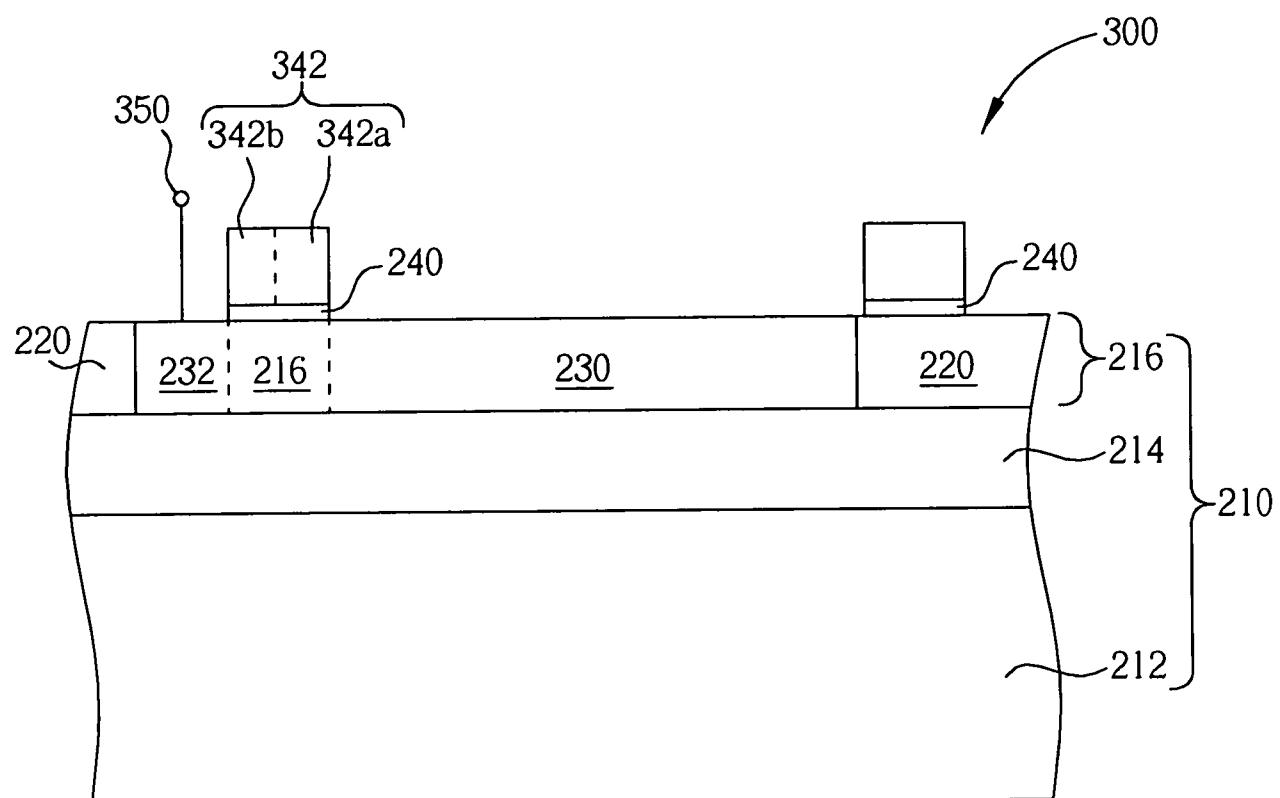
第2圖



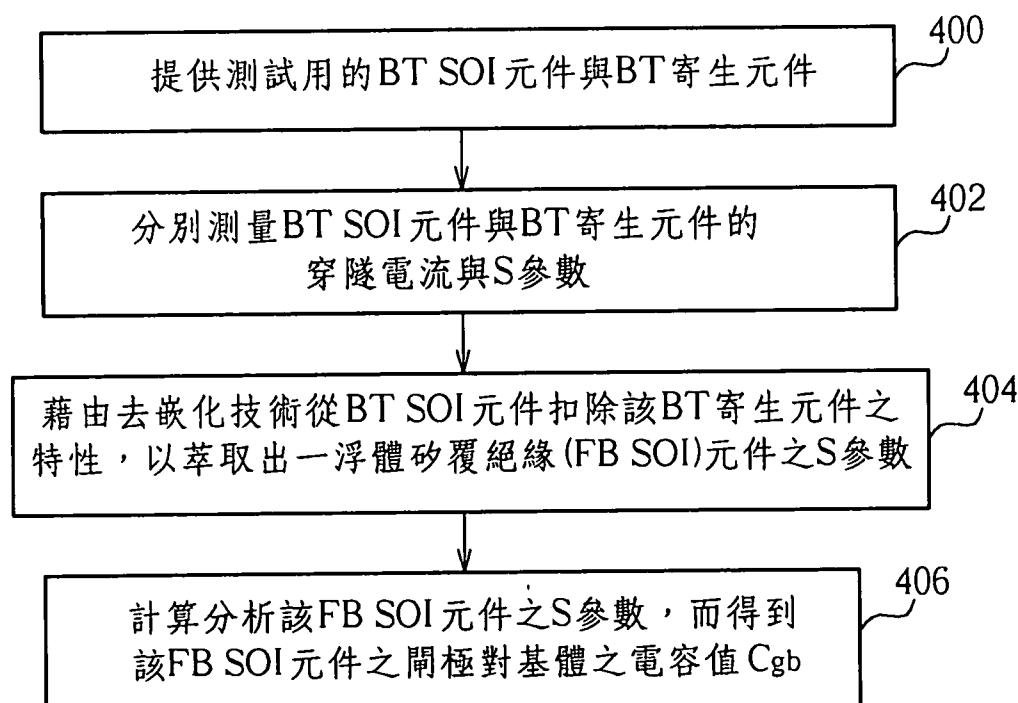
第3圖



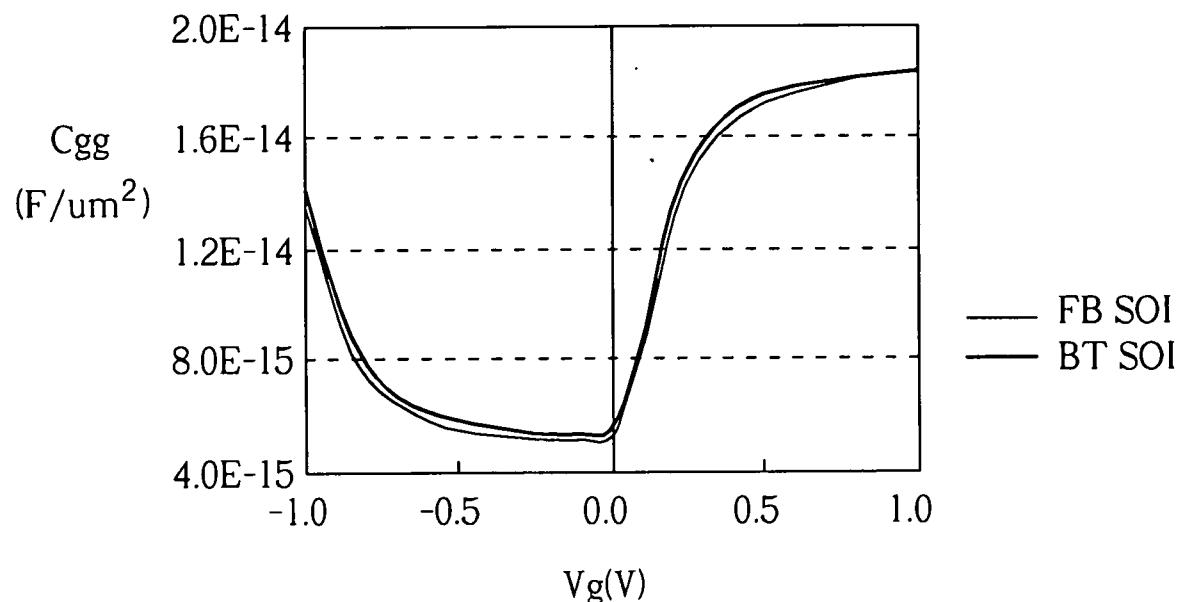
第4圖



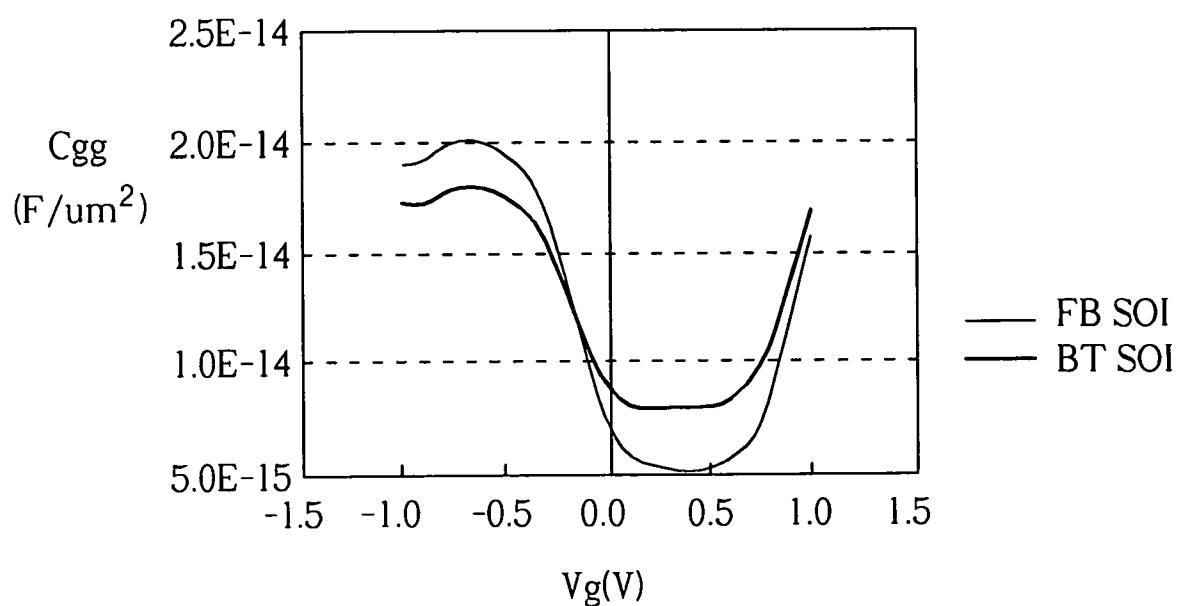
第5圖



第6圖

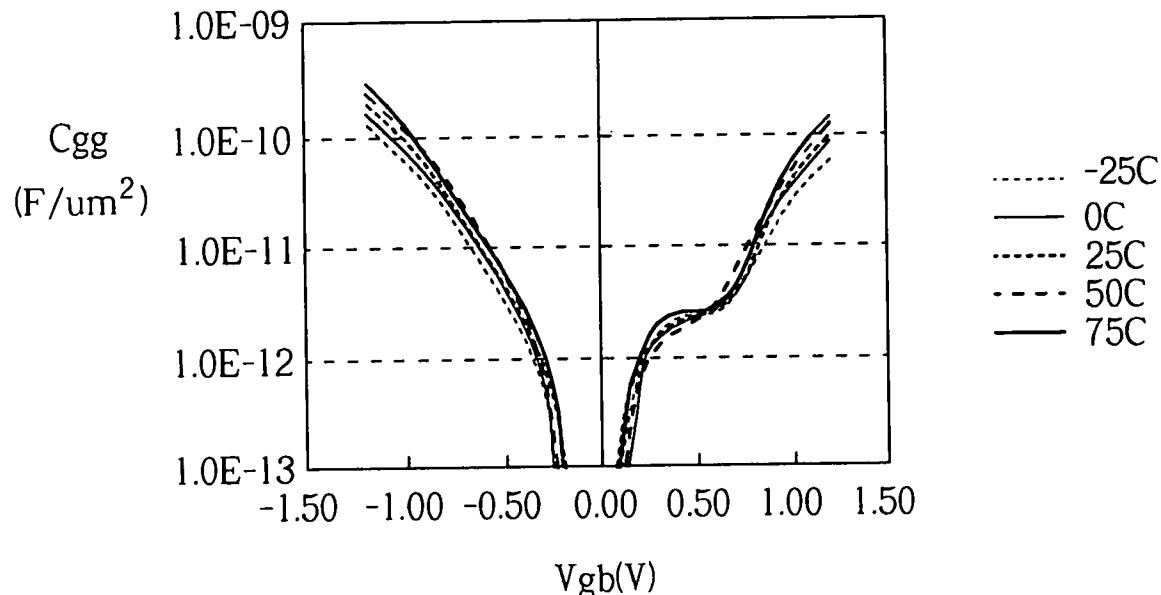
C<sub>gg</sub> vs. V<sub>g</sub>

第7圖

C<sub>gg</sub> vs. V<sub>g</sub>

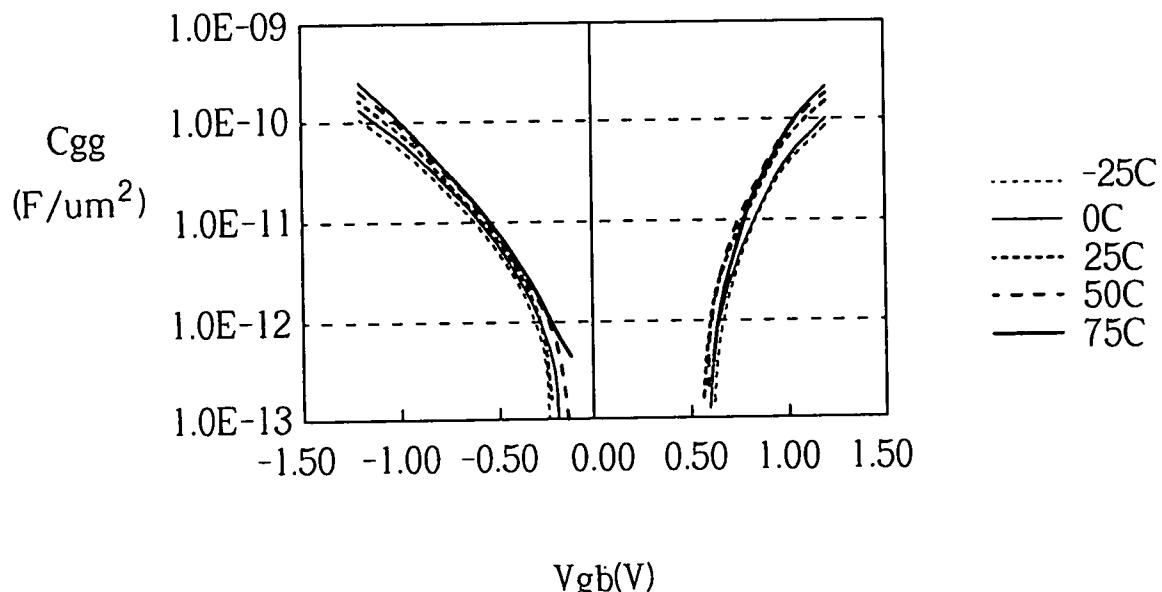
第8圖

gate-to body tunneling current (BT SOI)  
 $W_f/L_f/N_f = 1\mu m/0.06\mu m/2000$   
 $V_d=0V; V_s=0V; V_b=0V$



第9圖

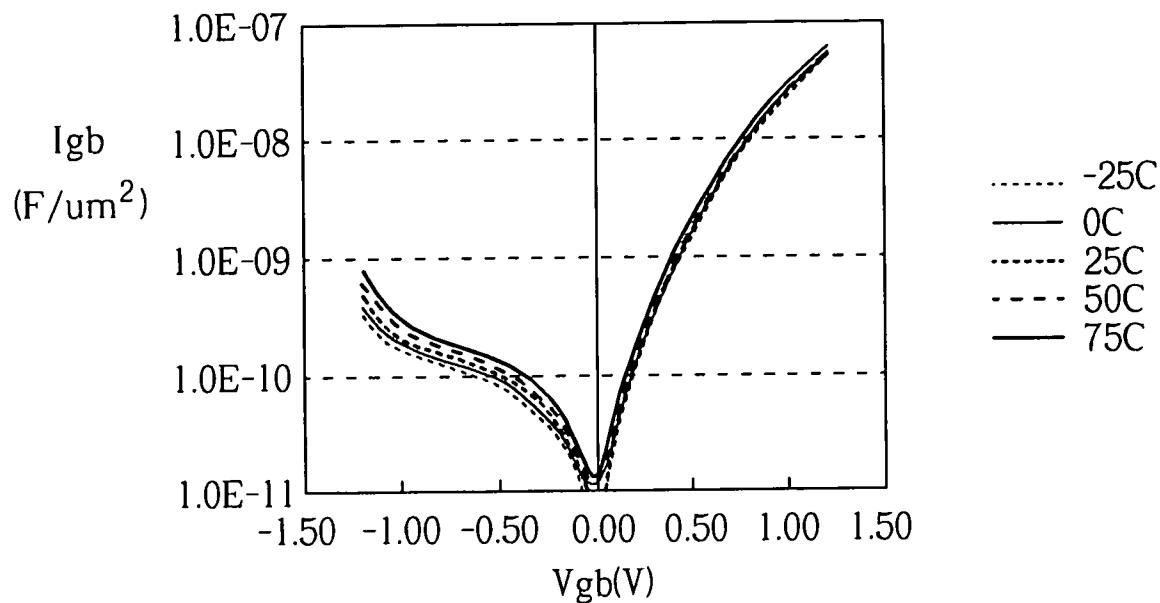
gate-to body tunneling current (FB SOI)  
 $W_f/L_f/N_f = 1\mu m/0.06\mu m/2000$   
 $V_d=0V; V_s=0V; V_b=0V$



第10圖

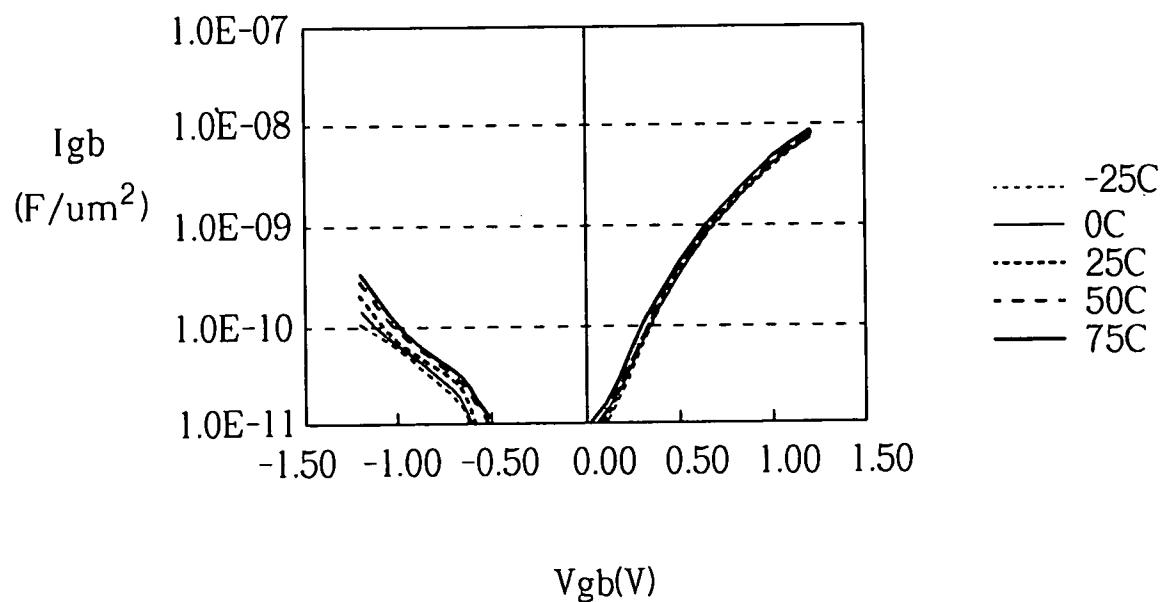
I484573

gate-to-body tunneling current (BT SOI)  
 $W_f/L_f/N_f = 1\text{um}/0.06\text{um}/2000$   
 $V_d=0V; V_s=0V; V_b=0V$

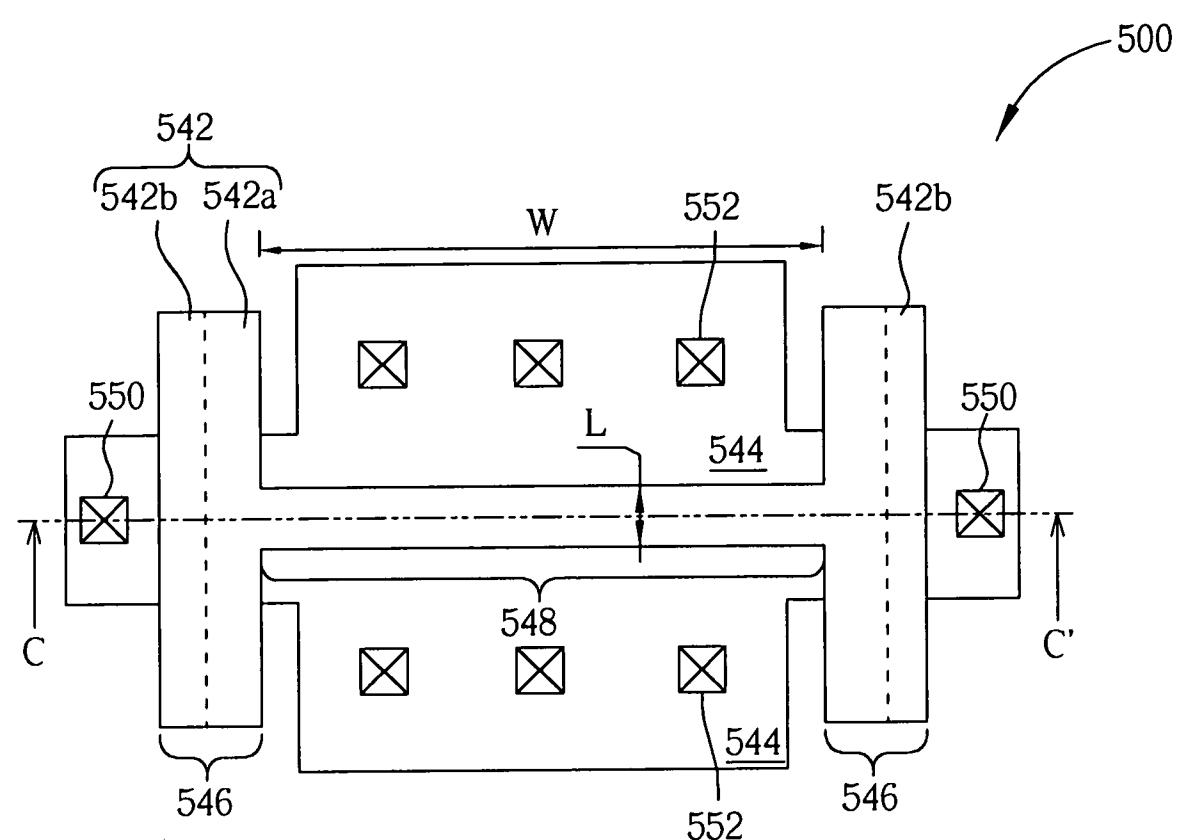


第11圖

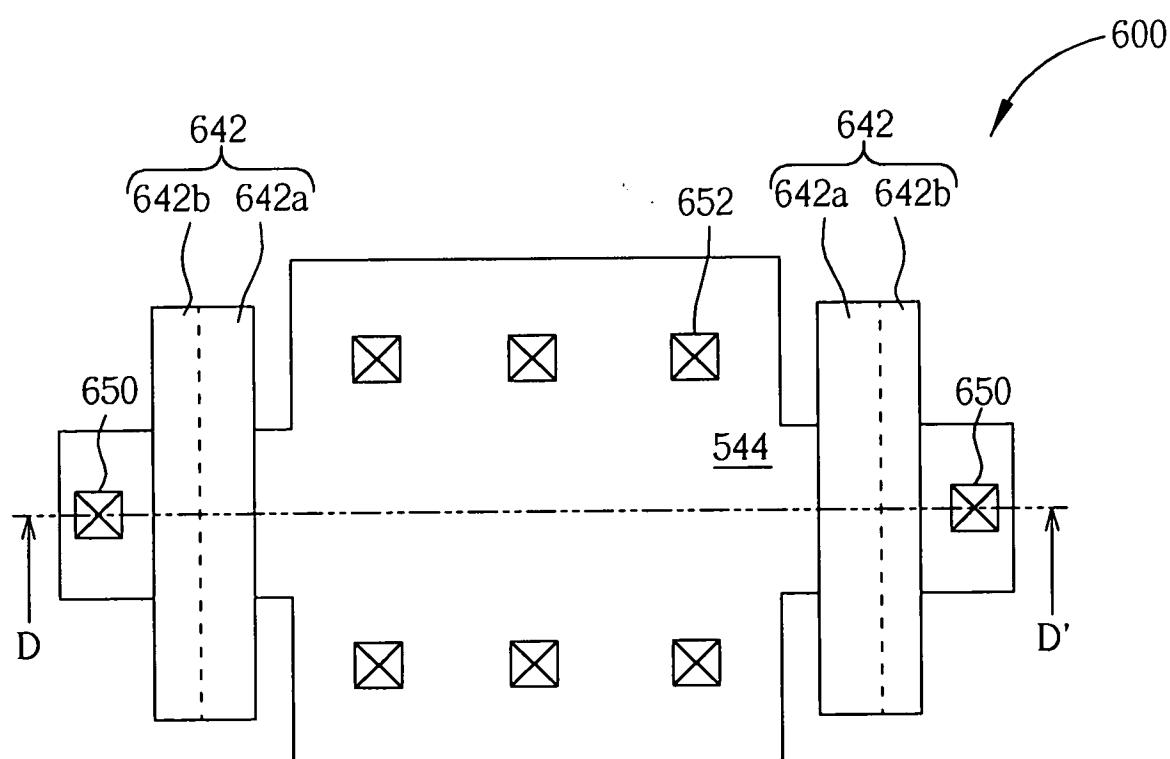
gate-to-body tunneling current (FB SOI)  
 $W_f/L_f/N_f = 1\text{um}/0.06\text{um}/2000$   
 $V_d=0V; V_s=0V; V_b=0V$



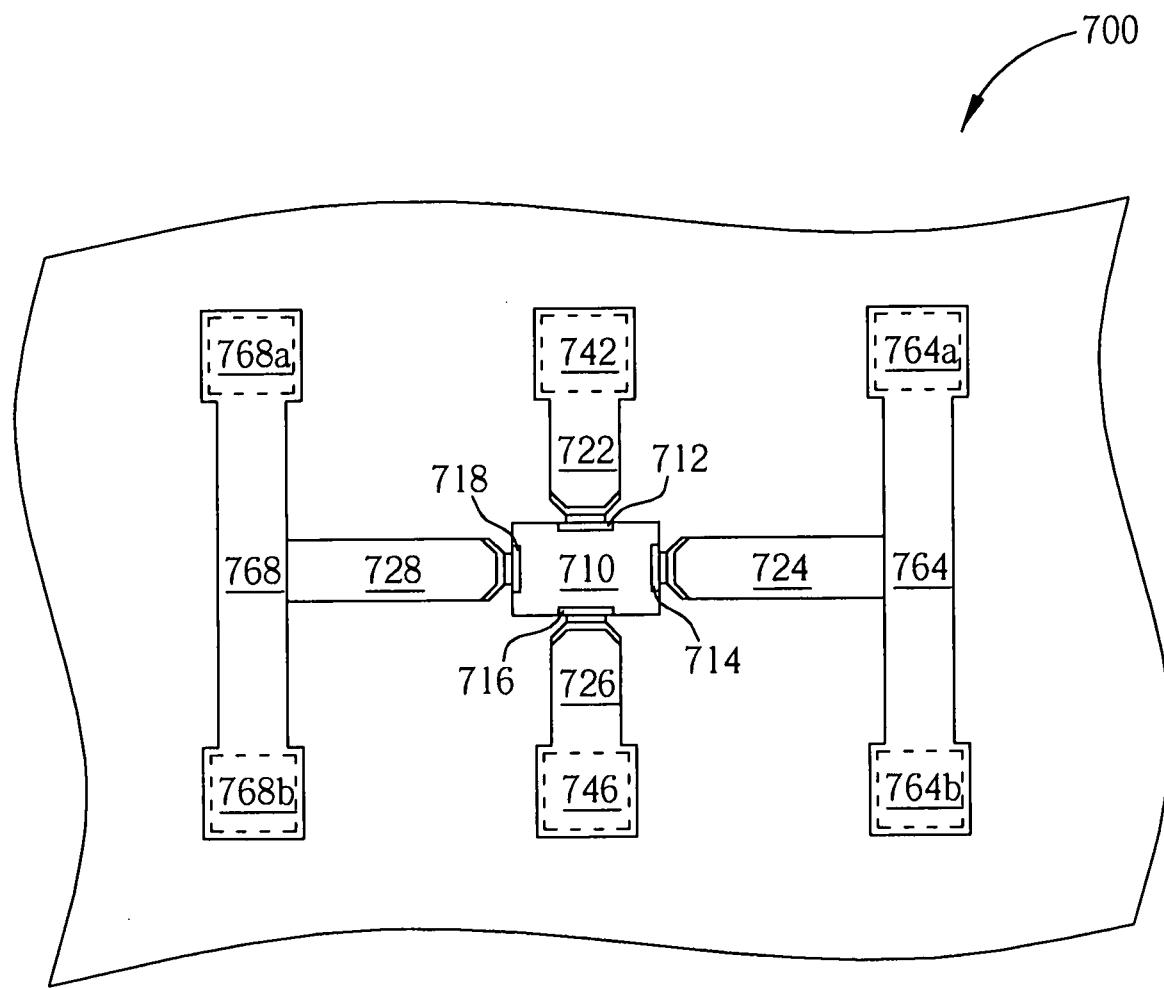
第12圖



第13圖



第14圖



第15圖