

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
27 octobre 2005 (27.10.2005)

PCT

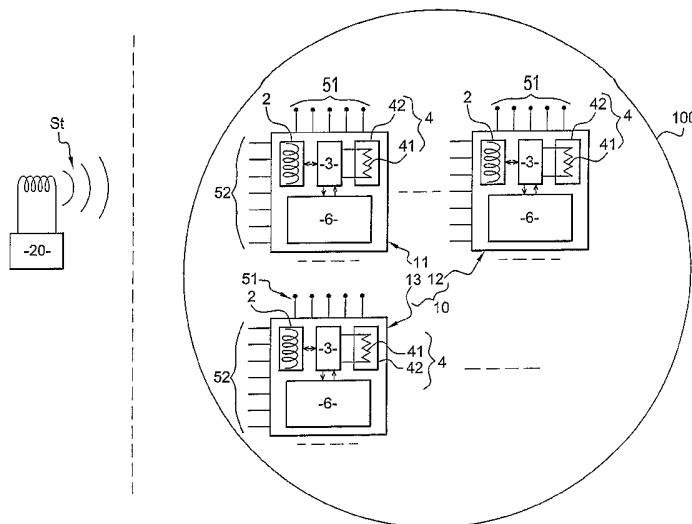
(10) Numéro de publication internationale
WO 2005/101482 A1

- (51) Classification internationale des brevets⁷ : **H01L 21/66**, G01R 31/316
(21) Numéro de la demande internationale : PCT/FR2005/000831
(22) Date de dépôt international : 5 avril 2005 (05.04.2005)
(25) Langue de dépôt : français
(26) Langue de publication : français
(30) Données relatives à la priorité : 0403558 5 avril 2004 (05.04.2004) FR
(71) Déposant (pour tous les États désignés sauf US) : **STMICROELECTRONICS SA** [FR/FR]; 29, boulevard Romain Rolland, F-92120 Montrouge (FR).
(72) Inventeur; et
(75) Inventeur/Déposant (pour US seulement) : **PLANELLE, Philippe** [FR/FR]; 99 bis, Grande Rue, F-38700 La Tronche (FR).
(74) Mandataire : **BENTZ, Jean-Paul**; Novagraaf Technologies, 122, rue Edouard Vaillant, F-92593 Levallois-Perret Cedex (FR).
(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,

[Suite sur la page suivante]

(54) Title: METHOD FOR PREPARING ELECTRONIC CHIPS, AND RESULTING SET OF CHIPS

(54) Titre : PROCEDE DE PREPARATION DE PUCES ELECTRONIQUES, ET ENSEMBLE DE PUCES EN RESULTANT



(57) Abstract: The invention relates to a method enabling electronic chips (11 to 13) formed on the same semiconductor wafer (100) to be tested by means of test signals (St), and enabling the operational chips to be separated from the faulty chips. According to the invention, each chip of the wafer is provided with a module (2) for receiving signals transmitted in a non-contact manner, an autotest module (3) connected to the receiving module (2) of said chip (11 to 13), and an optical state developer (4) which is controlled by the autotest module in such a way that the test signals (St) can be addressed in parallel to all of the chips on the plate. Each chip having passed the test with success is directly identified by a change of optical state of the state developer (4) controlled by the autotest module of said chip.

(57) Abrégé : L'invention concerne un procédé permettant d'une part de tester, au moyen de signaux de test (St), des puces électroniques (11 à 13) réalisées sur une même plaquette (100) de matériau semi-conducteur, et d'autre part de discriminer les puces opérationnelles des puces

[Suite sur la page suivante]

WO 2005/101482 A1



PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Déclaration en vertu de la règle 4.17 :

— relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement

Publiée :

— avec rapport de recherche internationale
— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

défaillantes. Selon l'invention, chaque puce de la plaquette est dotée d'un module de réception (2) de signaux transmis sans contact, d'un module d'autotest (3) relié au module de réception (2) de cette même puce (11 à 13), et d'un révélateur optique d'état (4) commandé par le module d'autotest, de sorte que les signaux de test (St) peuvent être adressés en parallèle à toutes les puces de la plaquette, et que chaque puce ayant passé le test avec succès est directement identifiée par un changement d'état optique du révélateur d'état (4) commandée par le module d'autotest de cette puce.

PROCEDE DE PREPARATION DE PUCES ELECTRONIQUES,
ET ENSEMBLE DE PUCES EN RESULTANT.

L'invention concerne, de façon générale, les techniques de fabrication et de test dans le domaine de la microélectronique.

5 Plus précisément, l'invention concerne, selon un premier de ses aspects, un procédé de préparation de puces électroniques, comprenant une phase de test au cours de laquelle des signaux de test sont délivrés à chacune des puces d'un ensemble de puces appartenant physiquement à une
10 même plaquette de matériau semi-conducteur sur laquelle ces puces ont été réalisées ensemble, et une phase de repérage au cours de laquelle chaque puce de l'ensemble est identifiée comme étant, ou non, conforme à un modèle fonctionnel préétabli selon qu'elle adopte, ou non, un
15 comportement prédéterminé en réponse aux signaux de test.

Aujourd'hui, la plupart des plaquettes porteuses de puces électroniques doivent être testées à 100%, conformément à une approche qualitative connue sous l'acronyme EWS (pour
20 "Electrical Wafer Sort", c'est-à-dire "tri électrique de plaquettes").

Pour ce faire, les puces sont connectées à la fois à un générateur de signaux de test par leurs ports d'entrée et
25 de sortie, et à une source d'alimentation électrique par leurs bornes d'alimentation.

Les signaux de test adressés à chaque puce par le générateur de signaux de test jouent le rôle de stimuli et
30 induisent un certain comportement de cette puce, se

traduisant par des états logiques et / ou électriques dont la comparaison aux états normalement attendus en réponse à ces signaux de test permet de déterminer si la puce testée fonctionne correctement ou non.

5

Traditionnellement, les puces défectueuses font l'objet d'un marquage à l'encre ou d'un repérage par enregistrement informatique de leur position sur la plaquette, afin d'être séparées des puces commercialisables et mises au rebut.

10

Ce processus, qui requiert un matériel très sophistiqué et très coûteux, présente l'inconvénient supplémentaire de durer plusieurs dizaines de minutes ou plusieurs heures par plaquette.

15

En effet, sa mise en œuvre exige, outre la mise au point du logiciel de test et son chargement sur le banc de test, le chargement physique de la plaquette sur le banc de test, l'alignement très précis de la plaquette pour la connexion de la sonde de test sur les ports d'entrée et de sortie de la puce à tester, le déroulement du test, le déplacement de la sonde et sa connexion sur la puce voisine de la plaquette, ce processus étant réitéré jusqu'à la fin du test de toutes les puces de la plaquette.

25

Plusieurs techniques ont été envisagées pour réduire le temps de test, et en particulier : (a) tester simultanément plusieurs puces de la plaquette en utilisant plusieurs sondes travaillant en parallèle, (b) éliminer de la séquence de test des tests dont le taux de défaillance est faible, (c) ne tester de façon complète que certaines puces, et (d) optimiser la séquence de test.

30

La première voie est intéressante, mais ne permet au mieux que de tester 128 puces en parallèle, alors que les plaquettes en contiennent typiquement plus de mille.

5 Les seconde et troisième voies sont en contradiction avec le souhait d'un test à 100%. Ainsi, si le test est malencontreusement effectué sur des puces saines d'une plaquette présentant par ailleurs des défauts localisés, toutes les puces défectueuses de cette plaquette seront à
10 tort considérées comme opérationnelles.

Enfin, la dernière de ces voies n'apporte qu'une réduction relativement mineure du temps de test en contrepartie d'un effort relativement important d'optimisation de la séquence
15 de test.

Cette problématique a conduit, plus récemment, à prévoir dans chaque puce, dès l'origine et par construction, des moyens de test internes de différents types, bien connus de
20 l'homme du métier sous leurs acronymes correspondants tels que DFT (pour "Design For Test", c'est-à-dire "construction adaptée au test"), BIST (pour "Built In Self Test", c'est-à-dire "autotest intégré"), SCAN (c'est-à-dire "balayage"), etc.

25

En dépit de l'intérêt considérable de ces outils, les techniques actuelles ne permettent pas de réduire le temps de test d'une plaquette en-dessous de plusieurs dizaines de minutes.

30

L'invention, qui se situe dans ce contexte, a pour but de proposer un procédé permettant de réduire, de façon très sensible, le temps de test des plaquettes.

A cette fin, le procédé de l'invention, par ailleurs conforme à la définition générique qu'en donne le préambule ci-dessus, est essentiellement caractérisé en ce qu'il

5 comprend une phase de fabrication antérieure à la phase de test et consistant au moins à équiper chacune des puces de l'ensemble d'un module de réception propre à recevoir des signaux transmis sans contact, d'un module d'autotest relié au module de réception de cette même puce, et d'un

10 révélateur optique d'état, en ce que la phase de test est mise en œuvre en délivrant les signaux de test en parallèle aux modules de réception respectifs des différentes puces de l'ensemble à destination des modules d'autotest de ces mêmes puces, et en ce que la phase de repérage comprend une

15 opération de commande du révélateur optique d'état de chaque puce au moyen du module d'autotest de cette puce, le révélateur optique d'état se plaçant, sous le contrôle du module d'autotest, dans l'un ou l'autre de deux états optiques différents selon que la puce qu'il équipe adopte,

20 ou non, le comportement prédéterminé en réponse aux signaux de test.

La phase de test comprend une opération consistant à alimenter chacune des puces de l'ensemble en énergie

25 électrique et qui peut par exemple être mise en œuvre en alimentant les puces en parallèle au moyen d'une carte à pointes.

L'opération de commande du révélateur optique d'état de

30 chaque puce au moyen du module d'autotest de cette puce comprend avantageusement la commande du passage d'un courant électrique dans un élément électriquement modifiable de cette puce.

L'élément électriquement modifiable peut être constitué par un élément chauffant, tel par exemple qu'une résistance, subissant une élévation de température au passage du
5 courant électrique.

Une telle élévation de température peut ainsi être captée par une caméra infrarouge, cette caméra participant ainsi à la visualisation du révélateur optique d'état que constitue
10 l'élément chauffant.

L'élément électriquement modifiable peut aussi, de façon alternative ou cumulative, être constitué par un élément à structure destructive, tel par exemple qu'un fusible, un
15 fusible inverse, ou une diode zener, subissant une modification de structure au passage du courant électrique.

Dans ce cas, le changement irréversible d'état que représente cette modification de structure, par exemple la
20 destruction d'un fusible peut, en soi, constituer le révélateur optique d'état.

Il est néanmoins encore possible de prévoir que la phase de fabrication comprenne, pour chaque puce, le dépôt sélectif
25 d'une couche d'un matériau thermosensible placé en contact thermique avec l'élément chauffant, cette couche présentant une propriété optique variable avec sa température et formant avec l'élément chauffant le révélateur optique d'état.

30

Pour éviter toute erreur de lecture du révélateur optique d'état, le dépôt sélectif de la couche de matériau thermosensible comprend de préférence une opération de

dépôt, sur toute la plaquette, d'une couche de résine thermosensible et photosensible, une opération de masquage et une opération de gravure, les opérations de masquage et de gravure éliminant au moins la résine thermosensible déposée sur la plaquette au voisinage des bornes d'alimentation et des ports d'entrées / sorties électriques des puces.

Le procédé de l'invention, lorsqu'il est considéré jusqu'à son terme, comprend, postérieurement à la phase de repérage, une opération de sélection au cours de laquelle sont éliminées les puces n'ayant pas adopté le comportement prédéterminé en réponse aux signaux de test, et une opération de découpage au cours de laquelle chaque puce de l'ensemble est physiquement séparée de la plaquette et des autres puces de l'ensemble.

L'invention concerne également tout ensemble d'au moins une puce électronique réalisée par la mise en œuvre du procédé tel que précédemment décrit, c'est-à-dire comportant tous les moyens qui ont permis la mise en œuvre de ce procédé.

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence à la figure unique qui en illustre schématiquement le principe.

Comme annoncé précédemment, l'invention concerne un procédé pour préparer, à leur commercialisation et leur exploitation ultérieure, des puces électroniques réalisées sur une même plaquette 100 de matériau semi-conducteur.

L'invention porte essentiellement sur deux phases de ce procédé qui posent aujourd'hui problème, à savoir la phase de test au cours de laquelle des signaux de test St sont délivrés à chacune des puces, telles que 11 à 13, d'un ensemble 10 de puces de la plaquette 100, et la phase de repérage au cours de laquelle chaque puce de l'ensemble 10 est identifiée comme étant, ou non, dépourvue de défaut fonctionnel.

10 Pour replacer l'invention dans sa problématique, il s'agit donc, de façon aussi efficace que possible, d'adresser à chaque puce des signaux de test St produits par un générateur de séquence de test 20, et de déterminer si cette puce est ou non conforme à un modèle fonctionnel
15 préétabli, selon qu'elle adopte ou non le comportement prédéterminé qui est attendu d'elle en réponse aux signaux de test St.

Pour ce faire, le procédé de l'invention prévoit, dans la
20 phase de fabrication qui précède la phase de test, d'équiper chacune des puces telles que 11 à 13 de la plaquette 100, d'un module de réception 2, d'un module d'autotest 3, et d'un révélateur optique d'état 4, le module de réception 2 étant au moins conçu pour recevoir
25 des signaux de test St transmis sans contact, par exemple par radio, par le générateur 20 de séquence de test.

Bien que ces différents modules soient représentés sur la figure comme étant individualisés, c'est-à-dire comme des
30 éléments matériels séparés à la fois les uns des autres et du cœur fonctionnel 6 de chaque puce, l'homme du métier comprendra d'une part que ces modules pourront comporter, de façon connue, des éléments de programmation non

susceptibles d'être matérialisés sur la figure, et d'autre part que les éléments matériels constitutifs de ces modules pourront éventuellement être totalement imbriqués les uns dans les autres d'un point de vue topologique.

5

Ce qu'il convient en revanche de retenir de la représentation symbolique sous laquelle l'invention est illustrée par la figure, c'est que le module d'autotest 3 est fonctionnellement lié au module de réception 2 et au
10 cœur 6 de chaque puce, et que le révélateur optique d'état 4 est commandé par le module d'autotest 3.

De plus, le module d'autotest 3 est connecté au cœur 6 de la puce de manière à pouvoir injecter à ce dernier, et
15 récupérer de ce dernier, les données d'entrée-sortie présentes sur les ports d'entrée-sortie 52 de ce cœur 6.

Grâce à cet agencement, la phase de test peut être mise en œuvre en adressant en parallèle, aux différents modules de
20 réception 2 des différentes puces telles que 11 à 13 de la plaquette 100, les signaux de test St délivrés par le générateur 20 et destinés aux modules d'autotest 3 de ces mêmes puces.

25 Dans le même temps, les différentes puces 11 à 13 de la plaquette 100 sont par exemple alimentées en énergie électrique, de façon connue en soi, au moyen d'une carte à pointes branchée en parallèle sur les différentes bornes d'alimentation électrique 51 de ces puces.

30

La phase de repérage est mise en œuvre, au niveau de chaque puce telle que 11 à 13, en commandant le révélateur optique

d'état 4 de cette puce au moyen du module d'autotest 3 de cette même puce.

Plus précisément, le module d'autotest 3 de chaque puce place le révélateur optique d'état de cette puce dans l'un ou l'autre de deux états optiques différents selon que cette puce adopte, ou non, le comportement qu'elle est normalement supposée adopter en réponse aux signaux de test St.

10

Le révélateur optique d'état 4 de chaque puce peut prendre de nombreuses formes possibles.

En particulier, ce révélateur 4 peut comprendre un élément chauffant 41, tel qu'une résistance électrique, dans lequel le module d'autotest 3 de la puce commande sélectivement le passage d'un courant électrique pour en élever la température par effet Joule dans le cas où la puce a passé tout le test avec succès.

20

Dans ce cas, l'élévation de température de l'élément chauffant 41 de chaque puce opérationnelle peut être détectée par une caméra infrarouge fournissant une image sur laquelle toutes les puces opérationnelles de la plaquette sont simultanément visibles, et donc repérées par leur position sur la plaquette.

L'élément 41 dans lequel le module d'autotest 3 de chaque puce commande le passage d'un courant électrique peut aussi être constitué par un élément à structure destructive, tel par exemple qu'un fusible, un fusible inverse, ou une diode zener, c'est-à-dire par un élément subissant une modification de structure au passage d'un courant

30

électrique correctement calibré pour opérer une telle modification de structure.

A toutes fins utiles, on rappelle ici qu'un fusible
5 inverse, connu de l'homme du métier sous sa dénomination anglaise "antifuse" est un élément qui change d'état par destruction d'un isolant et qui, à l'inverse d'un fusible, subit donc un abaissement de son impédance en passant de son état initial à son état final.

10

Dans tous les cas où l'élément 41 présente une structure destructive, le révélateur optique d'état 4 peut, pour chaque puce, être constitué par cet élément, la destruction de cet élément indiquant que la puce qu'il équipe est
15 opérationnelle.

Néanmoins, dans tous les cas où l'élément 41 est le siège d'un dégagement de chaleur au passage du courant électrique déclenché par le module d'autotest, le révélateur optique
20 d'état 4 de chaque puce peut, en plus de cet élément, comprendre une couche d'un matériau thermosensible 42 sélectivement déposé sur la puce, placé en contact thermique avec l'élément 41 de cette puce, et présentant une propriété optique variable avec sa température.

25

Par exemple, le matériau thermosensible change de couleur de façon irréversible lorsqu'il subit une élévation de température, un tel changement de couleur identifiant donc chaque puce opérationnelle.

30

De préférence, la couche de matériau thermosensible 42 est constituée par une couche de résine non seulement thermosensible mais également photosensible.

Dans ce cas, il est possible de déposer, dans un premier temps, cette résine sur toute la plaquette 100, puis d'éliminer, par des opérations de masquage et de gravure
5 bien connues de l'homme du métier, la résine qui a été déposée sur la plaquette au voisinage des bornes d'alimentation 51 et des ports d'entrées / sorties électriques de chaque puce, ainsi que de toute autre structure susceptible d'être le siège d'une élévation de
10 température, indépendamment de la température de l'élément 41.

Cette mesure de précaution permet d'éviter tout changement optique intempestif de la couche de matériau thermosensible
15 en soustrayant ce changement à l'influence de paramètres non pertinents, et donc d'éviter toute erreur dans l'identification des puces opérationnelles.

Après la phase de repérage, la plaquette 100 est découpée
20 de manière à détacher chaque puce de cette plaquette et à la séparer des puces voisines, toutes les puces préalablement repérées comme non fonctionnelles étant alors éliminées.

25 Comme le comprendra l'homme du métier à la lecture de la description ci-dessus, la mise en œuvre du procédé de l'invention implique la fabrication de plaquettes dont les puces sont individuellement dotées d'un module de réception 2, d'un module d'autotest 3, et d'un révélateur optique
30 d'état 4, ce procédé conduisant donc à l'obtention de telles puces.

REVENDICATIONS.

1. Procédé de préparation de puces électroniques, comprenant une phase de test au cours de laquelle des signaux de test (St) sont délivrés à chacune des puces (11 à 13) d'un ensemble (10) de puces appartenant physiquement à une même plaquette (100) de matériau semi-conducteur sur laquelle ces puces (11 à 13) ont été réalisées ensemble, et une phase de repérage au cours de laquelle chaque puce de l'ensemble (10) est identifiée comme étant, ou non, conforme à un modèle fonctionnel préétabli selon qu'elle adopte, ou non, un comportement prédéterminé en réponse aux signaux de test, caractérisé en ce qu'il comprend une phase de fabrication antérieure à la phase de test et consistant au moins à équiper chacune des puces (11 à 13) de l'ensemble (10) d'un module de réception (2) propre à recevoir des signaux transmis sans contact, d'un module d'autotest (3) relié au module de réception (2) de cette même puce (11 à 13), et d'un révélateur optique d'état (4), en ce que la phase de test est mise en œuvre en délivrant les signaux de test (St) en parallèle aux modules de réception (2) respectifs des différentes puces (11 à 13) de l'ensemble (10) à destination des modules d'autotest (3) de ces mêmes puces, et en ce que la phase de repérage comprend une opération de commande du révélateur optique d'état (4) de chaque puce (11 à 13) au moyen du module d'autotest (3) de cette puce, le révélateur optique d'état se plaçant, sous le contrôle du module d'autotest, dans l'un ou l'autre de deux états optiques différents selon que la puce (11 à 13) qu'il équipe adopte, ou non, le comportement prédéterminé en réponse aux signaux de test (St).

2. Procédé suivant la revendication 1, caractérisé en ce que la phase de test comprend une opération consistant à

alimenter chacune des puces (11 à 13) de l'ensemble (10) en énergie électrique.

3. Procédé suivant la revendication 1 ou 2, caractérisé en ce que l'opération de commande du révélateur optique d'état (4) de chaque puce (11 à 13) au moyen du module d'autotest (3) de cette puce comprend la commande du passage d'un courant électrique dans un élément (41) électriquement modifiable de cette puce.

10

4. Procédé suivant la revendication 3, caractérisé en ce que l'élément électriquement modifiable (41) est un élément chauffant, tel par exemple qu'une résistance, subissant une élévation de température au passage du courant électrique.

15

5. Procédé suivant la revendication 3, caractérisé en ce que l'élément électriquement modifiable (41) est un élément à structure destructive, tel par exemple qu'un fusible, un fusible inverse, ou une diode zener, subissant une modification de structure au passage du courant électrique.

20

6. Procédé suivant la revendication 4, caractérisé en ce que la phase de fabrication comprend, pour chaque puce (11 à 13), le dépôt sélectif d'une couche d'un matériau thermosensible (42) placé en contact thermique avec l'élément chauffant (41), cette couche (42) présentant une propriété optique variable avec sa température et formant avec l'élément chauffant le révélateur optique d'état (4).

25

7. Procédé suivant la revendication 6, caractérisé en ce que le dépôt sélectif de la couche de matériau thermosensible comprend une opération de dépôt, sur toute la plaquette (100), d'une couche de résine thermosensible

30

et photosensible (42), une opération de masquage et une opération de gravure, les opérations de masquage et de gravure éliminant au moins la résine thermosensible déposée sur la plaquette au voisinage des bornes d'alimentation et
5 des ports d'entrées / sorties électriques (51, 52) des puces (11 à 13).

8. Procédé suivant l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend,
10 postérieurement à la phase de repérage, une opération de sélection au cours de laquelle sont éliminées les puces n'ayant pas adopté le comportement prédéterminé en réponse aux signaux de test, et une opération de découpage au cours de laquelle chaque puce (11 à 13) de l'ensemble (10) est
15 physiquement séparée de la plaquette (100) et des autres puces de l'ensemble.

9. Ensemble d'au moins une puce électronique réalisée par la mise en œuvre du procédé suivant l'une quelconque des
20 revendications précédentes.

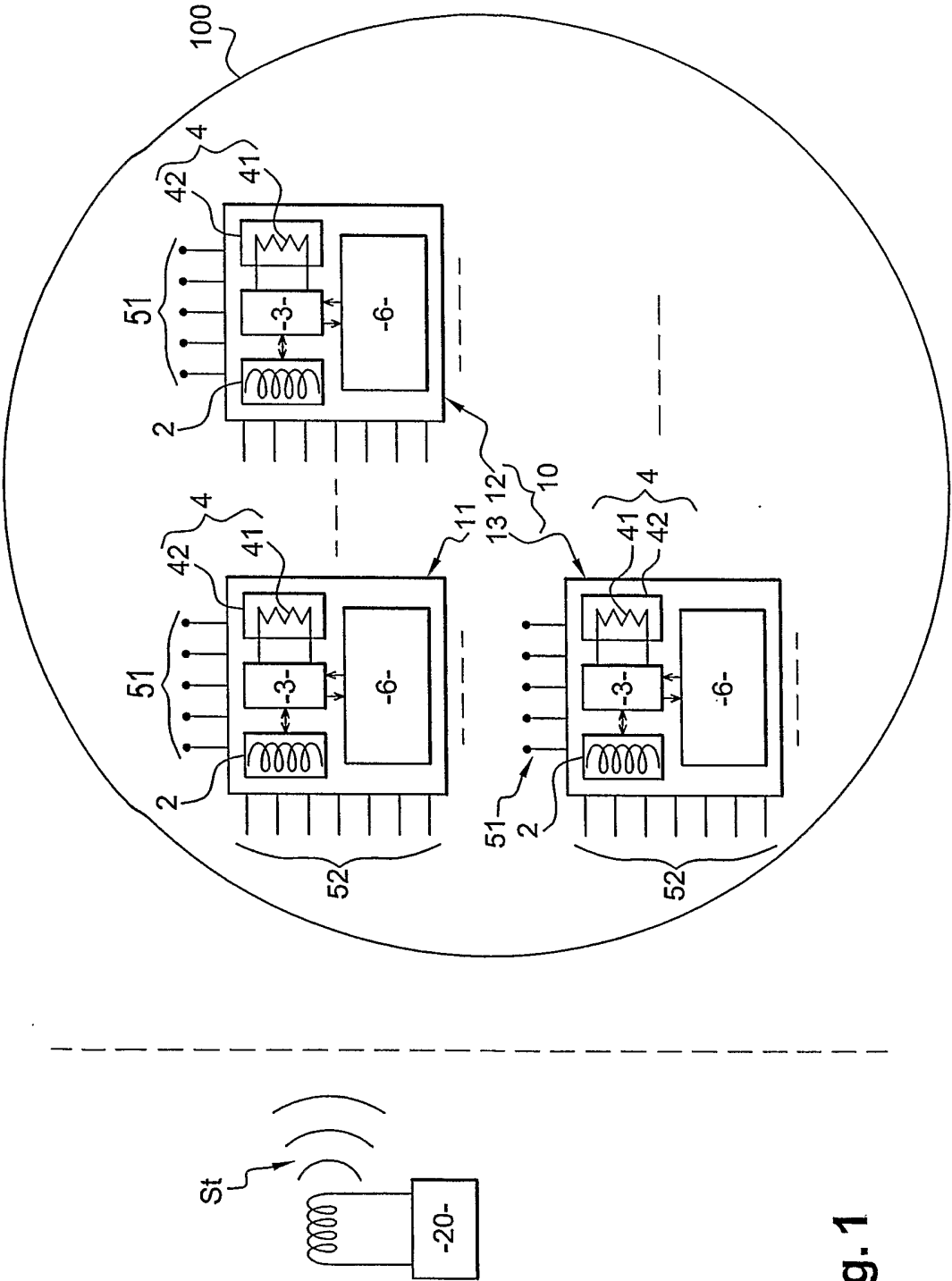


Fig. 1

INTERNATIONAL SEARCH REPORT

International Application No

/FR2005/000831

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/66 G01R31/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G01R H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 248 936 A (NAKATA ET AL) 28 September 1993 (1993-09-28) the whole document -----	1-9
Y	WO 99/32893 A (CONEXANT SYSTEMS, INC) 1 July 1999 (1999-07-01) the whole document -----	1-9
Y	US 6 211 689 B1 (OKI YASUMITSU) 3 April 2001 (2001-04-03) column 1, line 40 - column 2, line 32 -----	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 010, no. 228 (E-426), 8 August 1986 (1986-08-08) & JP 61 064137 A (SHARP CORP), 2 April 1986 (1986-04-02) abstract ----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

9 September 2005

Date of mailing of the international search report

28/09/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Kästner, M

INTERNATIONAL SEARCH REPORT

International Application No
/FR2005/000831

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 342 (E-658), 14 September 1988 (1988-09-14) & JP 63 102332 A (MATSUSHITA ELECTRONICS CORP), 7 May 1988 (1988-05-07) abstract -----	
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 282 (E-0942), 19 June 1990 (1990-06-19) & JP 02 090549 A (HITACHI LTD; others: 01), 30 March 1990 (1990-03-30) abstract -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

/FR2005/000831

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5248936	A	28-09-1993	JP 4139850 A	13-05-1992
			US 5355081 A	11-10-1994
WO 9932893	A	01-07-1999	WO 9932893 A1	01-07-1999
US 6211689	B1	03-04-2001	JP 3097643 B2	10-10-2000
			JP 11204593 A	30-07-1999
			TW 434770 B	16-05-2001
JP 61064137	A	02-04-1986	NONE	
JP 63102332	A	07-05-1988	NONE	
JP 02090549	A	30-03-1990	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
/FR2005/000831

A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 7 H01L21/66 G01R31/316		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7 G01R H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 248 936 A (NAKATA ET AL) 28 septembre 1993 (1993-09-28) le document en entier -----	1-9
Y	WO 99/32893 A (CONEXANT SYSTEMS, INC) 1 juillet 1999 (1999-07-01) le document en entier -----	1-9
Y	US 6 211 689 B1 (OKI YASUMITSU) 3 avril 2001 (2001-04-03) colonne 1, ligne 40 - colonne 2, ligne 32 -----	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 010, no. 228 (E-426), 8 août 1986 (1986-08-08) & JP 61 064137 A (SHARP CORP), 2 avril 1986 (1986-04-02) abrégé -----	
-/--		
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
° Catégories spéciales de documents cités:		
A document définissant l'état général de la technique, non considéré comme particulièrement pertinent *E* document antérieur, mais publié à la date de dépôt international ou après cette date *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier *Z* document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
9 septembre 2005	28/09/2005	
Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé	
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Kästner, M	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

'FR2005/000831

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 342 (E-658), 14 septembre 1988 (1988-09-14) & JP 63 102332 A (MATSUSHITA ELECTRONICS CORP), 7 mai 1988 (1988-05-07) abrégé -----	
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 282 (E-0942), 19 juin 1990 (1990-06-19) & JP 02 090549 A (HITACHI LTD; others: 01), 30 mars 1990 (1990-03-30) abrégé -----	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relat

c membres de familles de brevets

Demande Internationale No

/FR2005/000831

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5248936	A	28-09-1993	JP 4139850 A US 5355081 A	13-05-1992 11-10-1994
WO 9932893	A	01-07-1999	WO 9932893 A1	01-07-1999
US 6211689	B1	03-04-2001	JP 3097643 B2 JP 11204593 A TW 434770 B	10-10-2000 30-07-1999 16-05-2001
JP 61064137	A	02-04-1986	AUCUN	
JP 63102332	A	07-05-1988	AUCUN	
JP 02090549	A	30-03-1990	AUCUN	