(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 24 日(24.12.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/203303 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2013/066558

(22) 国際出願日: 2013 年 6 月 17 日(17.06.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラプラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および

(71) 出願人 (米国についてのみ): 舛岡 富士雄 (MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 辻居 幸一, 外 (TSUJII Koichi et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法、及び、半導体装置

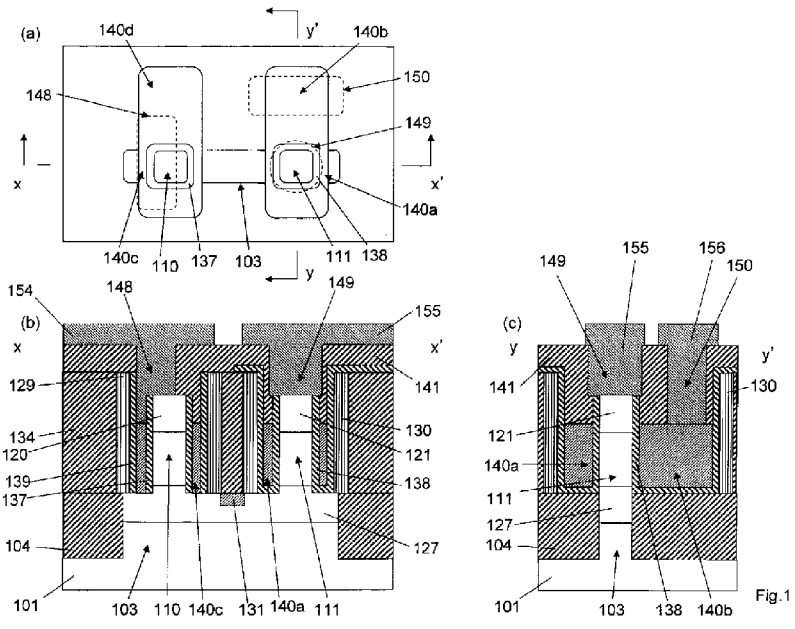


Fig.1

(57) **Abstract**: The present invention addresses the problem of providing: a manufacturing method for a SGT that is a gate-last process in which a gate electrode and gate wiring are formed around a first columnar semiconductor layer and a contact electrode and contact wiring that connect with the upper section of a fin-shaped semiconductor layer are simultaneously formed around a second columnar semiconductor layer; and a structure that is obtained as a result of the manufacturing method. The abovementioned problem is solved by: forming a fin-shaped semiconductor layer on a semiconductor substrate; forming a second insulating film around the fin-shaped semiconductor layer; depositing and leveling a first polysilicon on the second insulating film; forming a second resist for forming the first columnar semiconductor layer and a third resist for forming the second columnar semiconductor layer in a direction that is perpendicular to the direction of the fin-shaped semiconductor layer; and using etching to form a first dummy gate from the first columnar semiconductor layer and the first polysilicon and a second dummy gate from the second columnar semiconductor layer and the first polysilicon.

(57) 要約:

[続葉有]

WO 2014/203303 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、同時に第２の柱状半導体層の周囲にフィン状半導体層上部と接続するコンタクト電極及びコンタクト配線を形成するゲートラストプロセスであるＳＧＴの製造方法とその結果得られる構造を提供することを課題とする。　半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１の柱状半導体層を形成するための第２のレジストと、第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、エッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成することにより、上記課題を解決する。

明　細　書

発明の名称 ： 半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にＭＯＳトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているＭＯＳトランジスタはナノ領域まで微細化が進んでいる。このようなＭＯＳトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「ＳＧＴ」という。）が提案されている（例えば、特許文献１、特許文献２、特許文献３を参照）。

[0003] 従来のＳＧＴの製造方法では、シリコン柱を描画するためのマスクを用いて窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、平面状シリコン層を描画するためのマスクを用いてシリコン柱底部に平面状シリコン層を形成し、ゲート配線を描画するためのマスクを用いてゲート配線を形成している（例えば特許文献４を参照）。

すなわち、３つのマスクを用いてシリコン柱、平面状シリコン層、ゲート配線を形成している。

[0004] また、従来のＳＧＴの製造方法では、平面状シリコン層の上部と金属配線とを接続するために、深いコンタクト孔を形成している（例えば特許文献４を参照）。素子の微細化に伴い、コンタクト孔のアスペクト比（深さ／開口）は増大する。アスペクト比の増加と共にエッチング速度が低下する。また、パターンの微細化に伴い、レジストの膜厚は薄くなる。レジストの案区圧が薄くなると、エッチング中にレジストもエッチングされるため、深いコン

タクト孔を形成することが難しくなる。

[0005] また、従来のＭＯＳトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献１)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためＳＧＴにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。

[0006] また、ゲート配線と基板間の寄生容量を低減するために、従来のＭＯＳトランジスタでは、第１の絶縁膜を用いている。例えばＦＩＮＦＥＴ（非特許文献２）では、１つのフィン状半導体層の周囲に第１の絶縁膜を形成し、第１の絶縁膜をエッチバックし、フィン状半導体層を露出し、ゲート配線と基板間の寄生容量を低減している。そのためＳＧＴにおいてもゲート配線と基板間の寄生容量を低減するために第１の絶縁膜を用いる必要がある。ＳＧＴではフィン状半導体層に加えて、柱状半導体層があるため、柱状半導体層を形成するための工夫が必要である。

先行技術文献

特許文献

[0007] 特許文献1：特開平２－７１５５６号公報

特許文献2：特開平２－１８８９６６号公報

特許文献3：特開平３－１４５７６１号公報

特許文献4：特開２００９－１８２３１７号公報

非特許文献

[0008] 非特許文献1：IEDM2007 K.Mistry et.al, pp 247-250

非特許文献2：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

[0009] そこで、第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、同時に第２の柱状半導体層の周囲にフィン状半導体層上部と接続するコンタクト電極及びコンタクト配線を形成するゲートラストプロセスであるＳＧＴの製造方法とその結果得られる構造を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層を形成するための第２のレジストと、第１のコンタクト配線と第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程と、を有することを特徴とする。

[0011] また、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化後、前記第１のポリシリコン上に第３の絶縁膜を形成することをさらに含むことを特徴とする。

[0012] また、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程を有することを特徴とする。

[0013] また、前記第１の柱状半導体層と前記第１のダミーゲートと前記第２の柱

状半導体層と前記第２のダミーゲートの周囲に第４の絶縁膜を形成後、第４のレジストを形成し、エッチバックを行い、前記第１の柱状半導体層上部を露出し、前記第１の柱状半導体層上部に第１の拡散層を形成することを特徴とする。

[0014] また、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第３の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第３の拡散層上に金属と半導体の化合物を形成する第４工程を有することを特徴とする。

[0015] また、前記第４の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第５のレジストを形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程を有することを特徴とする。

[0016] また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第１の絶縁膜と、前記フィン状半導体層上に形成された第２の柱状半導体層と、前記第２の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるコンタクト配線と、前記フィン状半導体層の上部と前記第２の柱状半導体層

の下部に形成された第３の拡散層と、前記コンタクト電極は前記第３の拡散層と接続するのであって、を有することを特徴とする。

[0017] また、前記第２の柱状半導体層と前記コンタクト電極との間に形成されたゲート絶縁膜を有することを特徴とする。

[0018] また、前記第２の柱状半導体層の幅は前記フィン状半導体層の幅と同じであることを特徴とする。

[0019] また、前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする。

[0020] また、前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする。

[0021] また、前記半導体基板上に形成された前記フィン状半導体層と、前記フィン状半導体層の周囲に形成された前記第１の絶縁膜と、前記フィン状半導体層上に形成された第１の柱状半導体層と、ここで、前記第１の柱状半導体層のフィン状半導体層に直交する方向の幅は前記フィン状半導体層自身に直交する方向の幅と同じであり、前記第１の柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、前記第１の柱状半導体層の上部に形成された第１の拡散層と、前記フィン状半導体層の上部と前記第１の柱状半導体層の下部に形成された前記第３の拡散層と、を有することを特徴とする。

発明の効果

[0022] 本発明によれば、第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、同時に第２の柱状半導体層の周囲にフィン状半導体層上部と接続するコンタクト電極及びコンタクト配線を形成するゲートラストプロセスであるＳＧＴの製造方法とその結果得られる構造を提供することができる。

[0023] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲

に第１の絶縁膜を形成する第１工程と、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層を形成するための第２のレジストと、第１のコンタクト配線と第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程と、前記第２工程の後、前記第１の柱状半導体層前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程と、により、フィン状半導体層、第１の柱状半導体層、第２の柱状半導体層、後にゲート電極とゲート配線となる第１のダミーゲート及び第３のダミーゲートと、後にコンタクト電極とコンタクト配線となる第２のダミーゲートと第４のダミーゲートを形成することができ、工程数を削減することができる。

[0024] また、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成した後、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第５のレジストを形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去することにより、第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、同時に第２の柱状半導体層の周囲にフィン状半導体層上部と接続するコンタクト電極及びコンタクト配線を形成することができる。従って、ゲート絶縁膜の膜厚分エッチングすればよく、深いコンタクト孔を形成する工程が不要となる。

[0025] また、第２の柱状半導体層と第２の柱状半導体層周囲に形成されるコンタ

クト電極とコンタクト配線とで形成される構造は、コンタクト電極が前記第３の拡散層と接続すること以外はトランジスタ構造と同じ構造であるため、工程数を削減することができる。

図面の簡単な説明

[0026] [図1]（ａ）は本発明に係る半導体装置の平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図2]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図3]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図4]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図5]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図6]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図7]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図8]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図9]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図10]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図11]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図12]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図13]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図14]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図15]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図16]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図17]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図18]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（

ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図19]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図20]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図21]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図22]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図23]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図24]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図25]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図26]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図27]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線

での断面図である。

[図28]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図29]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図30]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図31]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図32]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図33]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図34]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図35]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図36]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図37]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図38]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図39]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図40]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図41]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図42]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図43]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

発明を実施するための形態

[0027] 以下に、本発明の実施形態に係るＳＧＴの構造を形成するための製造工程を、図２～図４３を参照して説明する。

[0028] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程を示す。本実施例では、シリコン基板としたが、他の半導体からなる基板とすることもできる。

[0029] 図２に示すように、シリコン基板１０１上にフィン状シリコン層を形成す

るための第１のレジスト１０２を形成する。

[0030] 図３に示すように、シリコン基板１０１をエッチングし、フィン状シリコン層１０３を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0031] 図４に示すように、第１のレジスト１０２を除去する。

[0032] 図５に示すように、フィン状シリコン層１０３の周囲に第１の絶縁膜１０４を堆積する。第１の絶縁膜１０４として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0033] 図６に示すように、第１の絶縁膜１０４をエッチバックし、フィン状シリコン層１０３の上部を露出する。ここまでは、非特許文献２のフィン状シリコン層の製法と同じである。

[0034] 以上により半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程が示された。

[0035] 次に、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層を形成するための第２のレジストと、第１のコンタクト配線と第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程を示す。

[0036] 図７に示すように、前記フィン状シリコン層１０３の周囲に第２の絶縁膜１０５を形成する。第２の絶縁膜１０５は、酸化膜が好ましい。

[0037] 図８に示すように、前記第２の絶縁膜１０５の上に第１のポリシリコン１０６を堆積し平坦化する。

[0038] 図９に示すように、前記第１のポリシリコン１０６上に第３の絶縁膜１０７を形成する。第３の絶縁膜１０７は、窒化膜が好ましい。

[0039] 図１０に示すように、ゲート配線と第１の柱状シリコン層を形成するための第２のレジスト１０８と、第１のコンタクト配線と第２の柱状シリコン層を形成するための第３のレジスト１０９を、前記フィン状シリコン層１０３の方向に対して垂直の方向に形成する。

[0040] 図１１に示すように、前記第３の絶縁膜１０７と前記第１のポリシリコン１０６と前記第２の絶縁膜１０５と前記フィン状シリコン層１０３をエッチングすることにより、第１の柱状シリコン層１１１と前記第１のポリシリコンによる第１のダミーゲート１１５と第２の柱状シリコン層１１０と前記第１のポリシリコンによる第２のダミーゲート１１４を形成する。このとき、第３の絶縁膜は、分離され、第３の絶縁膜１１３、１１２となる。また、第２の絶縁膜は分離され、第２の絶縁膜１１７、１１６となる。このとき、第２のレジスト１０８と第３のレジスト１０９がエッチング中に除去された場合、第３の絶縁膜１１３、１１２がハードマスクとして機能する。第２のレジストがエッチング中に除去されないとき、第３の絶縁膜を使用しなくてもよい。

[0041] 図１２に示すように、第２のレジスト１０８、第３のレジスト１０９を除去する。

[0042] 以上により、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層を形成するための第２のレジストと、第１のコンタクト配線と第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程が示された。

[0043] 次に、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶

縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程を示す。

[0044] 図１３に示すように、前記第１の柱状シリコン層１１１と前記第２の柱状シリコン層１１０と前記第１のダミーゲート１１５と前記第２のダミーゲート１１４の周囲に第４の絶縁膜１１８を形成する。第４の絶縁膜１１８は、酸化膜が好ましい。

[0045] 図１４に示すように、第４のレジスト１１９を形成し、エッチバックを行い、前記第１の柱状シリコン層１１１上部を露出する。このとき、第２の柱状シリコン層１１０上部を露出してもよい。

[0046] 図１５に示すように、不純物を導入し、前記第１の柱状シリコン層１１１上部に第１の拡散層１２１を形成する。また、第２の柱状シリコン層１１０上部に第２の拡散層１２０を形成してもよい。ｎ型拡散層のときは、砒素やリンを導入することが好ましい。ｐ型拡散層のときは、ボロンを導入することが好ましい。

[0047] 図１６に示すように、第４のレジスト１１９を除去する。

[0048] 図１７に示すように、前記第４の絶縁膜１１８の周囲に第２のポリシリコン１２２を堆積する。

[0049] 図１８に示すように、第２のポリシリコン１１８をエッチングすることにより、前記第１のダミーゲート１１５と前記第１の柱状シリコン層１１１と前記第２のダミーゲート１１４と前記第２の柱状シリコン層１１０の側壁に残存させ、第３のダミーゲート１２４と第４のダミーゲート１２３を形成する。このとき、第４の絶縁膜は分離され、第４の絶縁膜１２６、１２５となってもよい。

[0050] 以上により、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積

し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程が示された。

[0051] 次に、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第３の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第３の拡散層上に金属と半導体の化合物を形成する第４工程を示す。

[0052] 図１９に示すように、不純物を導入し、前記第１の柱状シリコン層１１１下部と前記第２の柱状シリコン層１１０下部に第３の拡散層１２７を形成する。ｎ型拡散層のときは、砒素やリンを導入することが好ましい。ｐ型拡散層のときは、ボロンを導入することが好ましい。拡散層形成は、後述の第５の絶縁膜からなるサイドウォール形成後に行ってもよい。

[0053] 図２０に示すように、前記第３のダミーゲート１２４と前記第４のダミーゲート１２３との周囲に、第５の絶縁膜１２８を形成する。第５の絶縁膜１２８は、窒化膜が好ましい。

[0054] 図２１に示すように、第５の絶縁膜１２８をエッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォール１３０、１２９を形成する。

[0055] 図２２に示すように、前記第３の拡散層１２７上に金属と半導体の化合物１３１を形成する。このとき、第３のダミーゲート１２４上部、第４のダミーゲート１２５上部にも金属と半導体の化合物１３３、１３２が形成される。

[0056] 以上により、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第３の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチ

ングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第３の拡散層上に金属と半導体の化合物を形成する第４工程が示された。

[0057] 次に、前記第４の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第５のレジストを形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程を示す。

[0058] 図２３に示すように、層間絶縁膜１３４を堆積する。コンタクトストッパ膜を用いてもよい。

[0059] 図２４に示すように、化学機械研磨し、前記第１のダミーゲート１１５と前記第２のダミーゲート１１４と前記第３のダミーゲート１２４と前記第４のダミーゲート１２３との上部を露出する。このとき、第３のダミーゲート１２４上部、第４のダミーゲート１２５上部にも金属と半導体の化合物１３３、１３２を除去する。

[0060] 図２５に示すように、前記第１のダミーゲート１１５と前記第２のダミーゲート１１４と前記第３のダミーゲート１２４と前記第４のダミーゲート１２３とを除去する。

[0061] 図２６に示すように、前記第２の絶縁膜１１７、１１６と前記第４の絶縁膜１２６、１２５を除去する。

[0062] 図２７に示すように、ゲート絶縁膜１３５を前記第１の柱状シリコン層１

１１の周囲と前記第２の柱状シリコン層１１０の周囲と前記第５の絶縁膜１３０、１２９の内側に形成する。

[0063] 図２８に示すように、前記第２の柱状シリコン層１１０の底部周辺のゲート絶縁膜１３５を除去するための第５のレジスト１３６を形成する。

[0064] 図２９に示すように、前記第２の柱状シリコン層１１０の底部周辺のゲート絶縁膜１３５を除去する。ゲート絶縁膜は分離され、ゲート絶縁膜１３７、１３９、１３８となる。また、等方性エッチングにより、ゲート絶縁膜１３７、１３９を除去してもよい。

[0065] 図３０に示すように、第５のレジスト１３６を除去する。

[0066] 図３１に示すように、金属１４０を堆積する。

[0067] 図３２に示すように、金属１４０のエッチバックを行い、前記第１の柱状シリコン層１１１の周囲にゲート電極１４０ａ及びゲート配線１４０ｂを形成し、前記第２の柱状シリコン層１１０の周囲にコンタクト電極１４０ｃ及びコンタクト配線１４０ｄを形成する。コンタクト配線長は短くてもよい。

[0068] 以上により、前記第４の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第５のレジストを形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程が示された。

[0069] 図３３に示すように、酸化膜１４１を堆積する。

[0070] 図３４に示すように、コンタクト孔を形成するための第６のレジスト１４

２を形成する。

[0071] 図３５に示すように、酸化膜１４１をエッチングすることにより、コンタクト孔１４４、１４３を形成する。このとき、コンタクト孔１４３は、コンタクト電極１４０ｃ及びコンタクト配線１４０ｄに接触すればよい。従って、酸化膜１４１上部からフィン状シリコン層１０３上部の第３の拡散層１２７上部までエッチングすることによりコンタクト孔を形成するときと比べて、浅いコンタクト孔とすることができる。

[0072] 図３６に示すように、第６のレジスト１４２を除去する。

[0073] 図３７に示すように、コンタクト孔を形成するための第７のレジスト１４５を形成する。

[0074] 図３８に示すように、酸化膜１４１、ゲート絶縁膜１３８をエッチングし、コンタクト孔１４６を形成する。

[0075] 図３９に示すように、第７のレジスト１４５を除去する。

[0076] 図４０に示すように、金属１４７を堆積し、コンタクト１４８、１４９、１５０を形成する。

[0077] 図４１に示すように、金属配線を形成するため第８のレジスト１５１、１５２、１５３を形成する。

[0078] 図４２に示すように、金属１４７をエッチングし、金属配線１５４、１５５、１５６を形成する。

[0079] 図４３に示すように、第８のレジスト１５１、１５２、１５３を除去する。

[0080] 以上により、第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、同時に第２の柱状半導体層の周囲にフィン状半導体層上部と接続するコンタクト電極及びコンタクト配線を形成するゲートラストプロセスであるＳＧＴの製造方法が示された。

[0081] 上記製造方法によって得られる半導体装置の構造を図１に示す。

この半導体装置は、シリコン基板１０１上に形成されたフィン状シリコン層１０３と、前記フィン状シリコン層１０３の周囲に形成された第１の絶縁

膜１０４と、前記フィン状シリコン層１０３上に形成された第２の柱状シリコン層１１０と、前記第２の柱状シリコン層１１０の周囲に形成された金属からなるコンタクト電極１４０ｃと、前記コンタクト電極１４０ｃに接続された前記フィン状シリコン層１０３に直交する方向に延在する金属からなるコンタクト配線１４０ｄと、前記フィン状シリコン層１０３の上部と前記第２の柱状シリコン層１１０の下部に形成された第３の拡散層１２７とを有し、前記コンタクト電極１４０ｃは前記第３の拡散層１２７と接続している。

[0082] 上記半導体装置はまた、前記第２の柱状シリコン層１１０と前記コンタクト電極１４０ｃとの間に形成されたゲート絶縁膜１３７を有する。

[0083] 上記半導体装置の前記第２の柱状シリコン層１１０のフィン状シリコン層に直交する方向の幅は前記フィン状シリコン層１０３自身に直交する方向の幅と同じである。

[0084] 上記半導体装置はまた、前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有する。

[0085] 上記半導体装置の前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じである。

[0086] また、上記半導体装置は、前記シリコン基板１０１上に形成された前記フィン状シリコン層１０３と、前記フィン状シリコン層１０３の周囲に形成された前記第１の絶縁膜１０４と、前記フィン状シリコン層１０３上に形成された第１の柱状シリコン層１１１と、ここで、前記第１の柱状シリコン層１１１のフィン状シリコン層に直交する方向の幅は前記フィン状シリコン層１０３自身に直交する方向の幅と同じであり、前記第１の柱状シリコン層１１１の周囲に形成されたゲート絶縁膜１３８と、前記ゲート絶縁膜１３８の周囲に形成された金属からなるゲート電極１４０ａと、前記ゲート電極１４０ａに接続された前記フィン状シリコン層１０３に直交する方向に延在する金属からなるゲート配線１４０ｂと、前記ゲート電極１４０ａと前記ゲート配線１４０ｂの周囲と底部に形成された前記ゲート絶縁膜１３８と、前記ゲート電極１４０ａの外側の幅と前記ゲート配線１４０ｂの幅は同じであり、前

記第１の柱状シリコン層１１１の上部に形成された第１の拡散層１２１と、前記フィン状シリコン層１０３の上部と前記柱状シリコン層１１１の下部に形成された前記第３の拡散層１２７と、を有する。

[0087] 以上により、第２の柱状シリコン層１１０と第２の柱状シリコン層１１０周囲に形成されるコンタクト電極１４０ｃとコンタクト配線とで形成される構造は、コンタクト電極１４０ｃが前記第３の拡散層と接続すること以外はトランジスタ構造と同じ構造であるため、工程数を削減することができる。

[0088] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0089] 例えば、上記実施例において、ｐ型（p^+型を含む。）とｎ型（n^+型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

[0090] １０１．シリコン基板
１０２．第１のレジスト
１０３．フィン状シリコン層
１０４．第１の絶縁膜
１０５．第２の絶縁膜
１０６．第１のポリシリコン
１０７．第３の絶縁膜
１０８．第２のレジスト
１０９．第３のレジスト
１１０．第２の柱状シリコン層
１１１．第１の柱状シリコン層
１１２．第３の絶縁膜
１１３．第３の絶縁膜

１１４．第２のダミーゲート

１１５．第１のダミーゲート

１１６．第２の絶縁膜

１１７．第２の絶縁膜

１１８．第４の絶縁膜

１１９．第４のレジスト

１２０．第２の拡散層

１２１．第１の拡散層

１２２．第２のポリシリコン

１２３．第４のダミーゲート

１２４．第３のダミーゲート

１２５．第４の絶縁膜

１２６．第４の絶縁膜

１２７．第３の拡散層

１２８．第５の絶縁膜

１２９．第５の絶縁膜からなるサイドウォール

１３０．第５の絶縁膜からなるサイドウォール

１３１．金属と半導体の化合物

１３２．金属と半導体の化合物

１３３．金属と半導体の化合物

１３４．層間絶縁膜

１３５．ゲート絶縁膜

１３６．第５のレジスト

１３７．ゲート絶縁膜

１３８．ゲート絶縁膜

１３９．ゲート絶縁膜

１４０．金属

１４０ａ．ゲート電極

１４０ｂ．ゲート配線

１４０ｃ．コンタクト電極

１４０ｄ．コンタクト配線

１４１．酸化膜

１４２．第６のレジスト

１４３．コンタクト孔

１４４．コンタクト孔

１４５．第７のレジスト

１４６．コンタクト孔

１４７．金属

１４８．コンタクト

１４９．コンタクト

１５０．コンタクト

１５１．第８のレジスト

１５２．第８のレジスト

１５３．第８のレジスト

１５４．金属配線

１５５．金属配線

１５６．金属配線

請求の範囲

[請求項1] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、

前記第１工程の後、

前記フィン状半導体層の周囲に第２の絶縁膜を形成し、

前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、

第１のゲート配線と第１の柱状半導体層を形成するための第２のレジストと、第１のコンタクト配線と第２の柱状半導体層を形成するための第３のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、

前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程と、

を有することを特徴とする半導体装置の製造方法。

[請求項2] 前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化後、前記第１のポリシリコン上に第３の絶縁膜を形成することをさらに含むことを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項3] 前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程を有することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項4] 前記第１の柱状半導体層と前記第１のダミーゲートと前記第２の柱状半導体層と前記第２のダミーゲートの周囲に第４の絶縁膜を形成後

、第４のレジストを形成し、エッチバックを行い、前記第１の柱状半導体層上部を露出し、前記第１の柱状半導体層上部に第１の拡散層を形成することを特徴とする請求項３に記載の半導体装置の製造方法。

［請求項5］ 前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第３の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第３の拡散層上に金属と半導体の化合物を形成する第４工程を有することを特徴とする請求項３に記載の半導体装置の製造方法。

［請求項6］ 前記第４の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第５のレジストを形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程を有することを特徴とする請求項５に記載の半導体装置の製造方法。

［請求項7］ 半導体基板上に形成されたフィン状半導体層と、

前記フィン状半導体層の周囲に形成された第１の絶縁膜と、

前記フィン状半導体層上に形成された第２の柱状半導体層と、

前記第２の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、

前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるコンタクト配線と、
前記フィン状半導体層の上部と前記第２の柱状半導体層の下部に形成された第３の拡散層と、
を有し、前記コンタクト電極は前記第３の拡散層と接続していることを特徴とする半導体装置。

[請求項8] 前記第２の柱状半導体層と前記コンタクト電極との間に形成されたゲート絶縁膜を有することを特徴とする請求項７に記載の半導体装置。

[請求項9] 前記第２の柱状半導体層の前記フィン状半導体層に直交する方向の幅は前記フィン状半導体層自身に直交する方向の幅と同じであることを特徴とする請求項７に記載の半導体装置。

[請求項10] 前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする請求項８に記載の半導体装置。

[請求項11] 前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする請求項７に記載の半導体装置。

[請求項12] 前記半導体基板上に形成された前記フィン状半導体層と、
前記フィン状半導体層の周囲に形成された前記第１の絶縁膜と、
前記フィン状半導体層上に形成された第１の柱状半導体層と、ここで、前記第１の柱状半導体層の前記フィン状半導体層に直交する方向の幅は前記フィン状半導体層自身に直交する方向の幅と同じであり、
前記第１の柱状半導体層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、
前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、
前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、

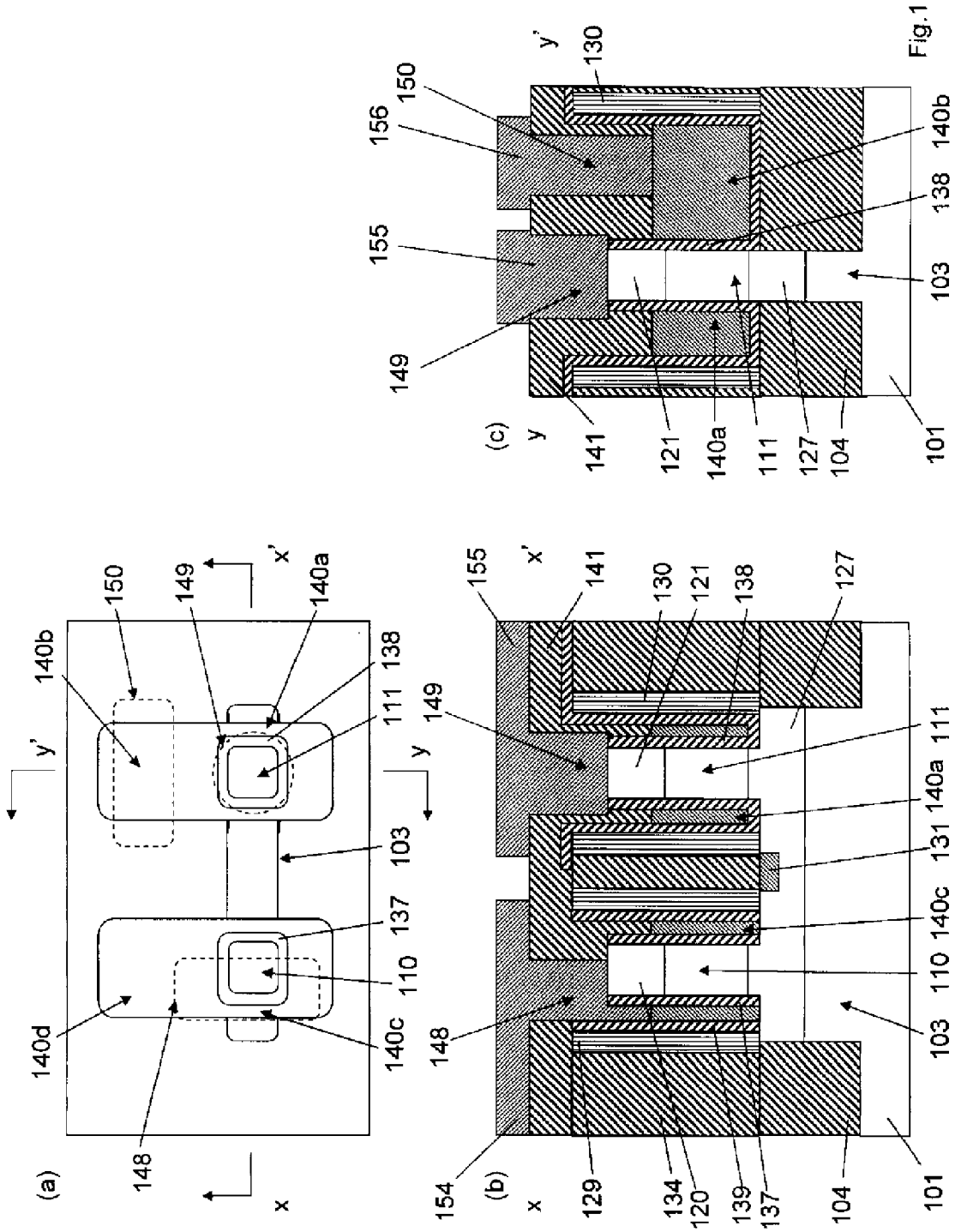
前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、

前記第１の柱状半導体層の上部に形成された第１の拡散層と、

前記フィン状半導体層の上部と前記第１の柱状半導体層の下部に形成された前記第３の拡散層と、

を有することを特徴とする請求項７に記載の半導体装置。

[図1]


Fig.1
(a)
(b)
(c)
x
x'
y
y'
101
103
104
110
111
120
121
127
129
130
131
134
137
138
139
140a
140b
140c
140d
141
148
149
150
154
155
156

[図2]

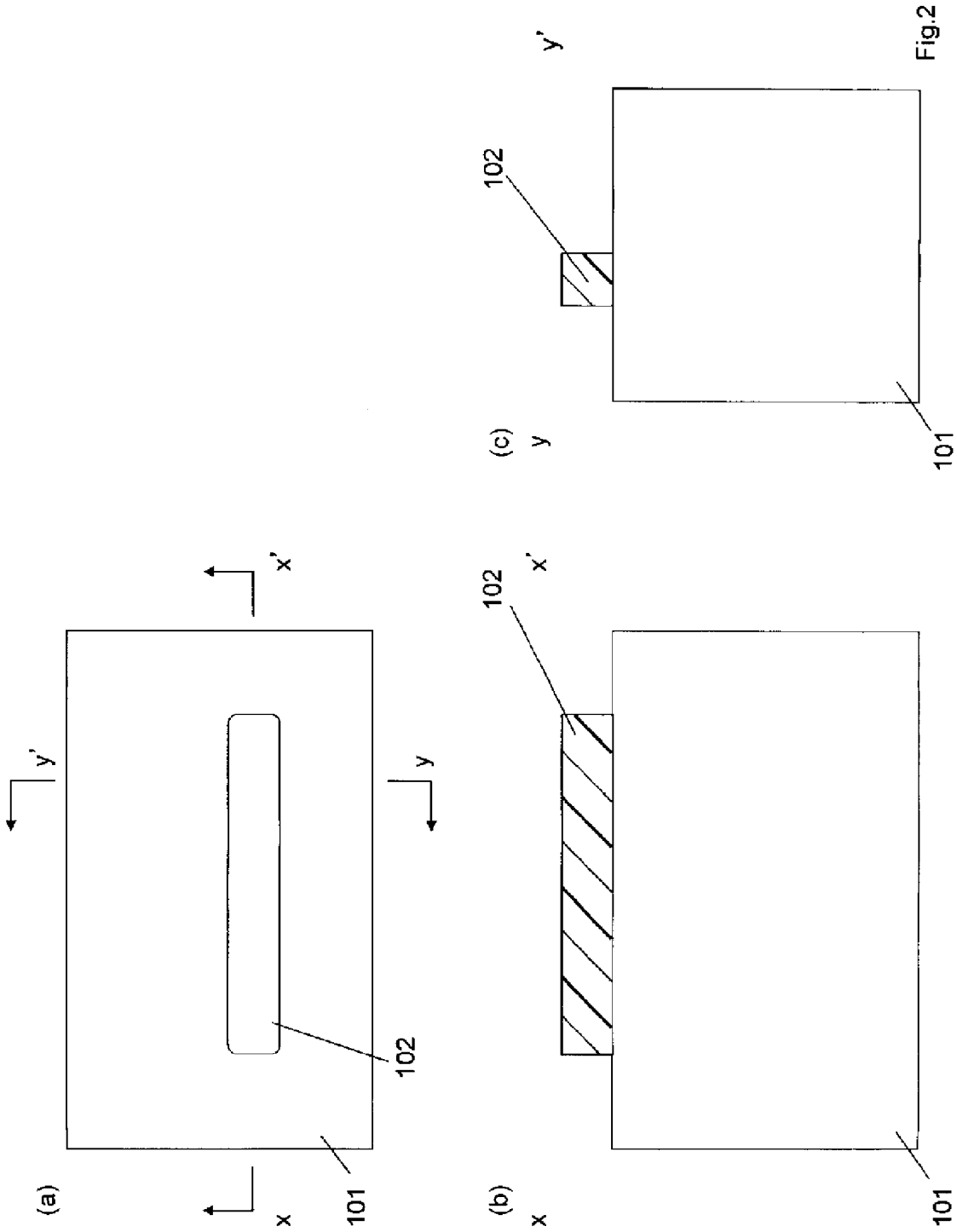


Fig.2

[図3]

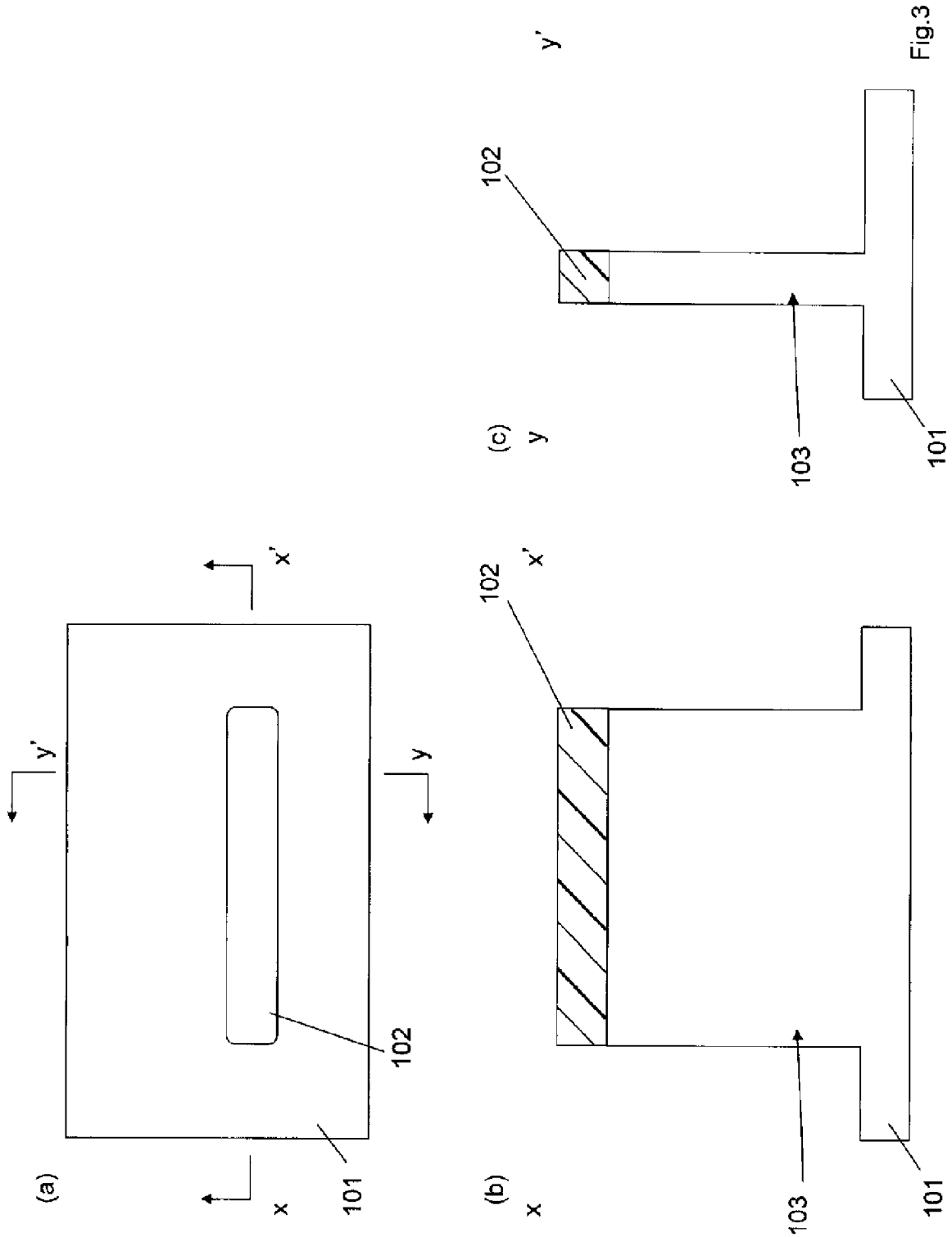


Fig.3

[図4]

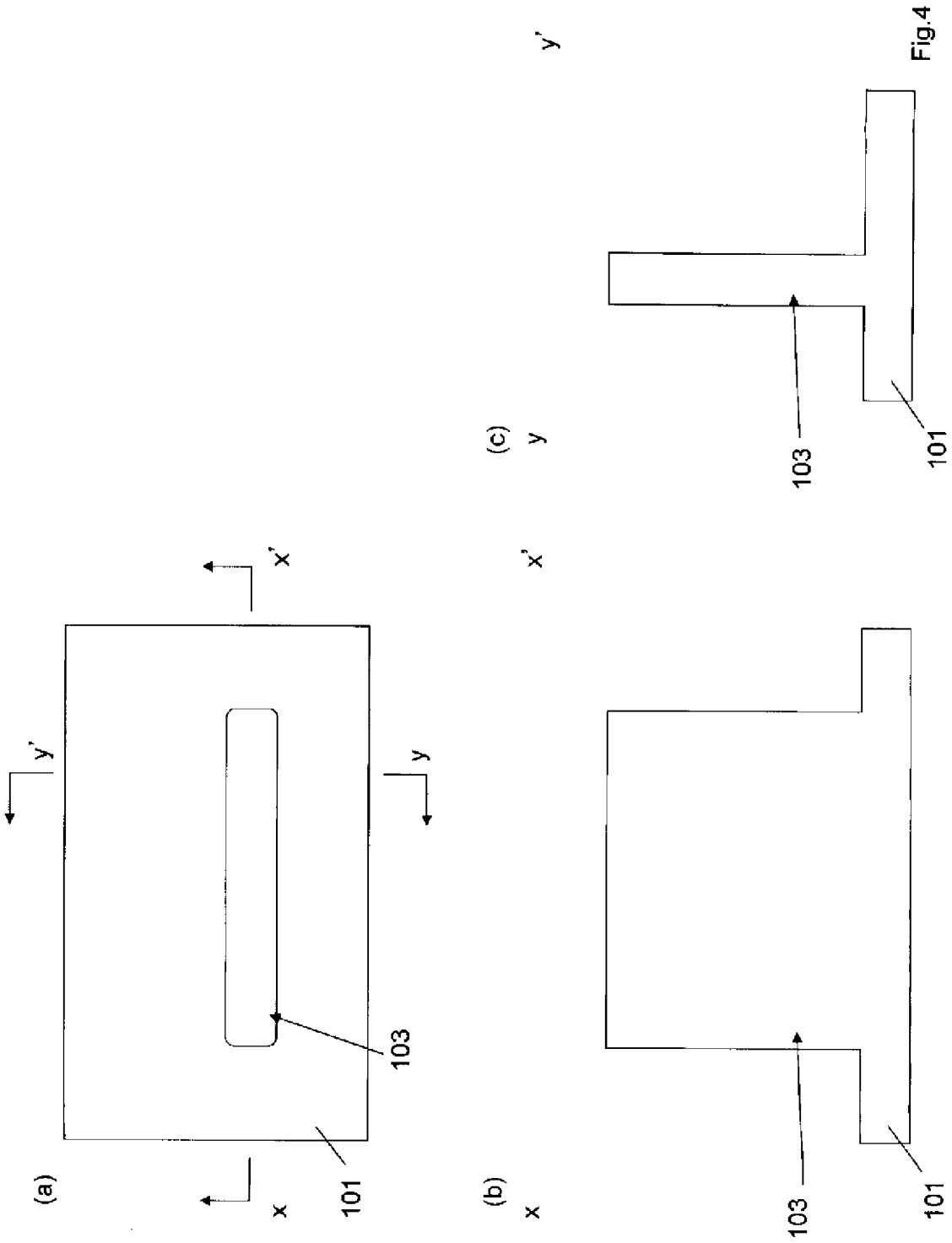


Fig.4

[図5]

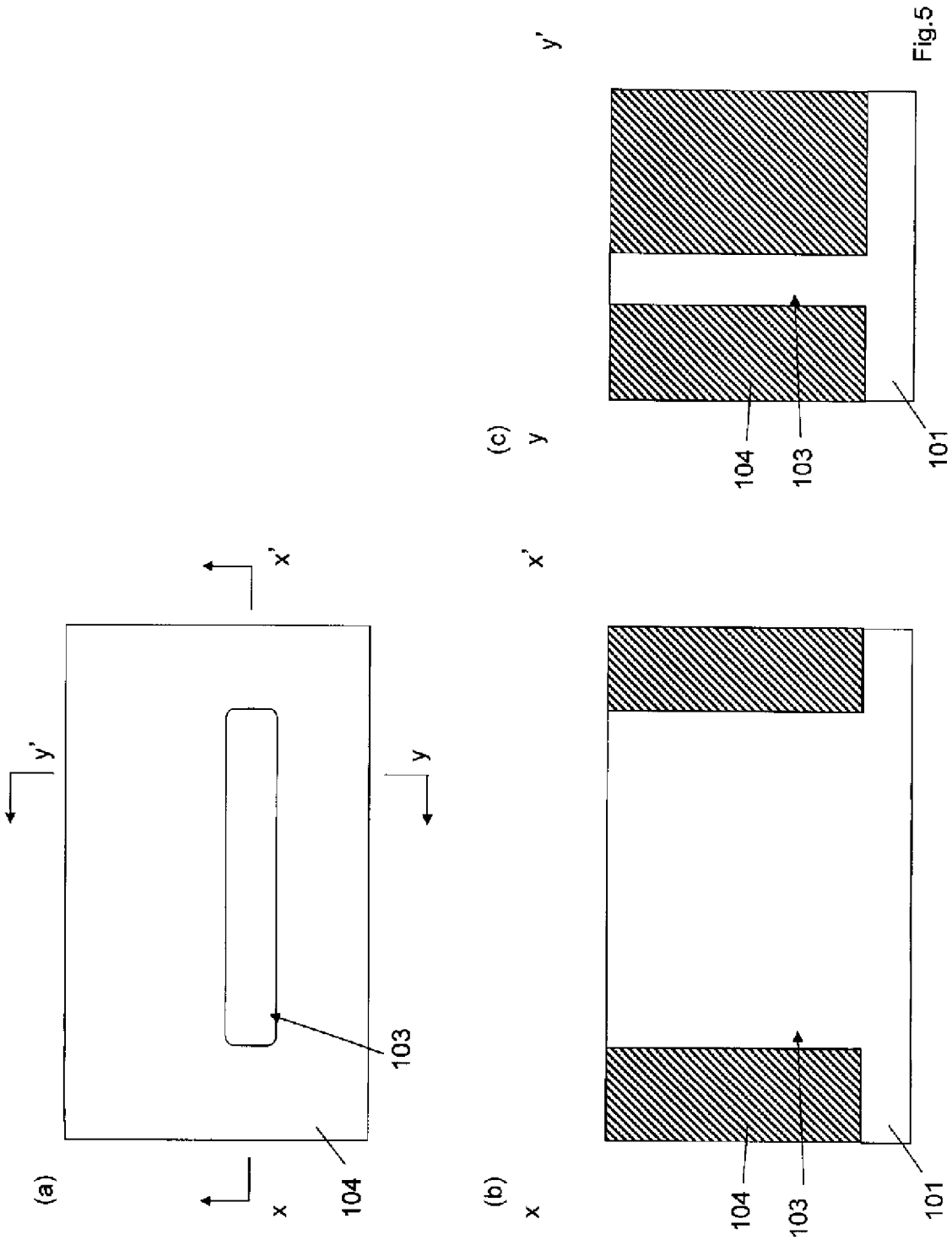


Fig.5

[図6]

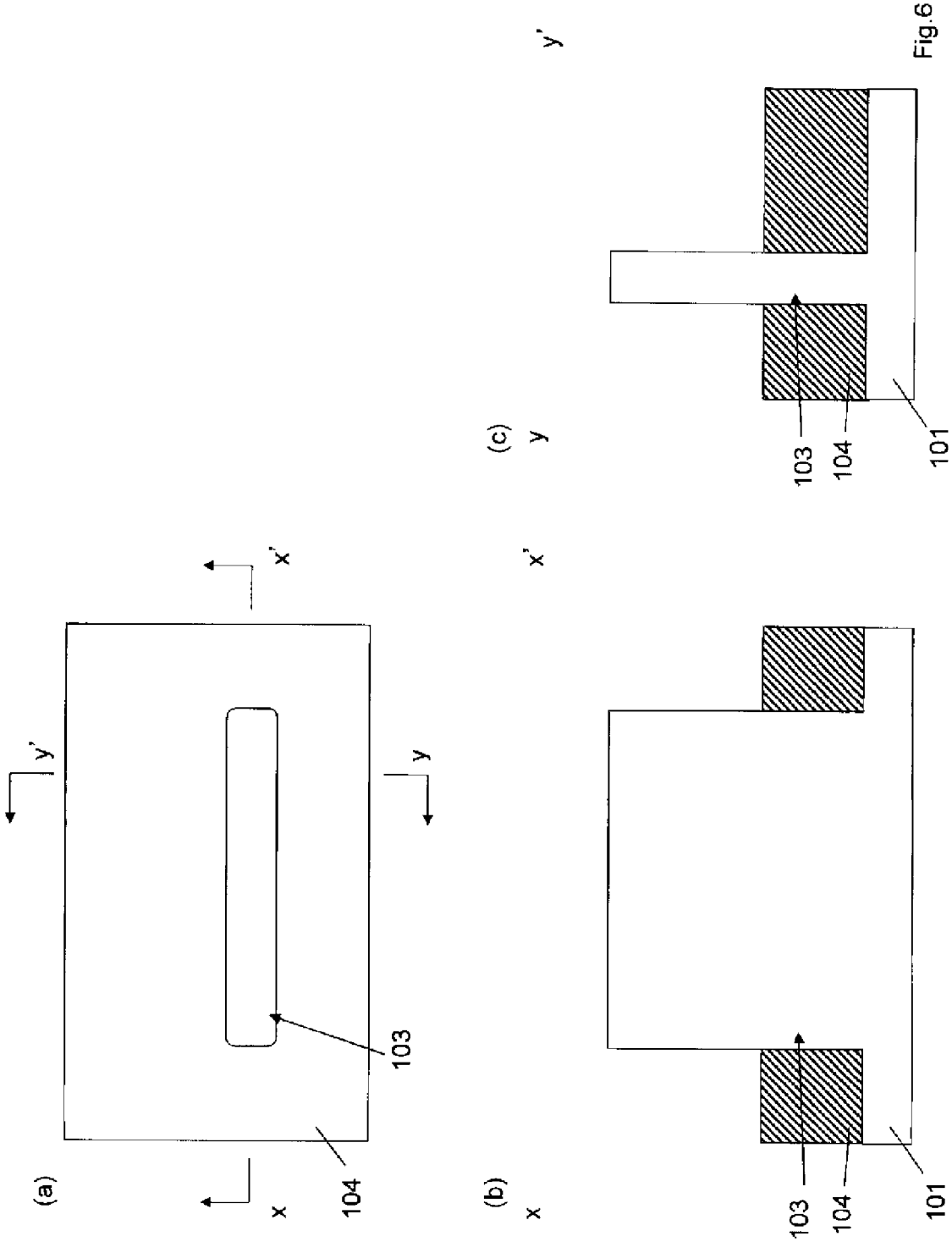


Fig.6

[図7]

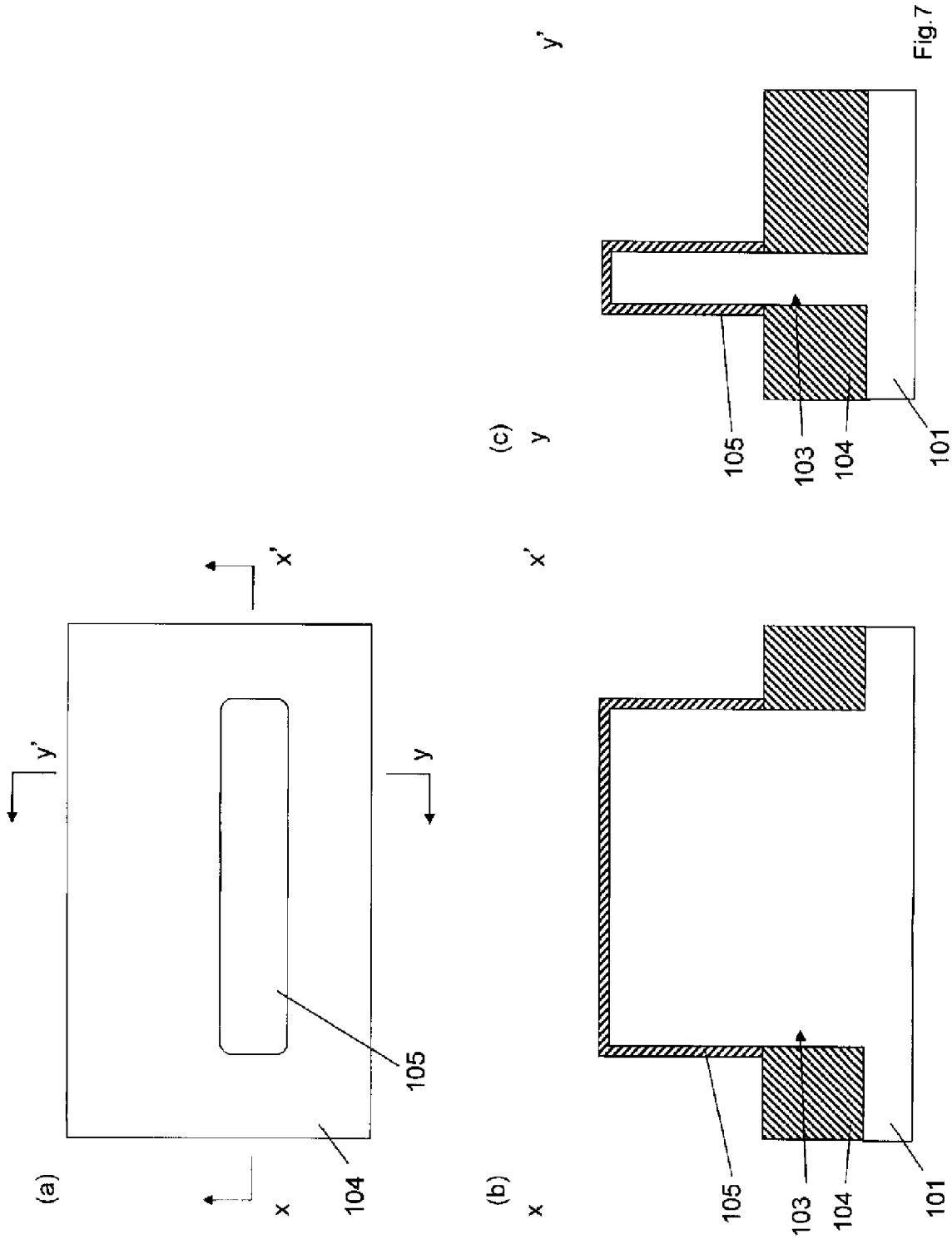


Fig.7

[図8]

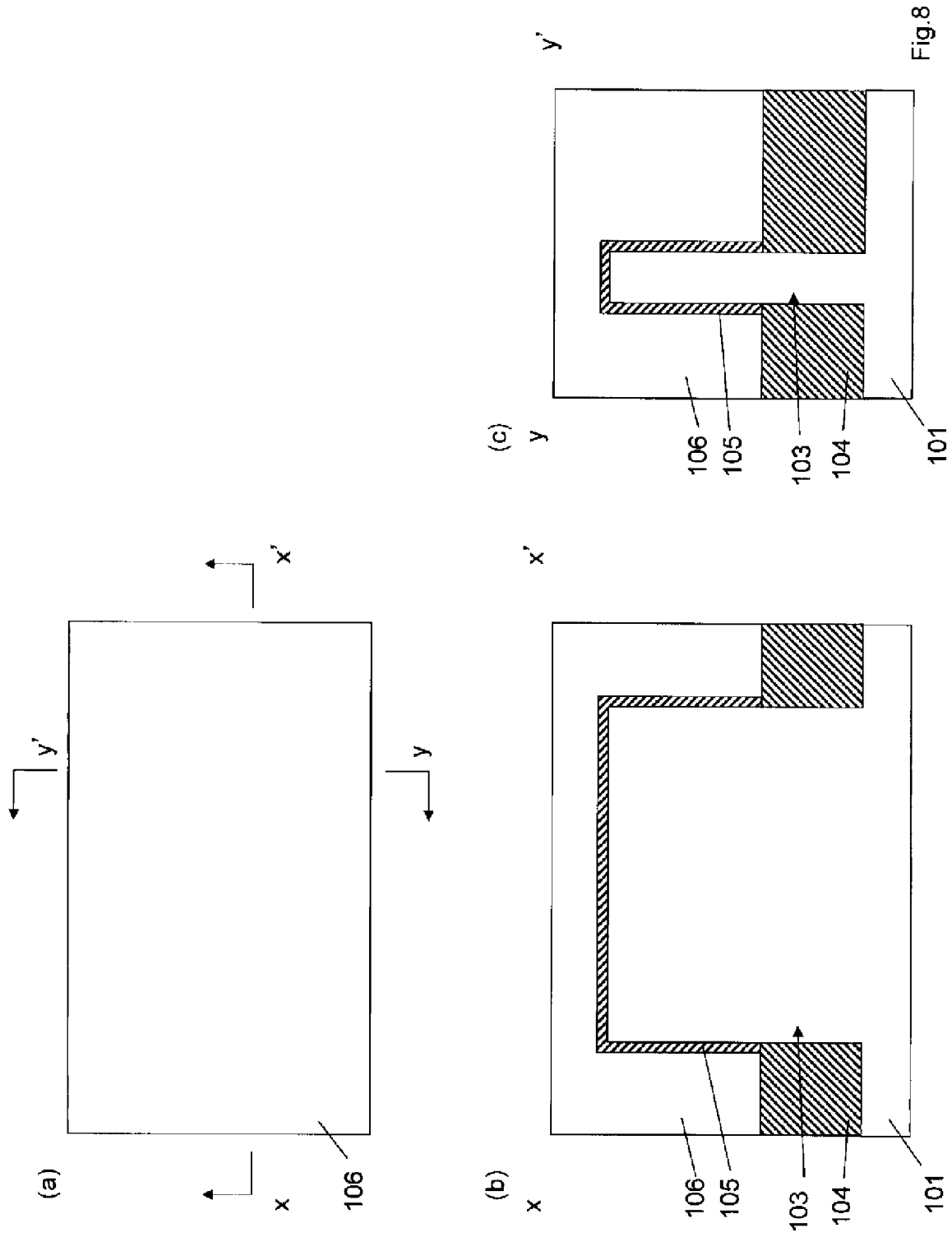


Fig.8

[図9]

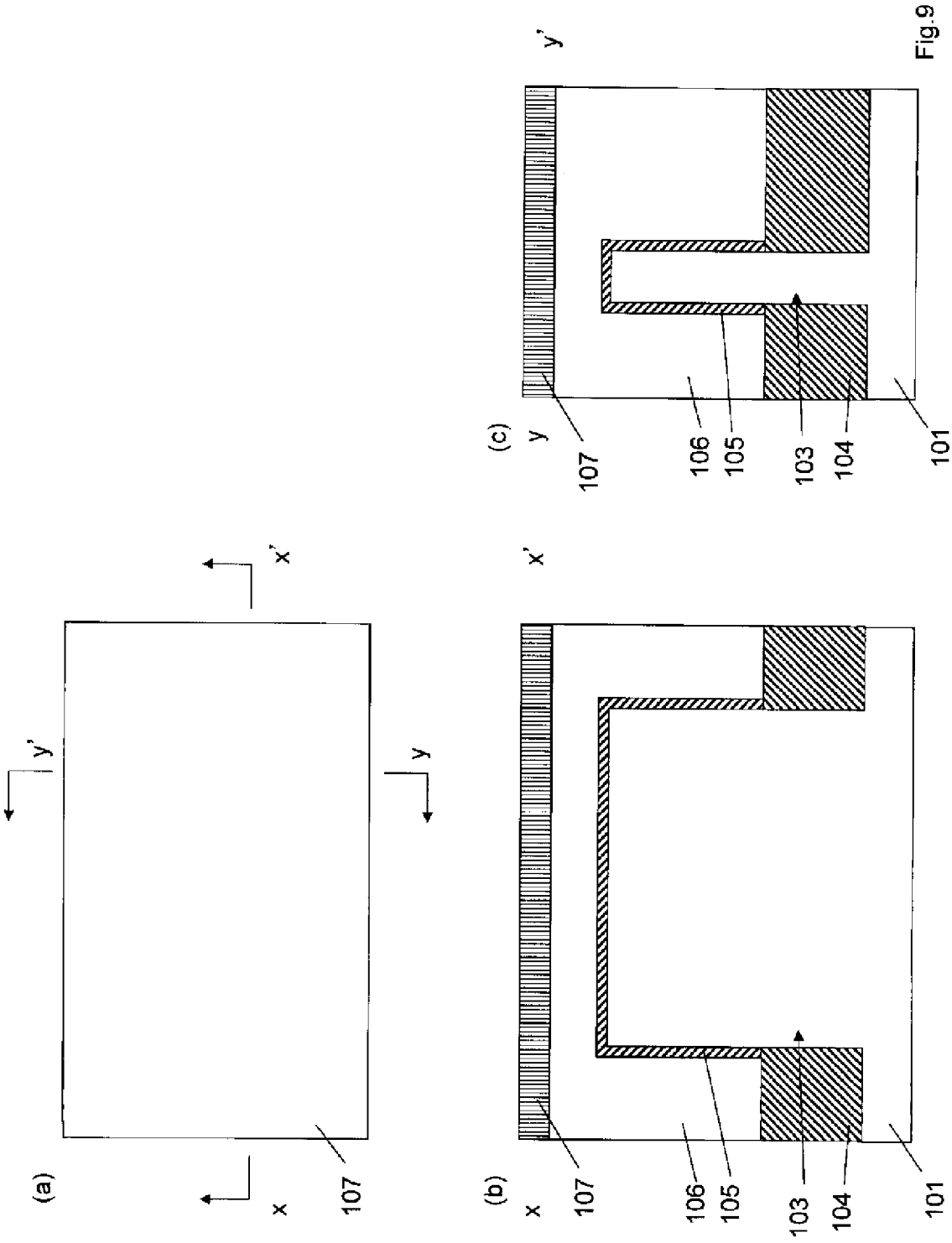
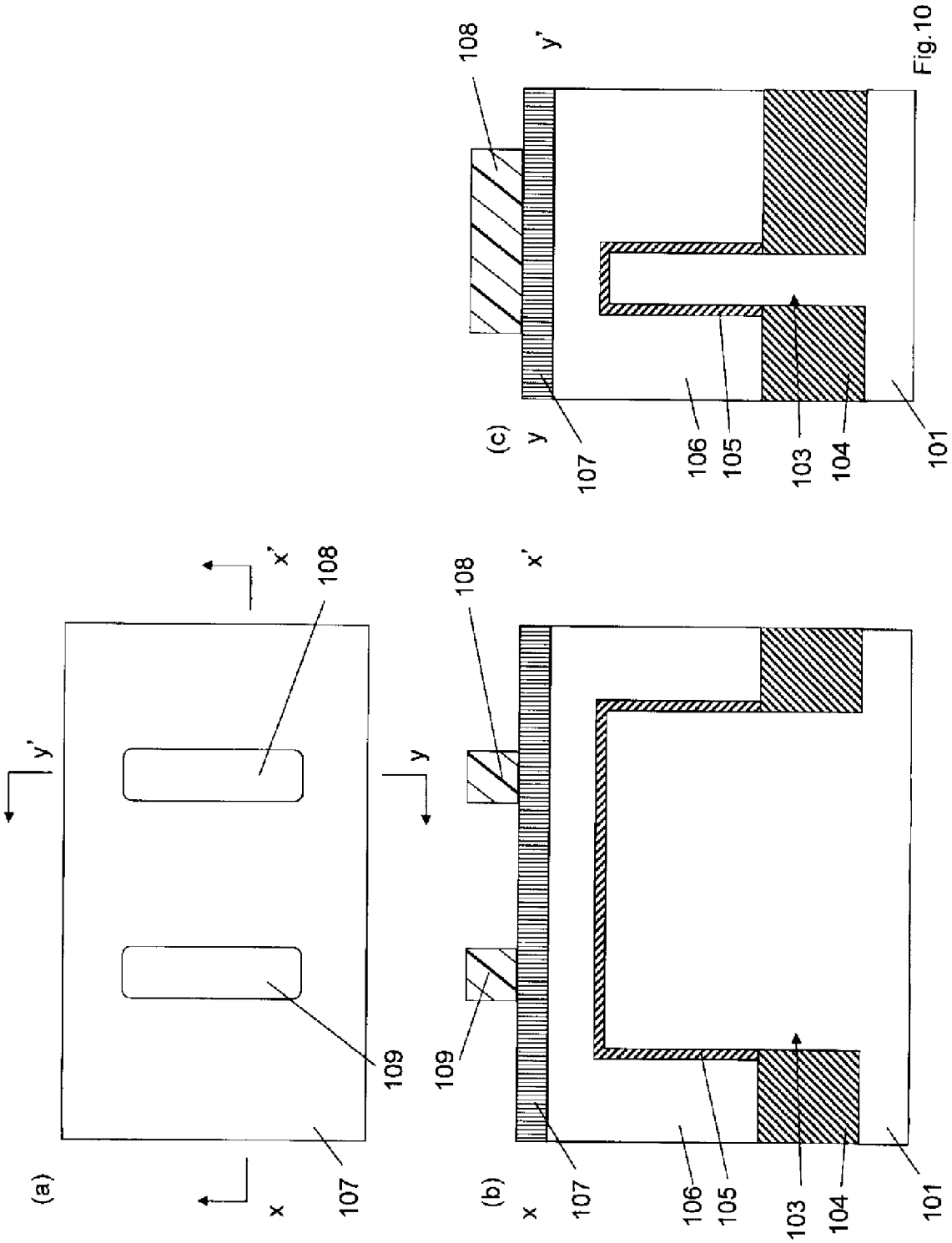

(a)
x
x'
y
y'
107
(b)
x
x'
107
106
105
103
104
101
(c)
y
y'
107
106
105
103
104
101

Fig.9

[図10]



[図11]

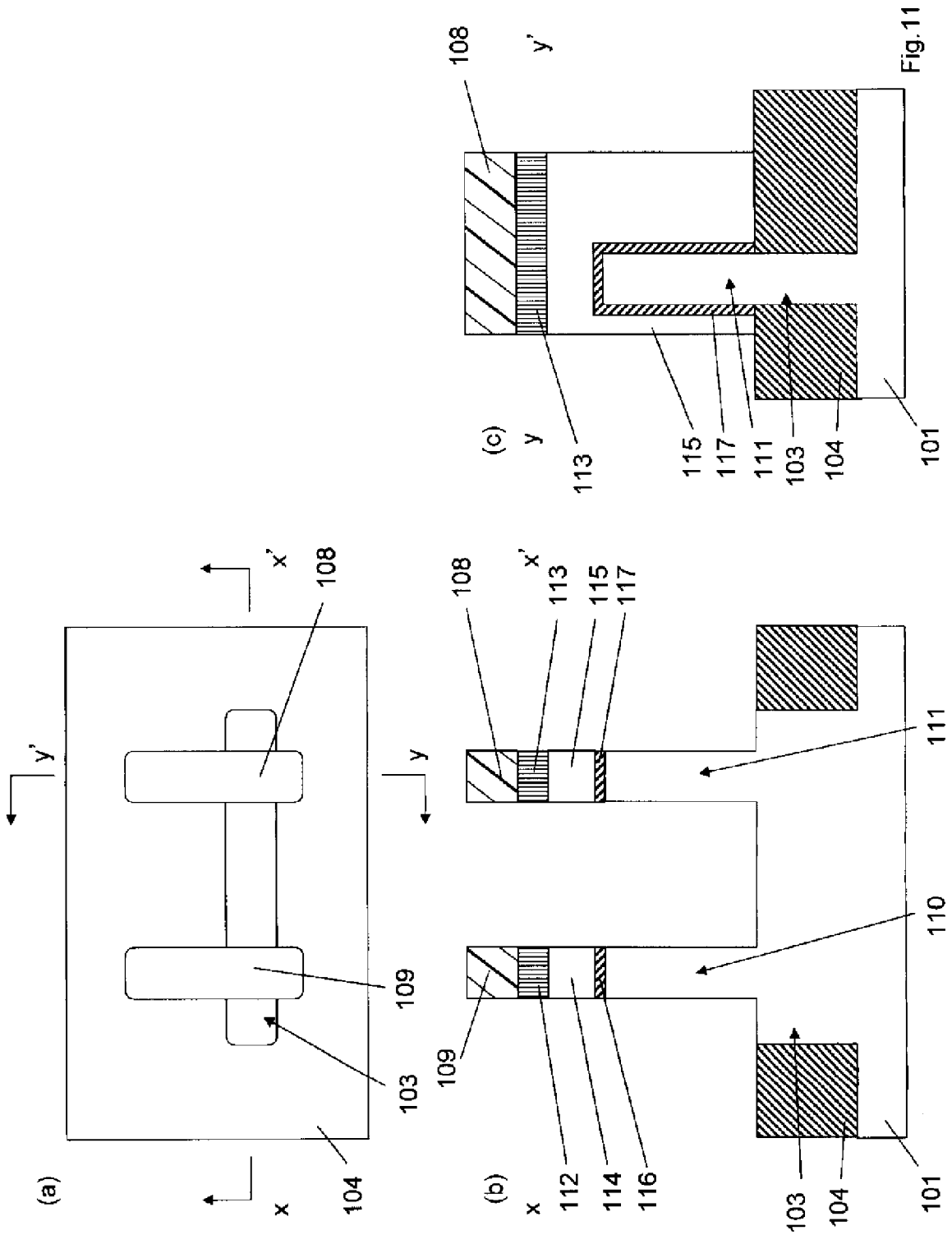

(a)
x
x'
y
y'
104
103
109
108
(b)
x
x'
y
112
114
116
109
103
104
101
110
111
108
113
115
117
(c)
y
y'
113
115
117
111
103
104
101
108

Fig.11

[図12]

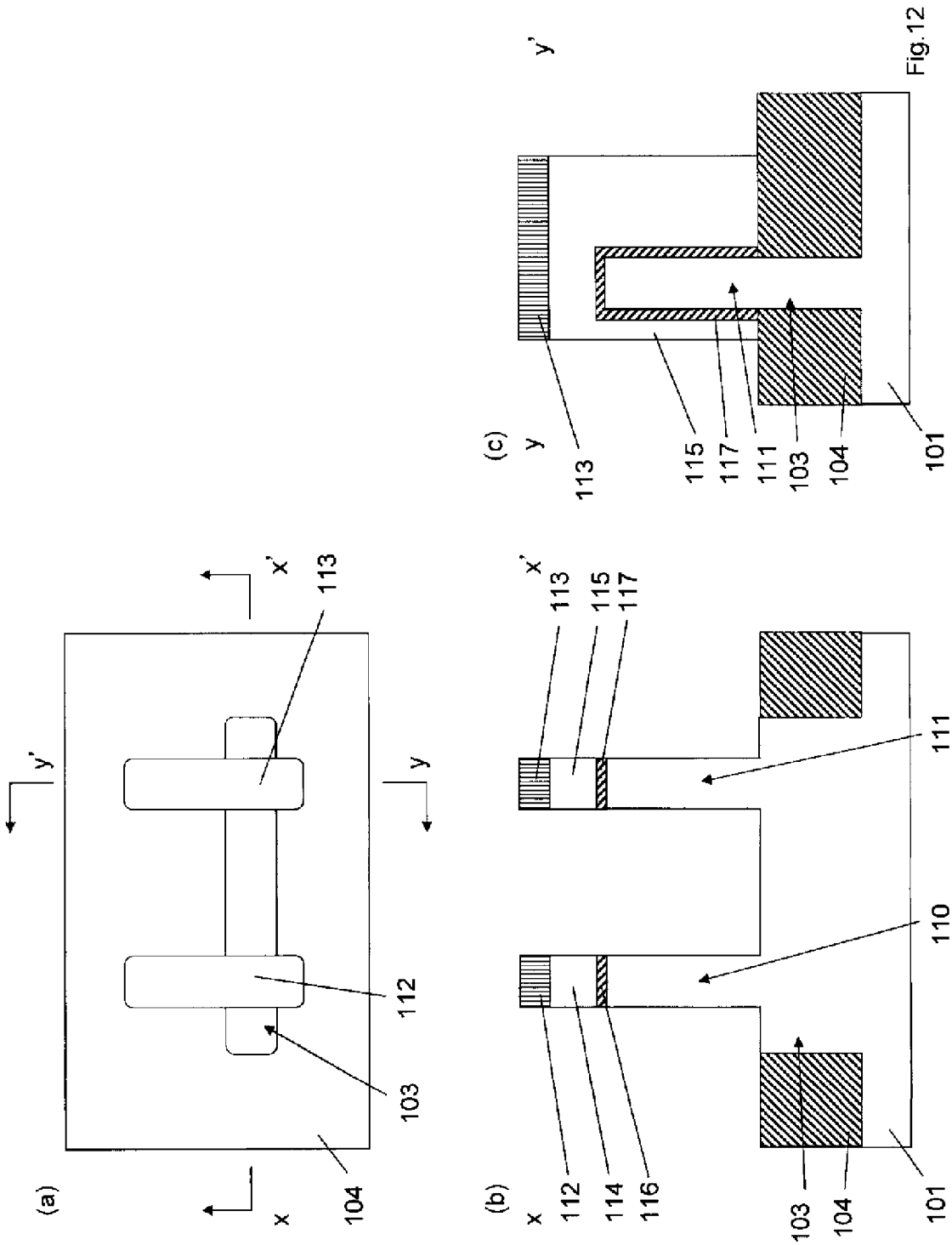
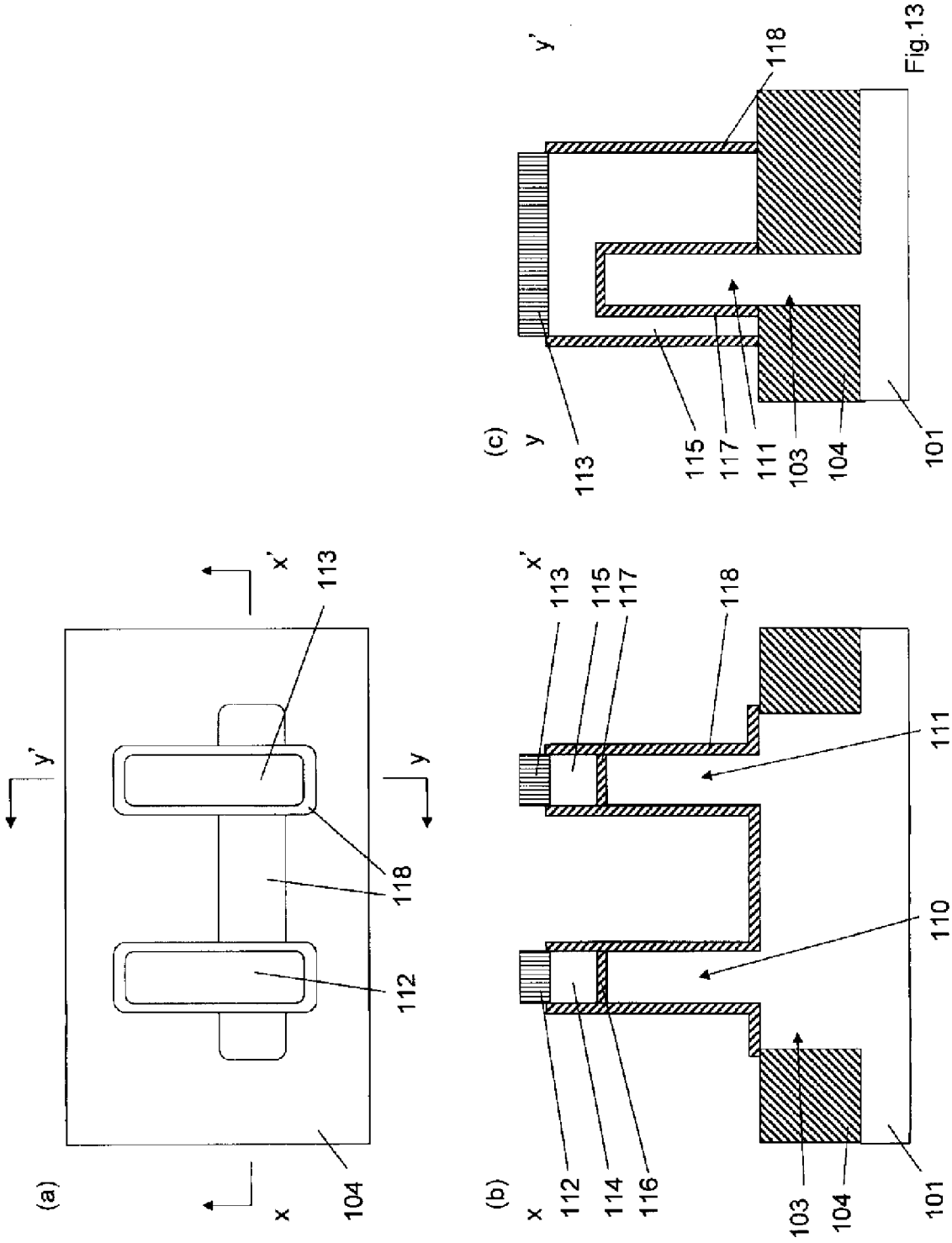

(a)
x
x'
y
y'
104
103
112
113
(b)
x
x'
112
114
116
113
115
117
111
110
101
103
104
(c)
y
y'
113
115
117
111
103
104
101

Fig.12

[図13]


Fig.13
(a)
x'
y'
y
x
113
118
112
104
(b)
x'
x
113
115
117
118
111
110
112
114
116
103
104
101
(c)
y'
y
118
113
115
117
111
103
104
101

[図14]

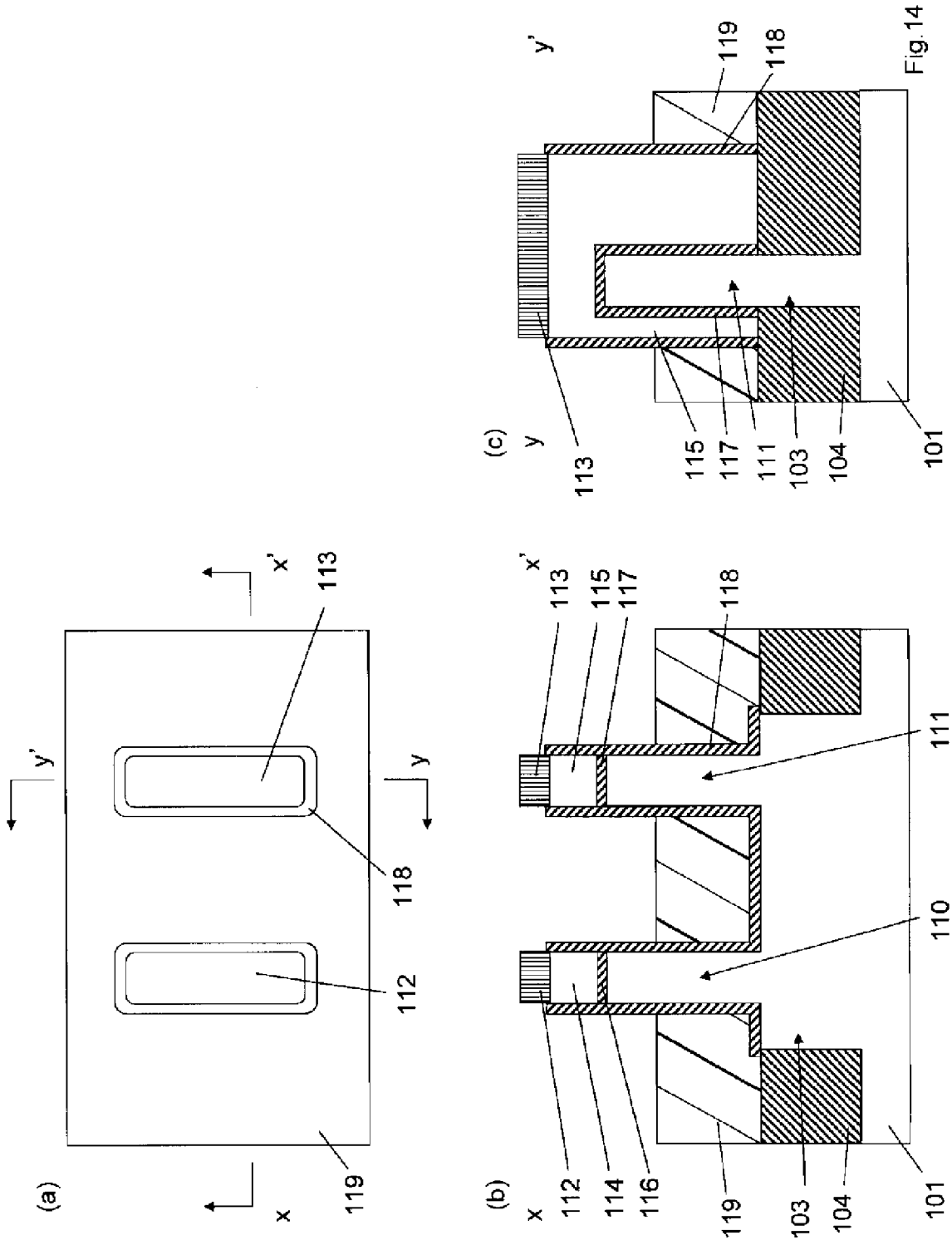
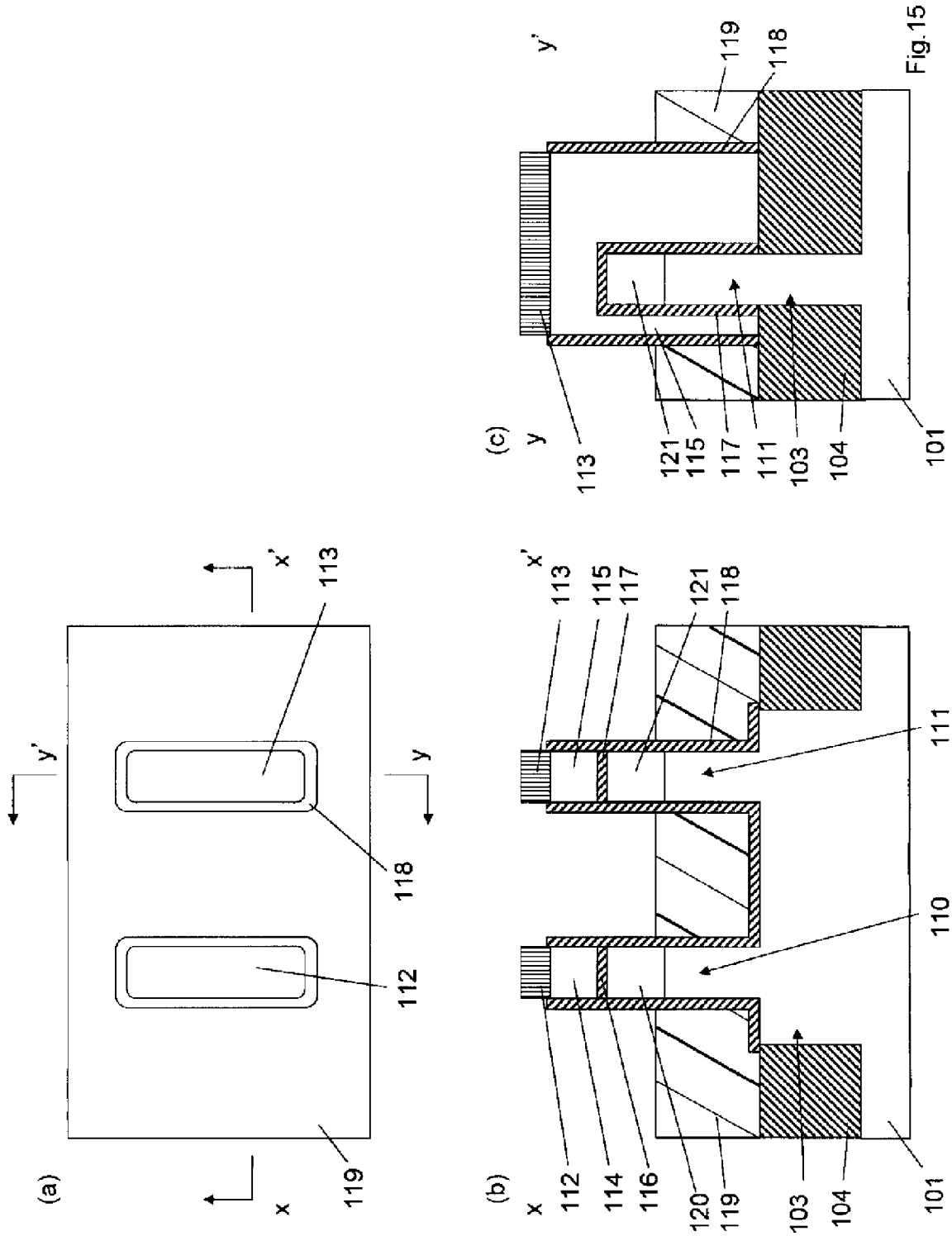
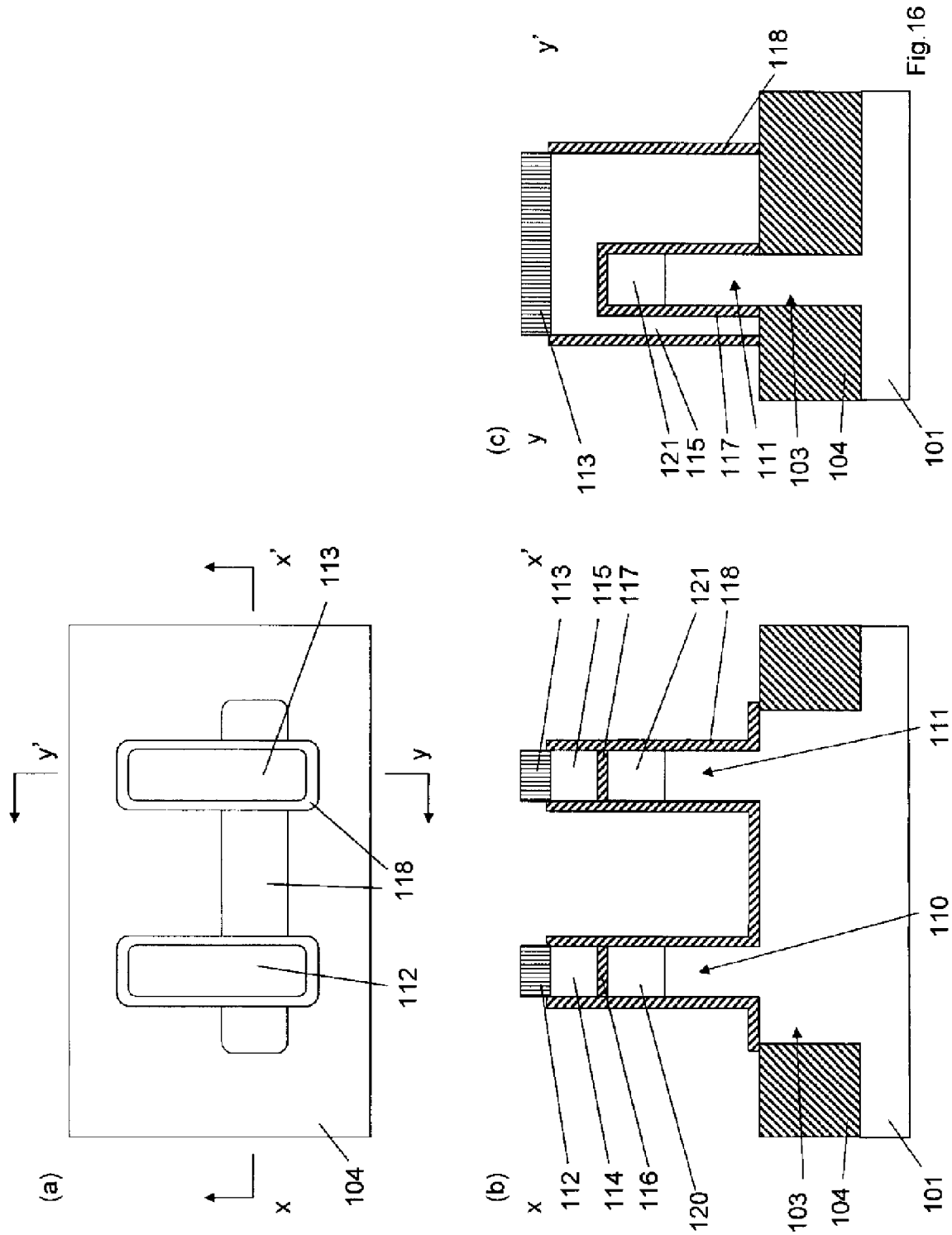

(a)
x
x'
y
y'
113
118
112
119
(b)
x
x'
112
114
116
113
115
117
118
111
110
119
103
104
101
(c)
y
y'
113
115
117
111
103
104
101
119
118

Fig.14

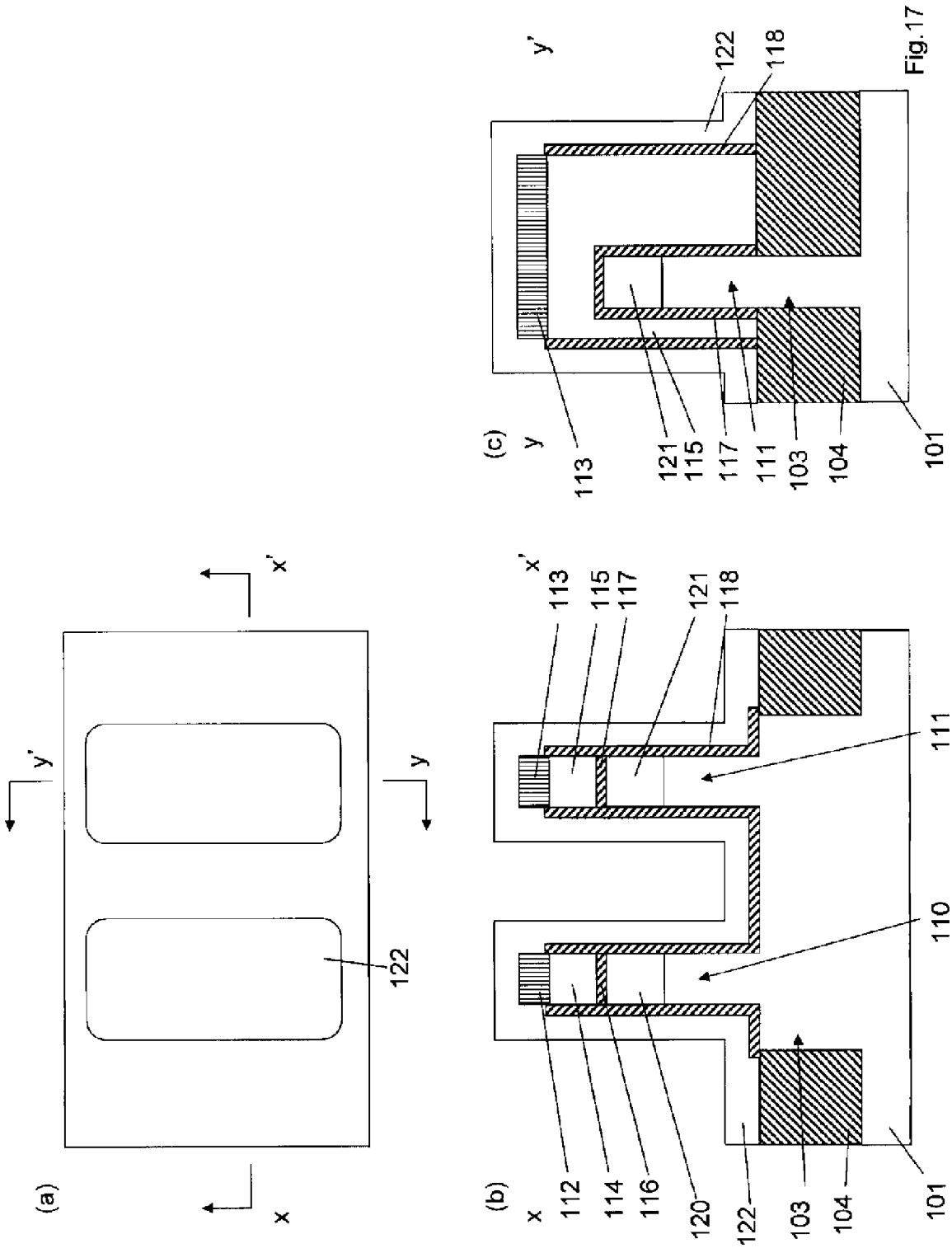
[図15]


Fig.15
(a)
x
x'
y
y'
113
118
112
119
(b)
x
x'
112
114
116
120
119
103
104
101
113
115
117
121
118
111
110
(c)
y
y'
113
121
115
117
111
103
104
101
119
118

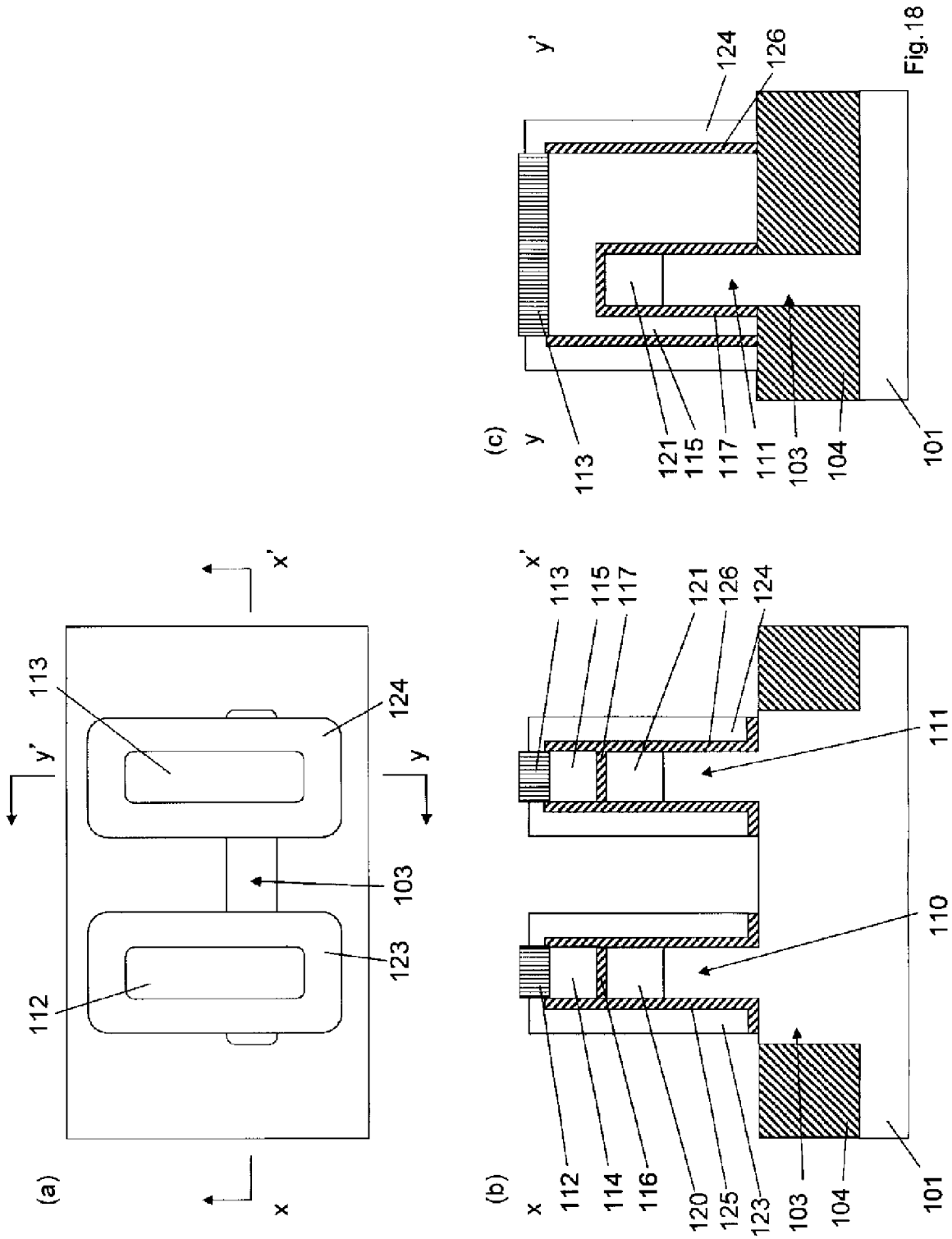
[図16]


Fig.16
(a)
x
x'
y
y'
104
112
118
113
(b)
x
x'
112
114
116
120
103
104
101
110
111
113
115
117
121
118
(c)
y
y'
113
121
115
117
111
103
104
101
118

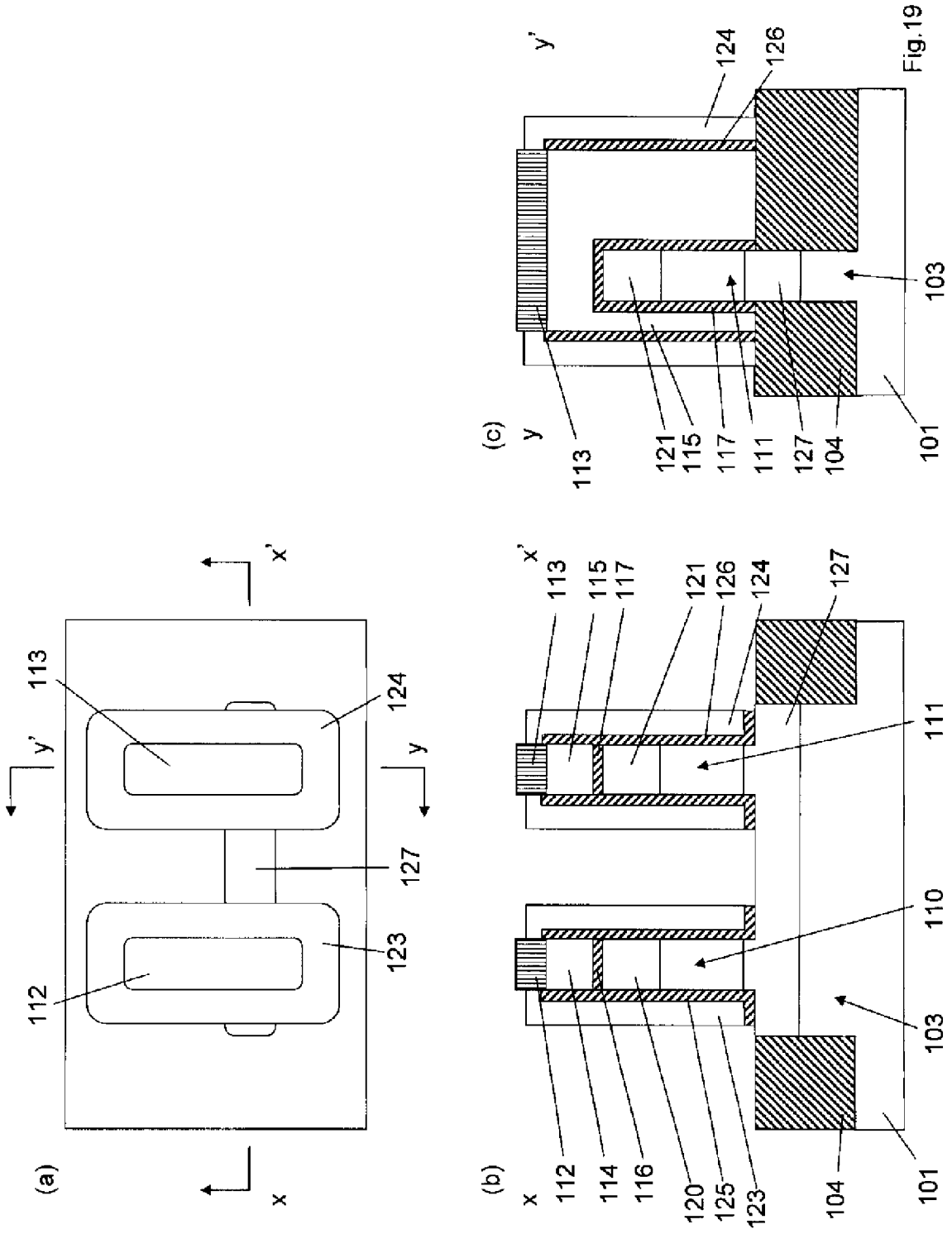
[図17]


Fig.17
(a)
x
x'
y
y'
122
(b)
x
x'
112
113
114
115
116
117
120
121
122
118
103
104
101
110
111
(c)
y
y'
113
121
115
117
111
103
104
101
122
118

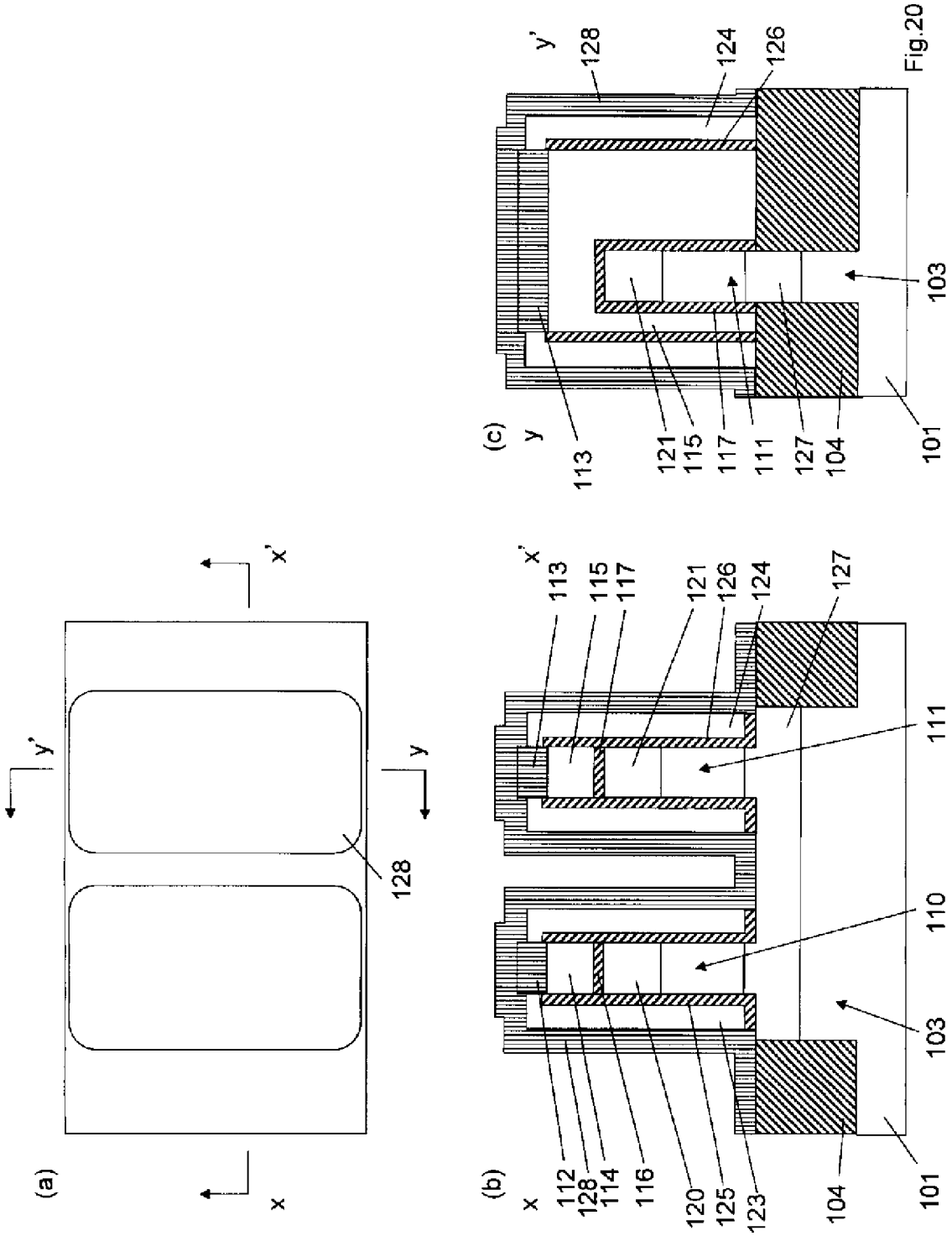
[図18]


Fig.18
(a)
x
x'
y
y'
113
124
103
123
112
(b)
x
x'
112
114
116
120
125
123
103
104
101
110
111
113
115
117
121
126
124
(c)
y
y'
113
121
115
117
111
103
104
101
124
126

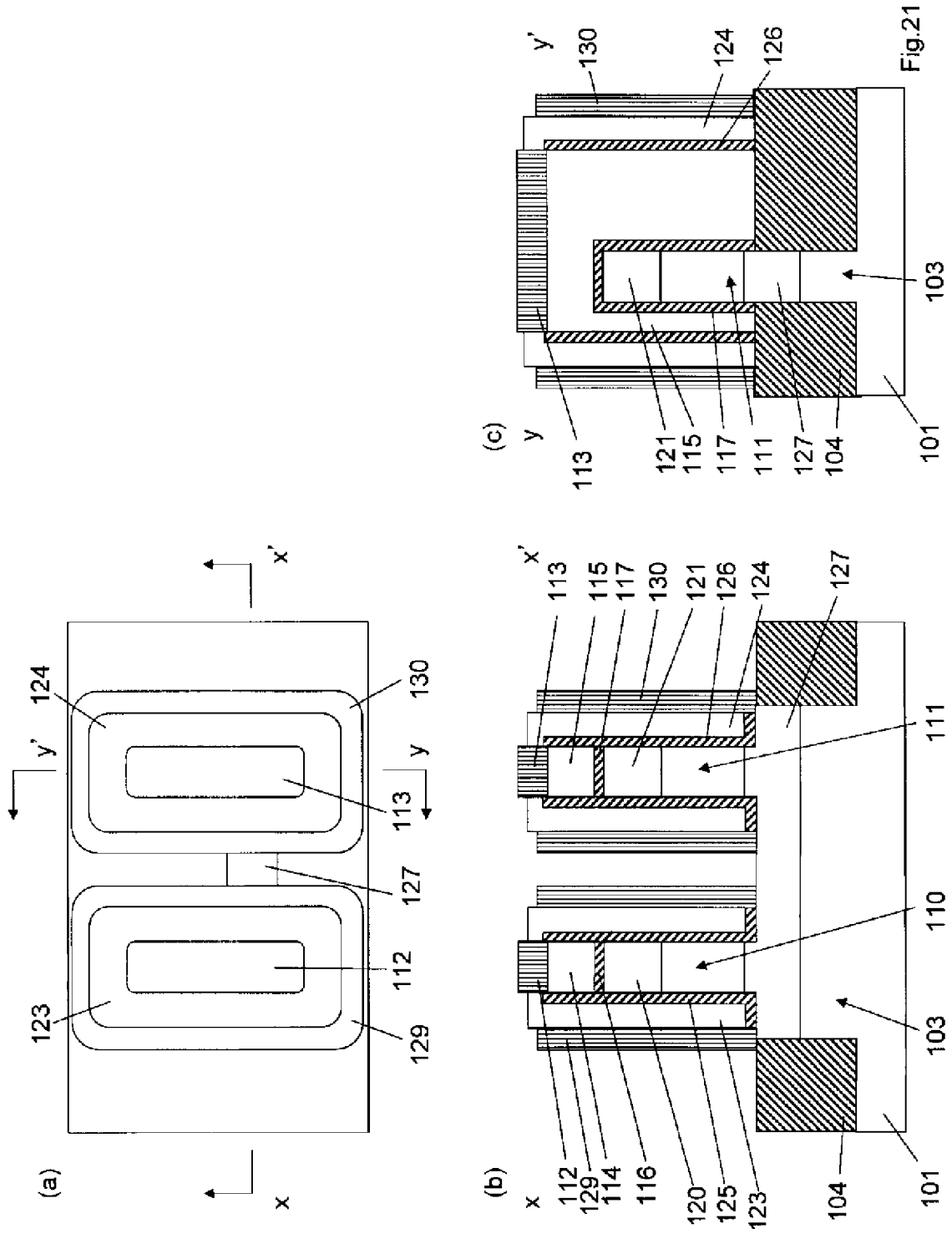
[図19]


Fig.19
(a)
x
x'
y
y'
113
124
127
123
112
(b)
x
x'
112
114
116
120
125
123
113
115
117
121
126
124
127
111
110
103
104
101
(c)
y
y'
113
121
115
117
111
127
104
101
124
126
103

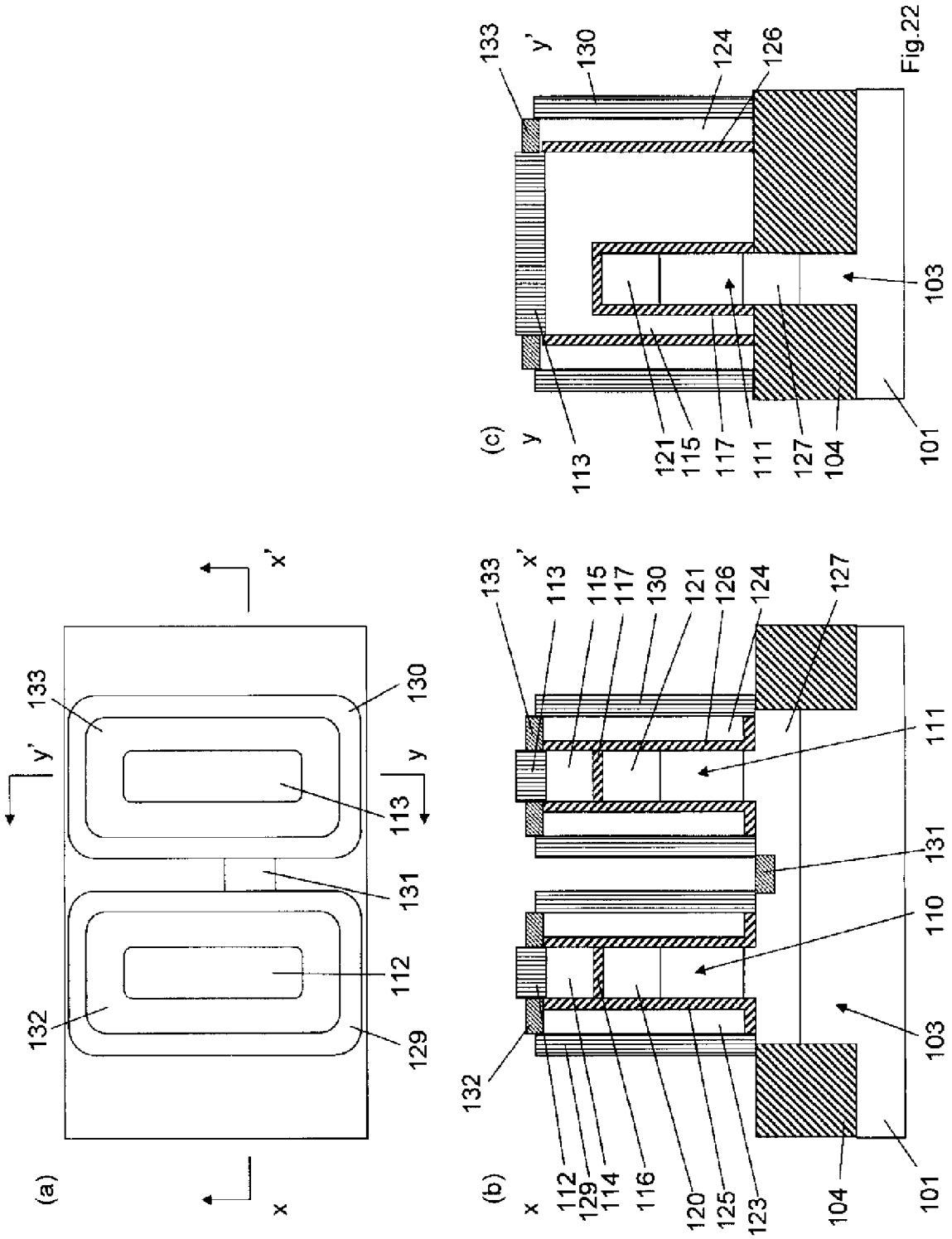
[図20]


Fig.20
(a)
x
x'
y
y'
128
(b)
x
x'
112
128
114
116
120
125
123
113
115
117
121
126
124
127
104
101
103
110
111
(c)
y
y'
113
121
115
117
111
127
104
101
103
124
126
128

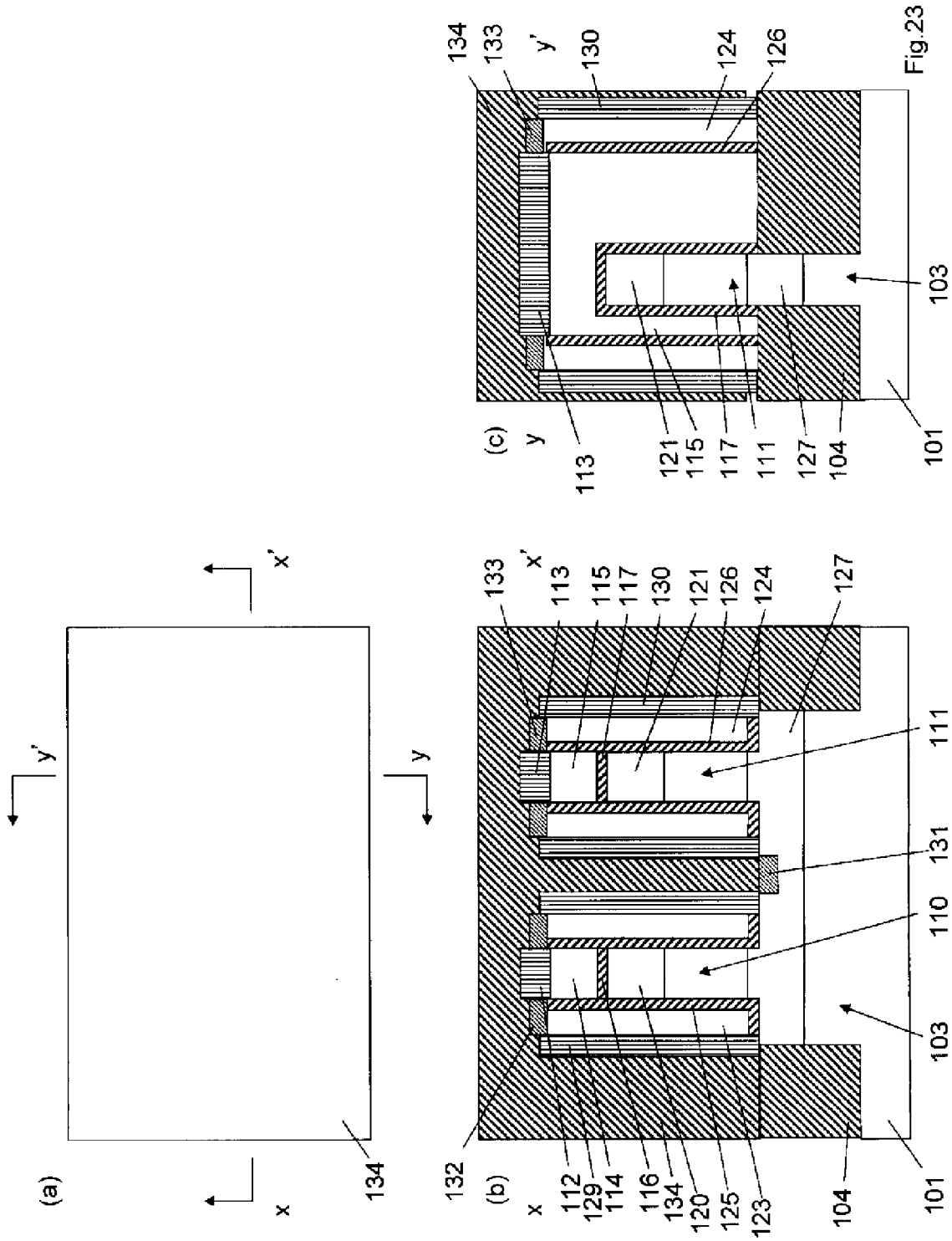
[図21]


Fig.21
(a)
x'
x
y'
y
124
130
113
127
112
123
129
(b)
x'
x
113
115
117
130
121
126
124
127
111
110
103
101
104
112
129
114
116
120
125
123
(c)
y'
y
130
124
126
103
101
104
127
111
117
115
121
113

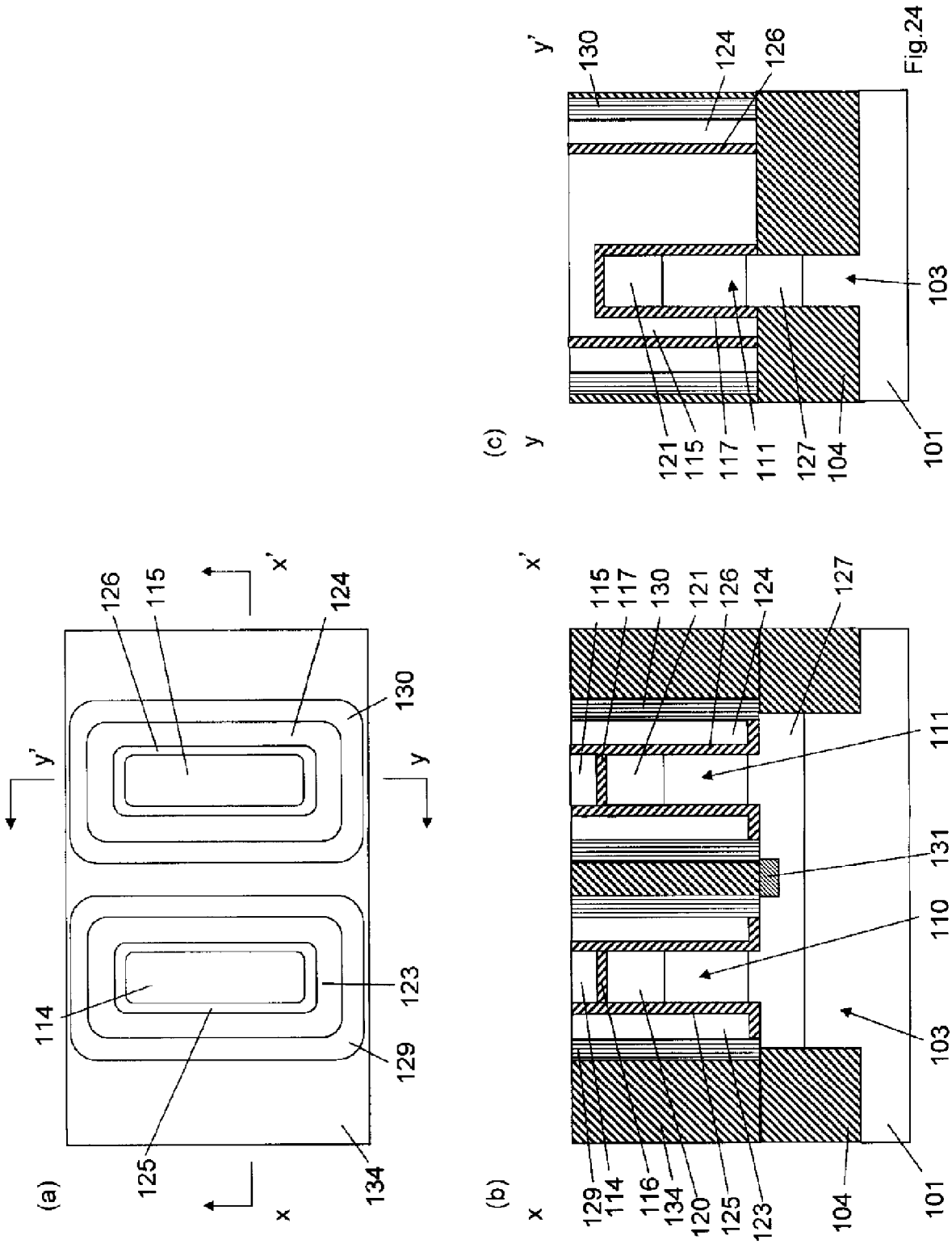
[図22]


Fig.22
(a)
(b)
(c)
x
x'
y
y'
101
103
104
110
111
112
113
114
115
116
117
120
121
123
124
125
126
127
129
130
131
132
133

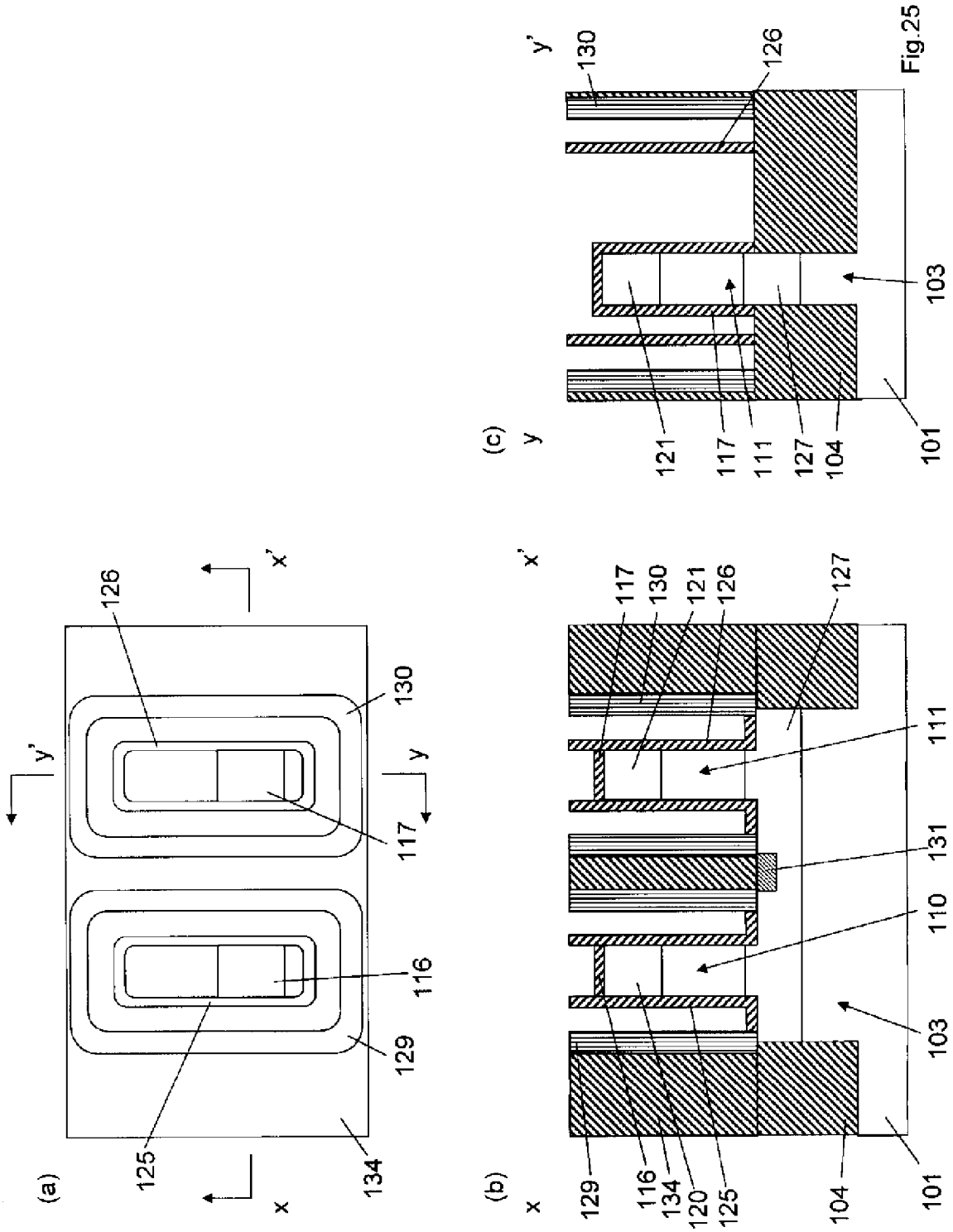
[図23]


Fig.23
(a)
(b)
(c)
x
x'
y
y'
101
103
104
110
111
112
113
114
115
116
117
120
121
123
124
125
126
127
129
130
131
132
133
134

[図24]


Fig.24
(a)
(b)
(c)
x
x'
y
y'
101
103
104
110
111
114
115
116
117
120
121
123
124
125
126
127
129
130
131
134

[図25]


Fig.25
(a)
126
130
117
116
129
125
134
x
x'
y
y'
(b)
117
130
121
126
127
111
131
110
103
129
116
134
120
125
104
101
x
x'
(c)
130
126
103
121
117
111
127
104
101
y
y'

[図26]

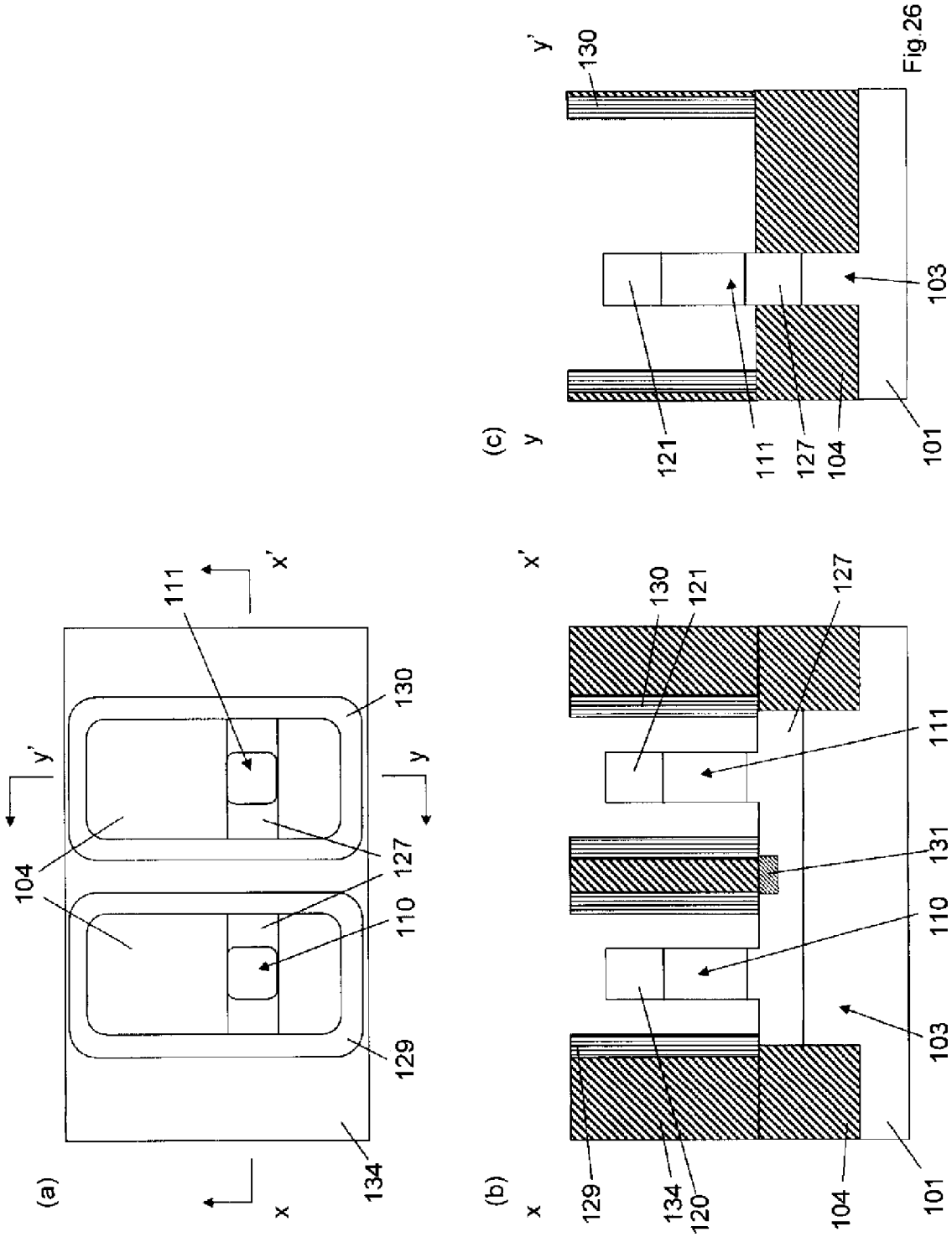

(a)
111
x'
y'
y
130
104
127
110
129
134
x
(b)
x'
130
121
127
111
131
110
103
129
134
120
104
101
x
(c)
y'
130
103
y
121
111
127
104
101

Fig.26

[図27]

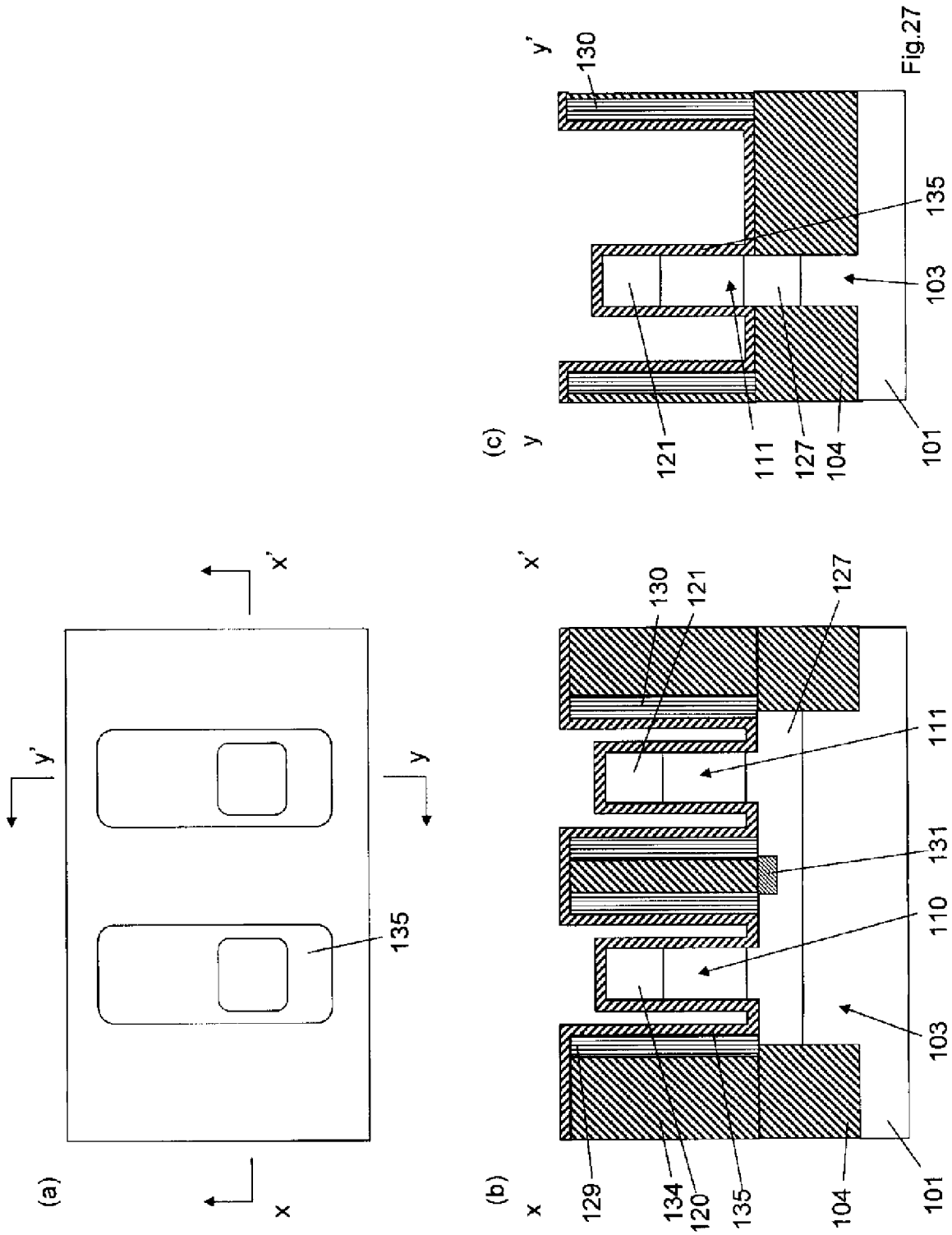
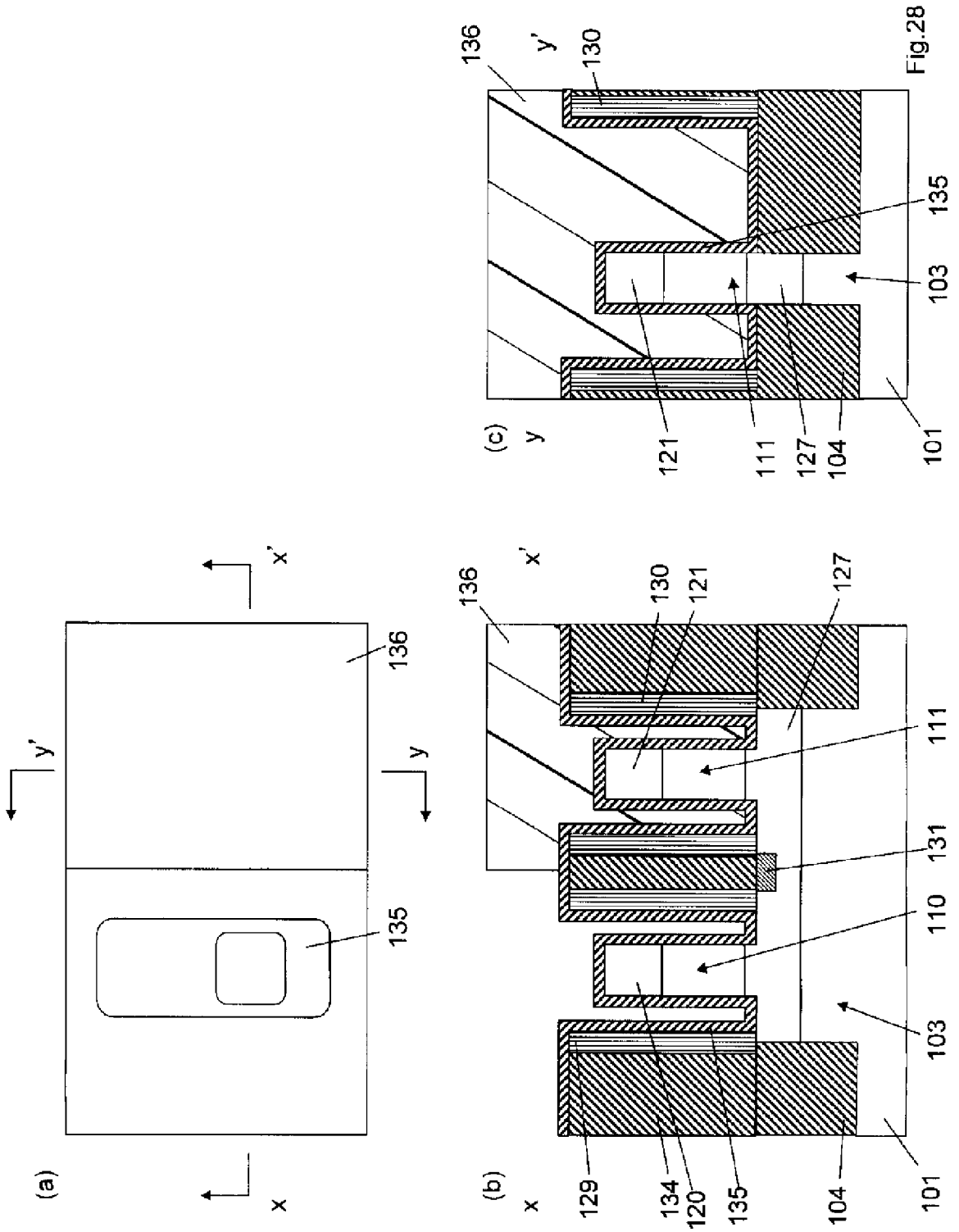
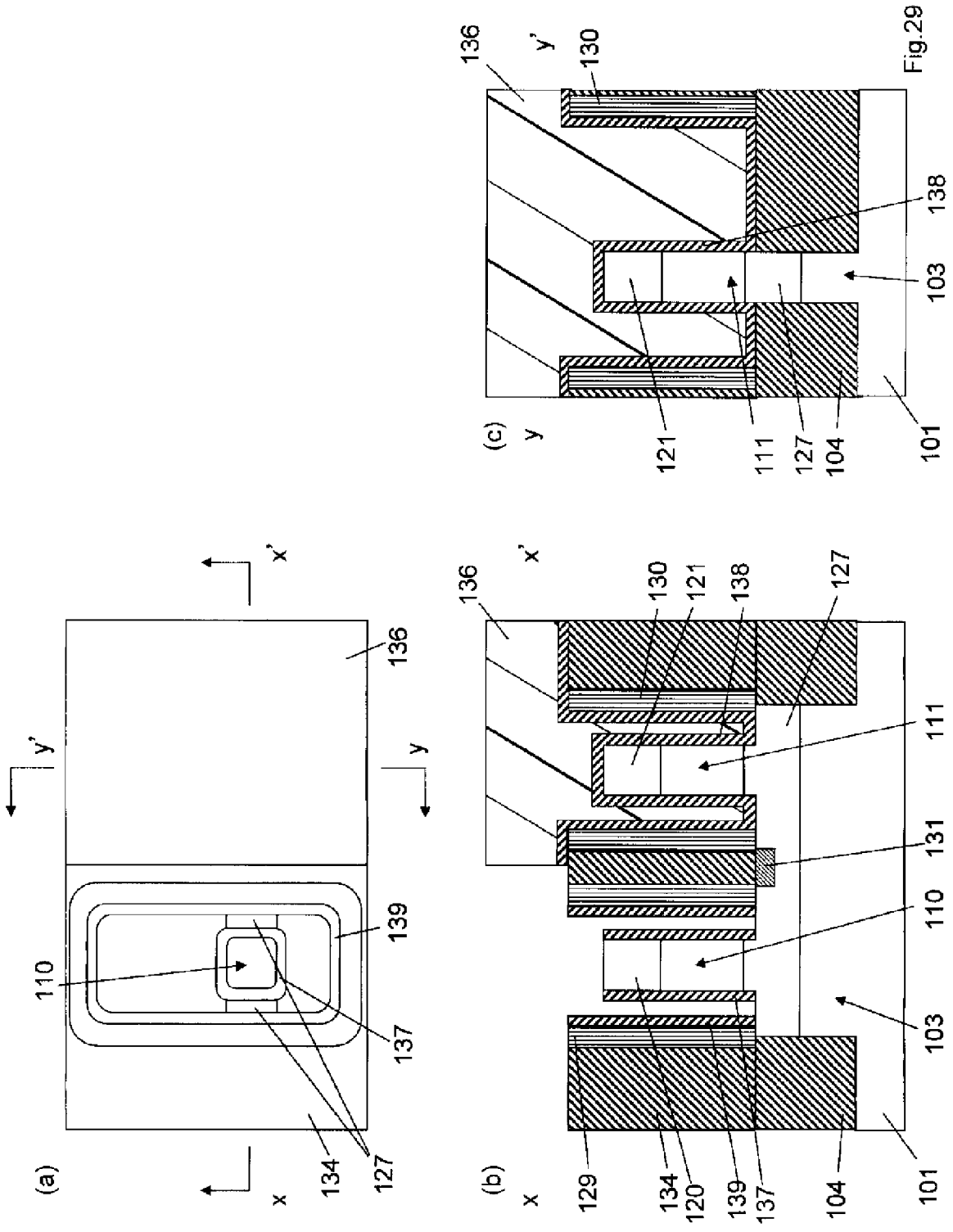

(a)
x
x'
y
y'
135
(b)
x
x'
129
134
120
135
104
101
103
110
131
111
127
121
130
(c)
y
y'
121
111
127
104
101
103
135
130

Fig.27

[図28]


Fig.28
(a)
x
x'
y'
y
136
135
(b)
x
x'
136
130
121
127
111
131
110
103
129
134
120
135
104
101
(c)
y
y'
136
130
135
103
121
111
127
104
101

[図29]


Fig.29
(a)
(b)
(c)
x
x'
y
y'
110
127
129
130
131
134
136
137
138
139
101
103
104
111
120
121

[図30]

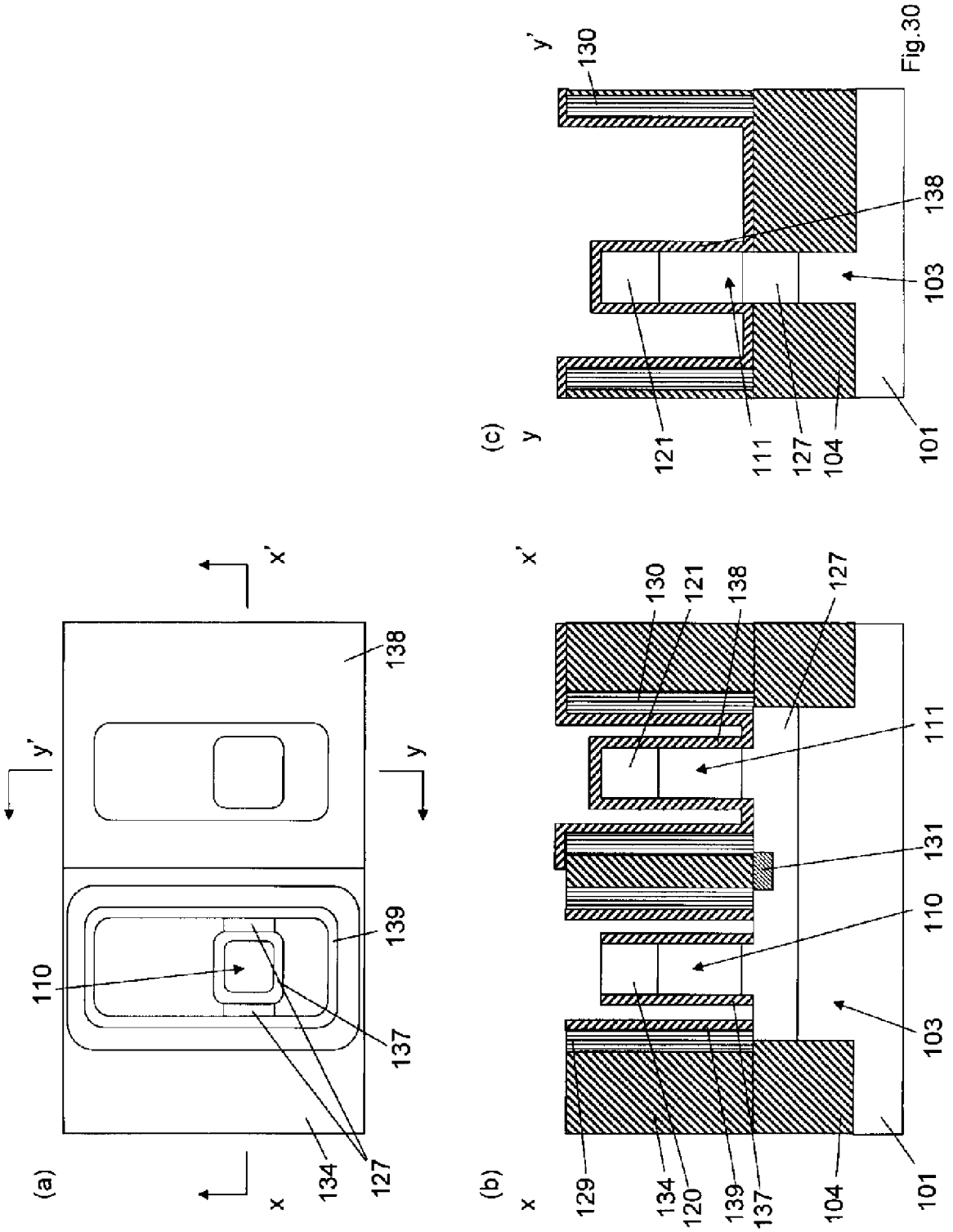
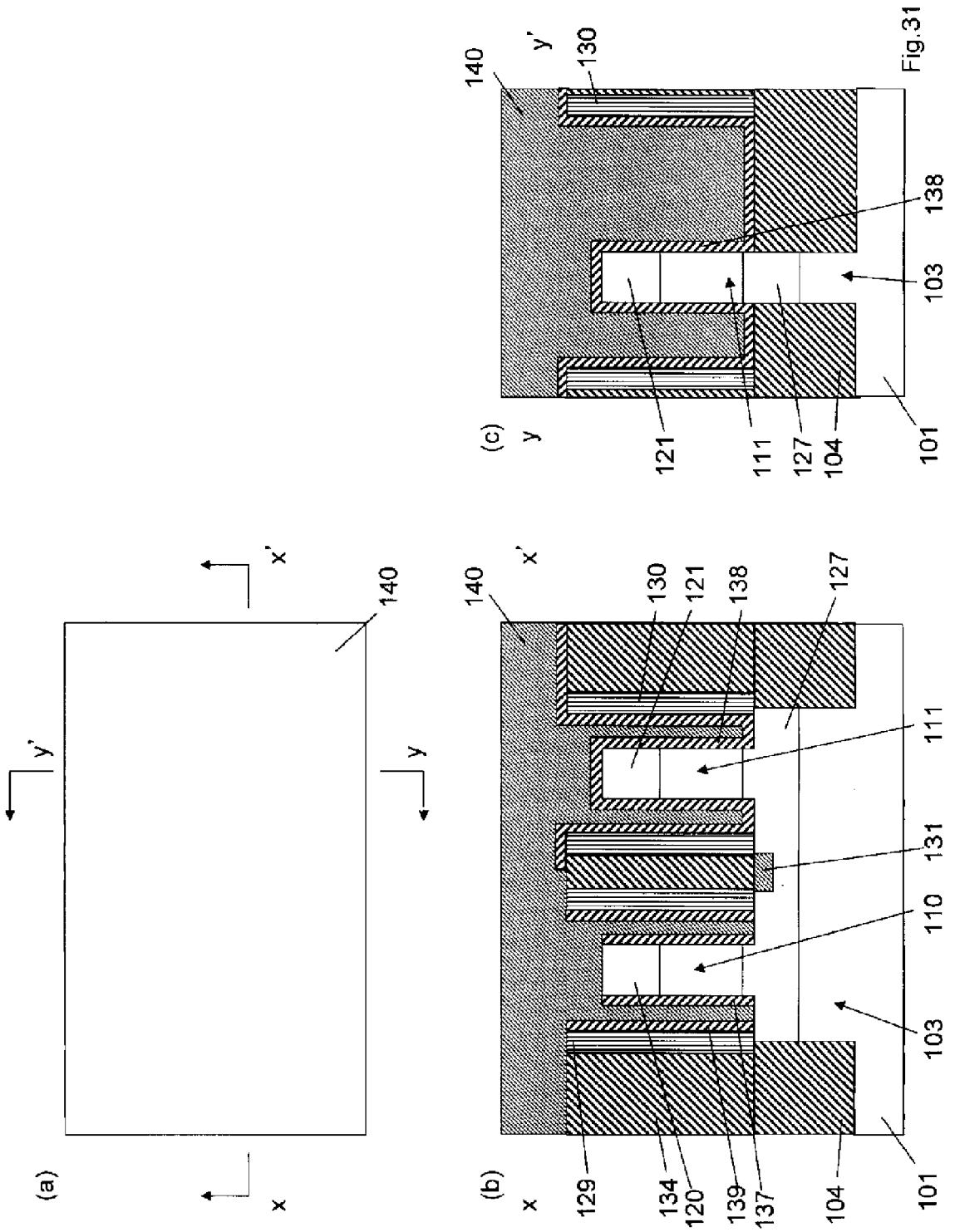

(a)
x
x'
y
y'
110
137
139
138
134
127
(b)
x
x'
129
134
120
139
137
104
101
103
110
131
111
127
138
121
130
(c)
y
y'
121
111
127
104
101
103
138
130

Fig.30

[図31]


Fig.31
(a)
x
x'
y
y'
140
(b)
x
x'
129
134
120
139
137
104
101
103
110
131
111
127
138
121
130
140
(c)
y
y'
121
111
127
104
101
103
138
130
140

[図32]

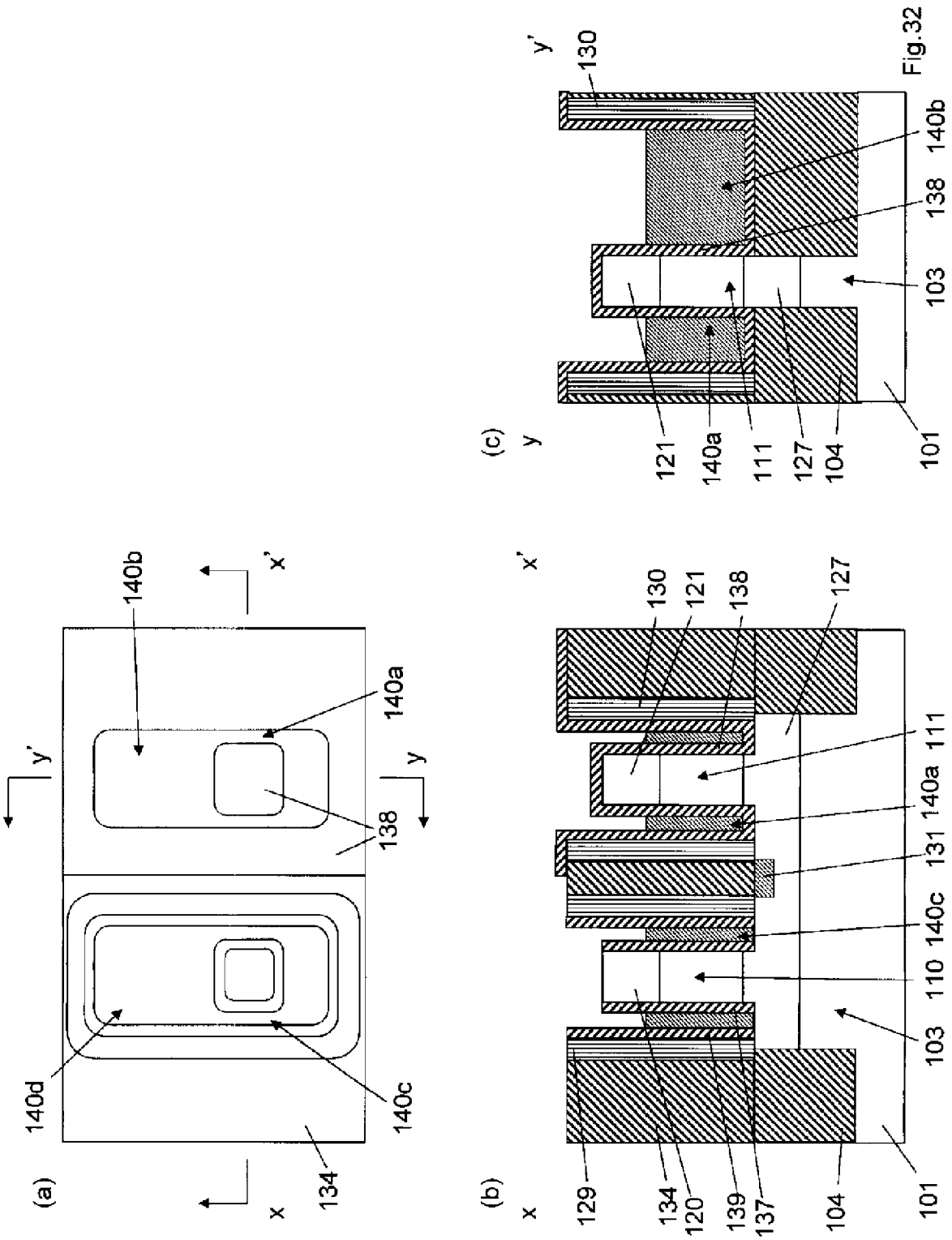
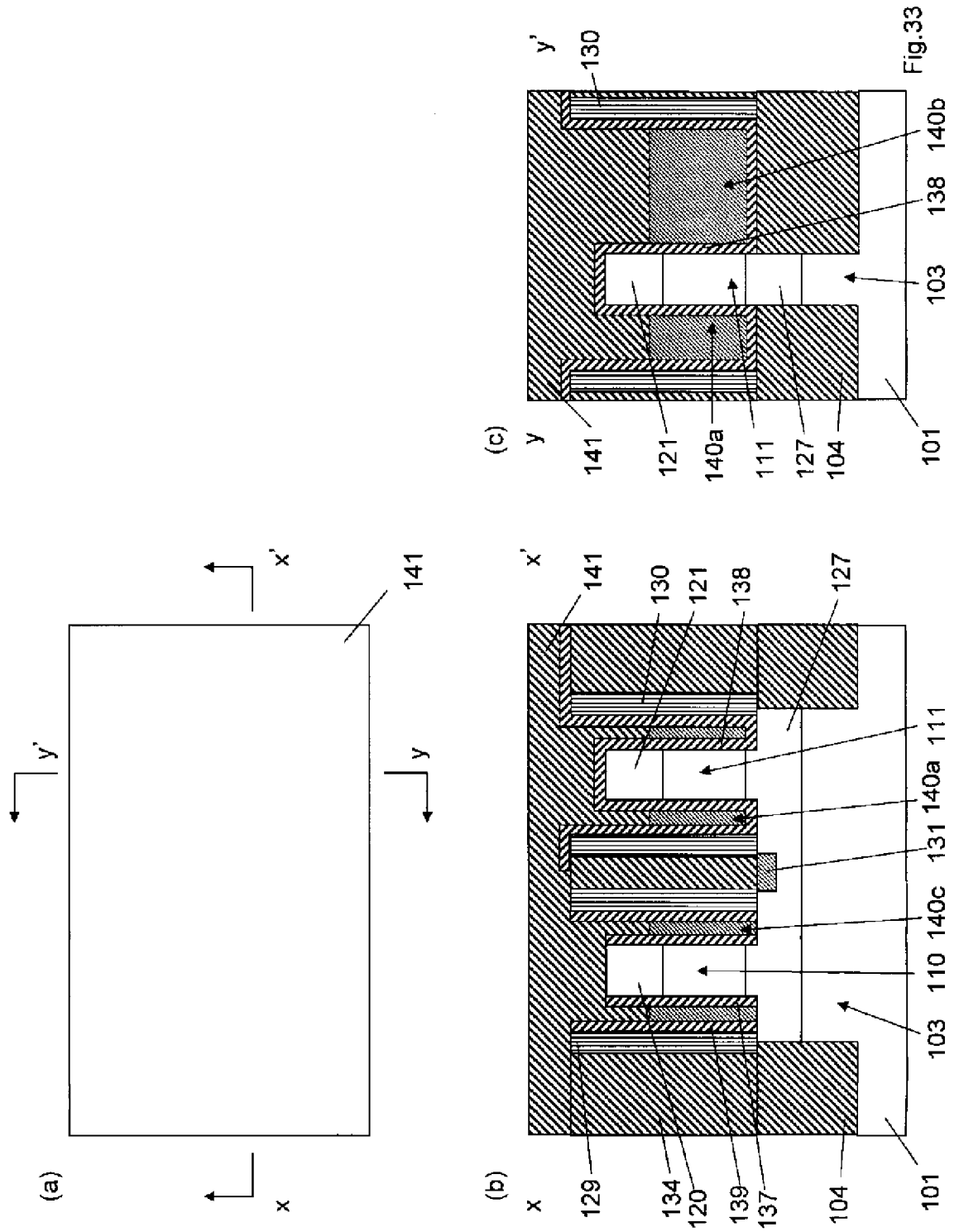
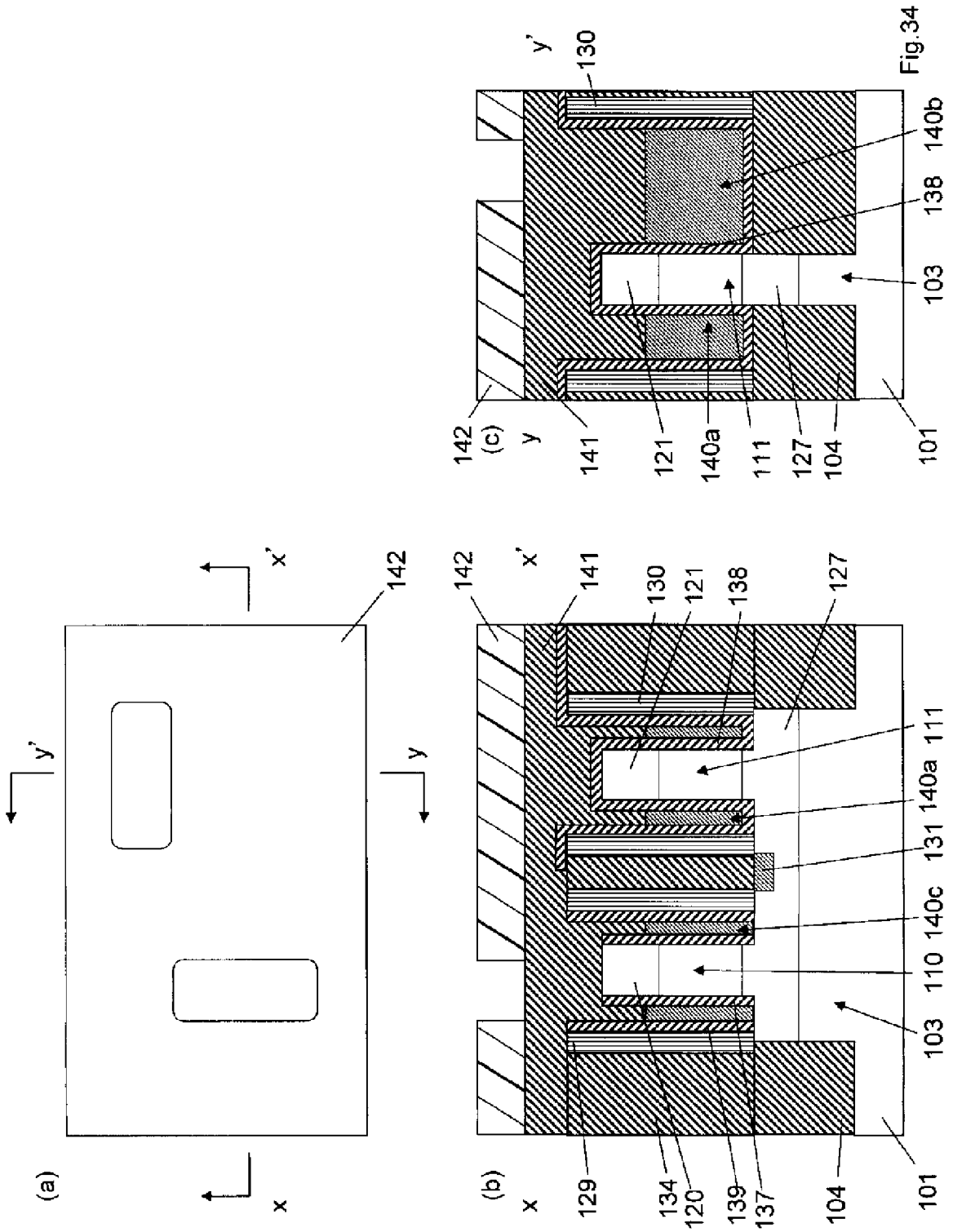

(a)
140b
x'
y'
140a
y
138
140d
140c
134
x
(b)
x'
130
121
138
127
111
140a
131
140c
110
103
129
134
120
139
137
104
101
x
(c)
y'
130
140b
138
103
121
140a
111
127
104
101
y

Fig.32

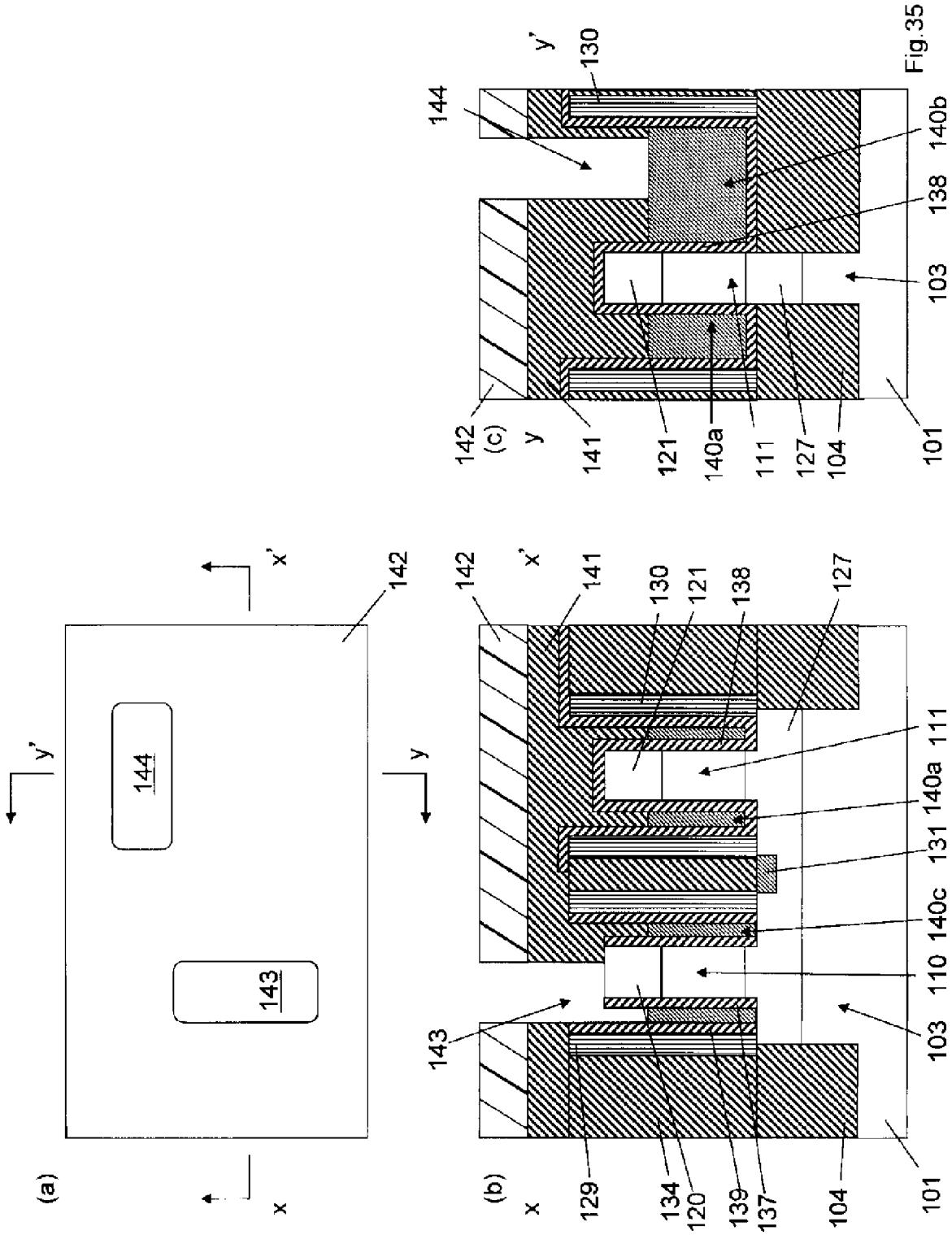
[図33]


Fig.33
(a)
x
x'
y
y'
141
(b)
x
x'
129
134
120
139
137
104
101
103
110
140c
131
140a
111
127
138
121
130
141
(c)
y
y'
141
121
140a
111
127
104
101
103
138
140b
130

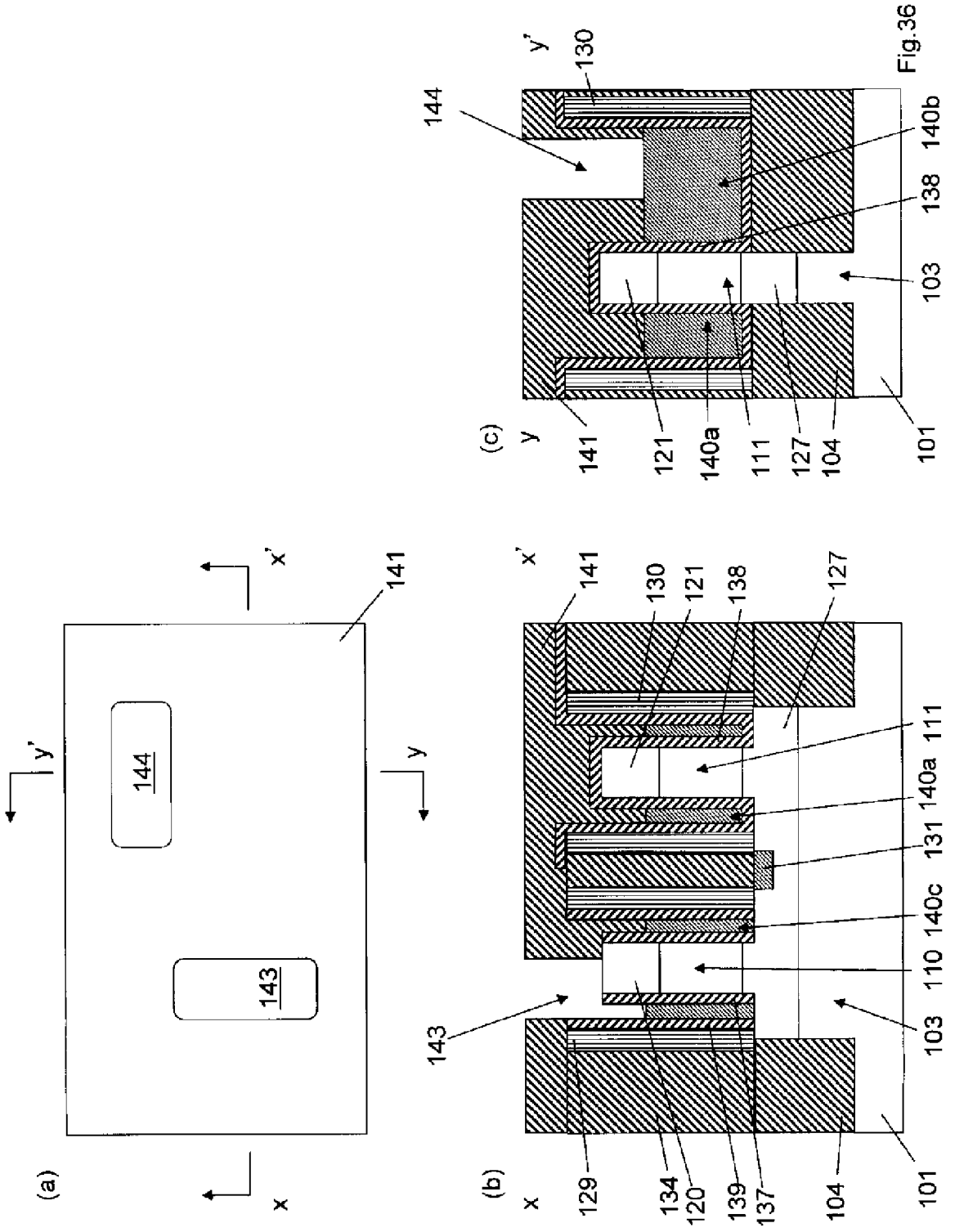
[図34]


Fig.34
(a)
x
x'
y
y'
142
(b)
x
x'
129
134
120
139
137
104
101
142
141
130
121
138
127
111
140a
131
140c
110
103
(c)
y
y'
142
141
121
140a
111
127
104
101
130
140b
138
103

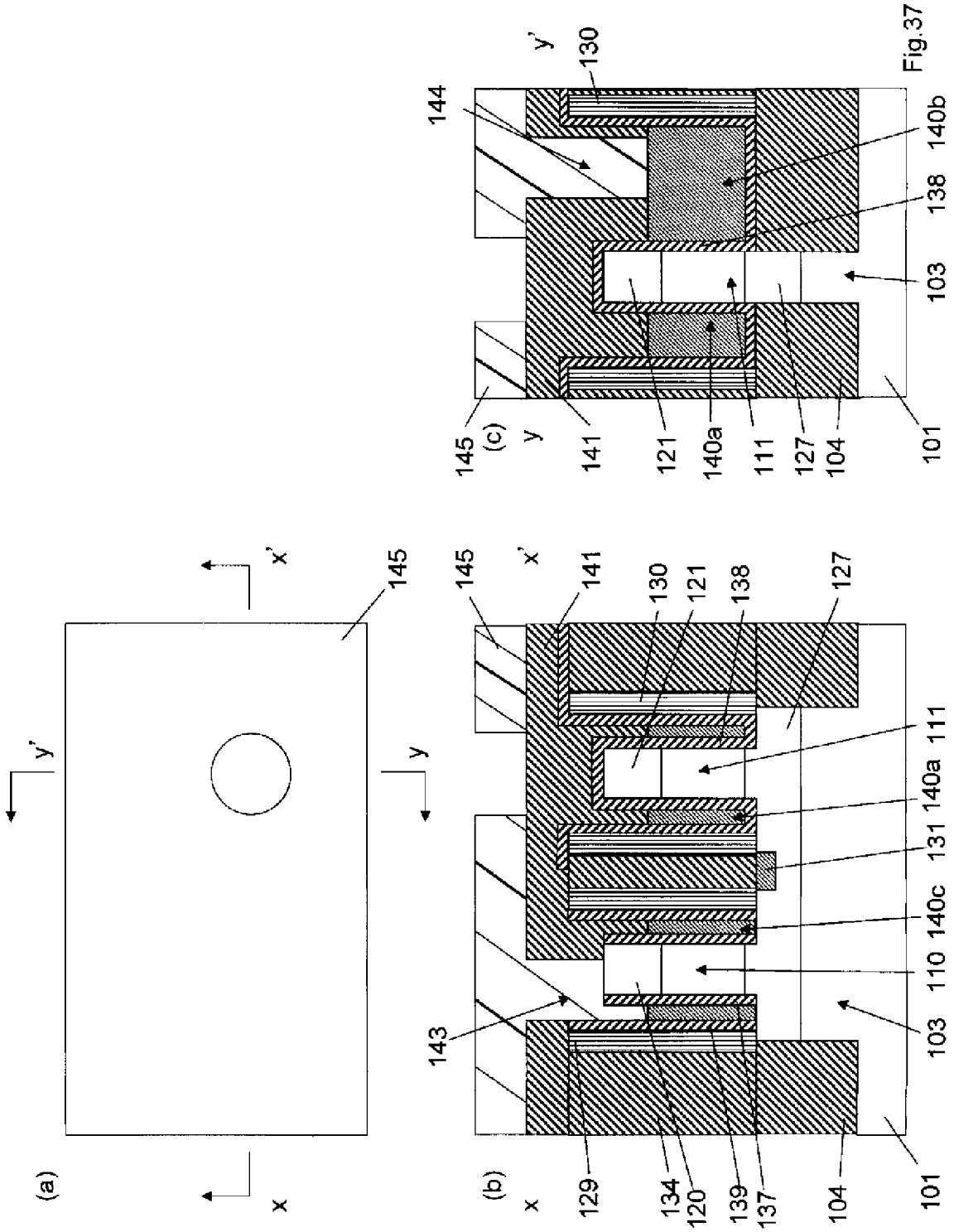
[図35]


Fig.35
(a)
(b)
(c)
x
x'
y
y'
142
144
143
141
130
121
138
127
140a
111
131
140c
110
103
129
134
120
139
137
104
101
140b

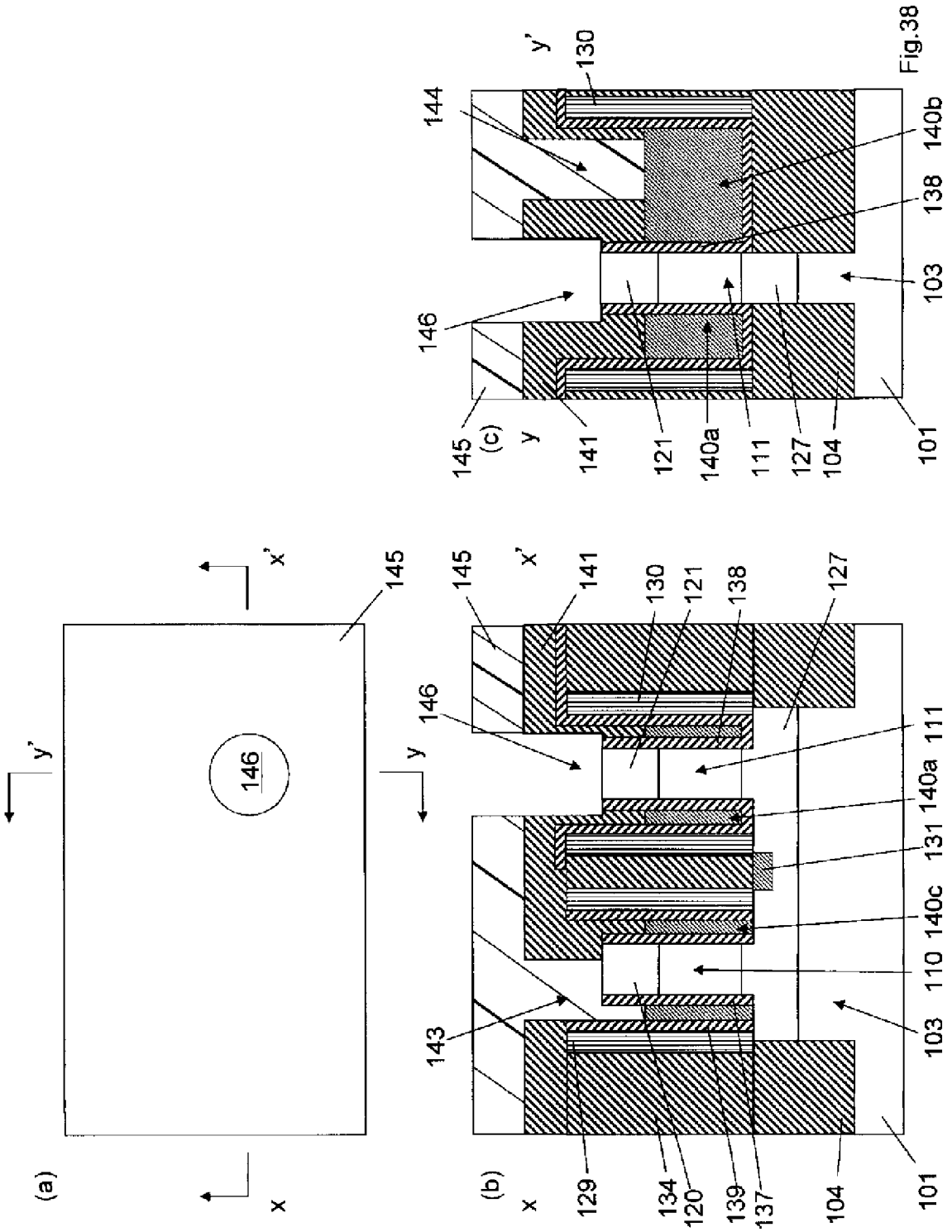
[図36]


Fig.36
(a)
x
x'
y
y'
141
144
143
(b)
x
x'
141
130
121
138
127
111
140a
131
140c
110
103
143
129
134
120
139
137
104
101
(c)
y
y'
144
130
140b
138
103
141
121
140a
111
127
104
101

[図37]


Fig.37
(a)
x
x'
y
y'
145
(b)
x
x'
129
134
120
139
137
104
101
143
103
110
140c
131
140a
111
127
138
121
130
141
145
(c)
y
y'
145
141
121
140a
111
127
104
101
103
138
140b
144
130

[図38]


Fig.38
(a)
(b)
(c)
x
x'
y
y'
145
146
141
130
121
138
127
111
140a
131
140c
110
103
143
129
134
120
139
137
104
101
144
140b

[図39]

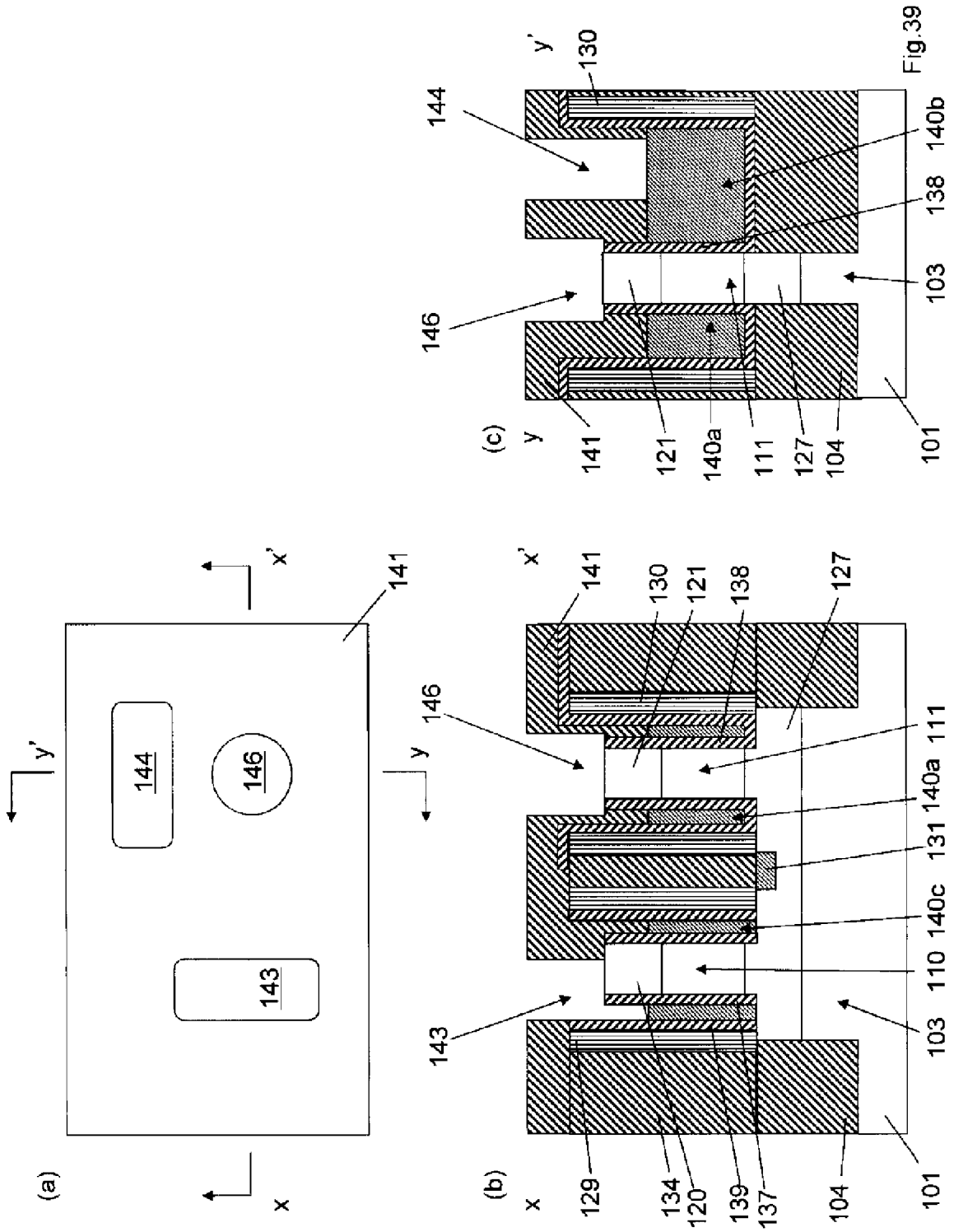
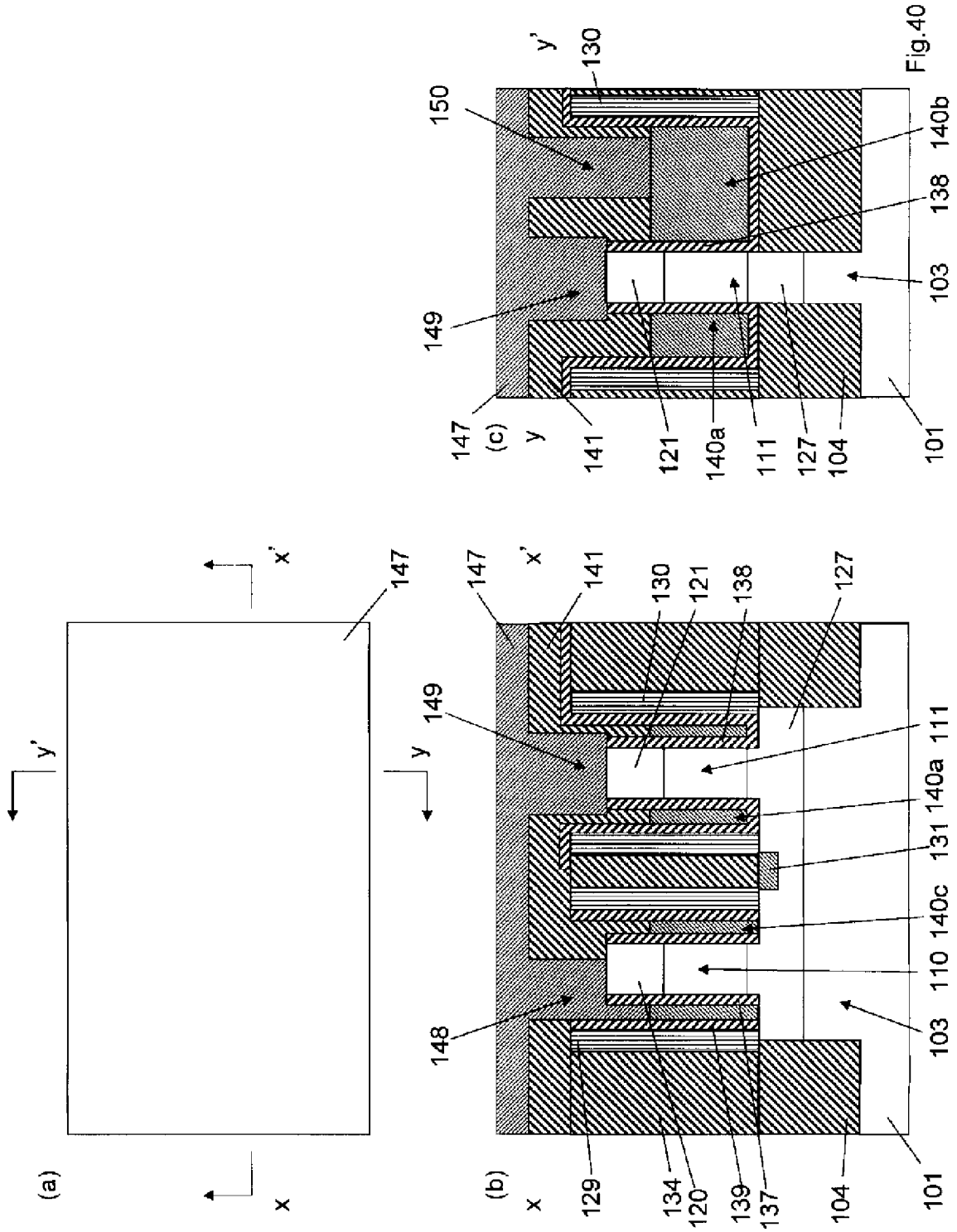
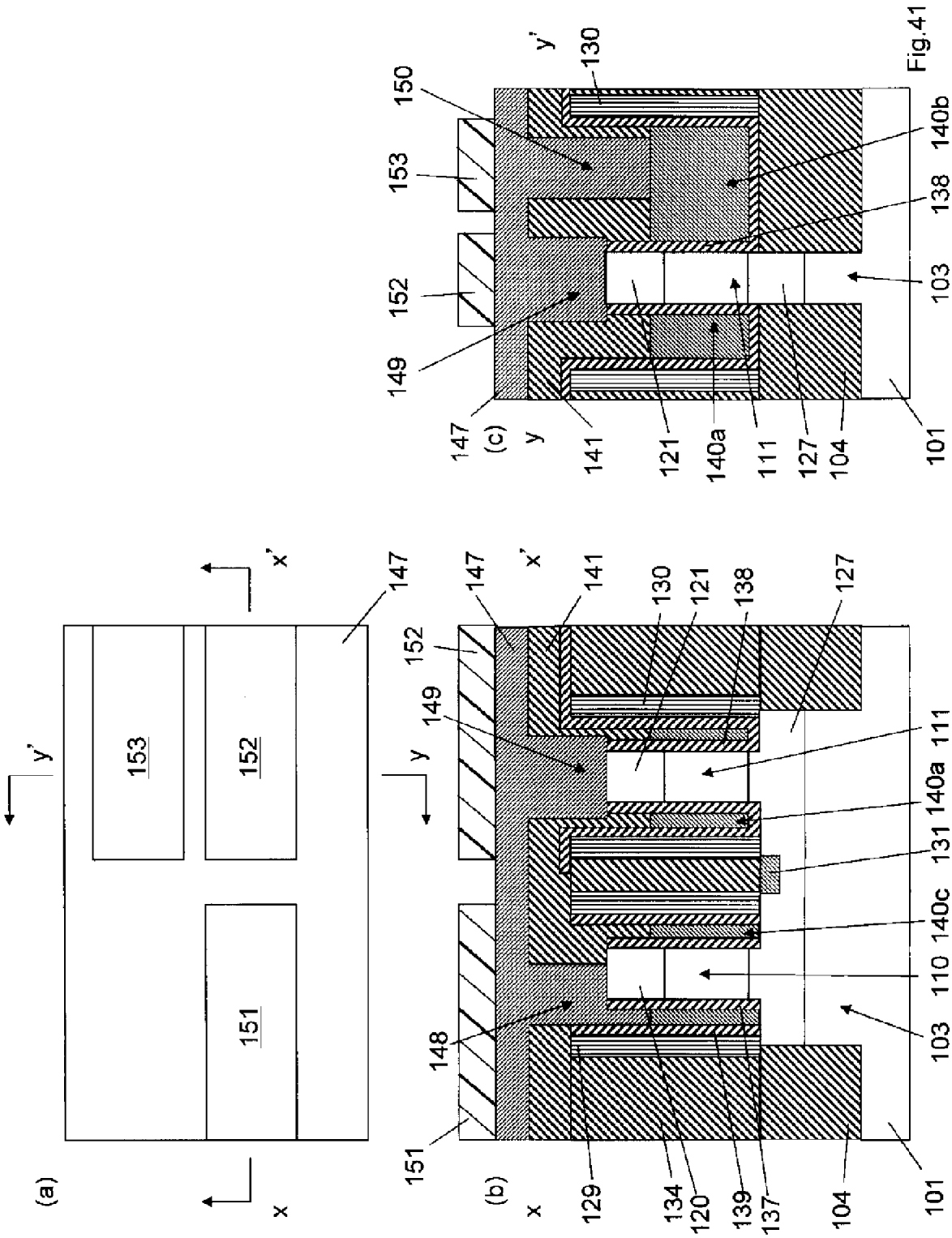

(a)
x
x'
y
y'
141
144
146
143
(b)
x
x'
141
130
121
138
127
146
111
140a
131
140c
110
103
143
129
134
120
139
137
104
101
(c)
y
y'
130
144
140b
138
103
146
141
121
140a
111
127
104
101

Fig.39

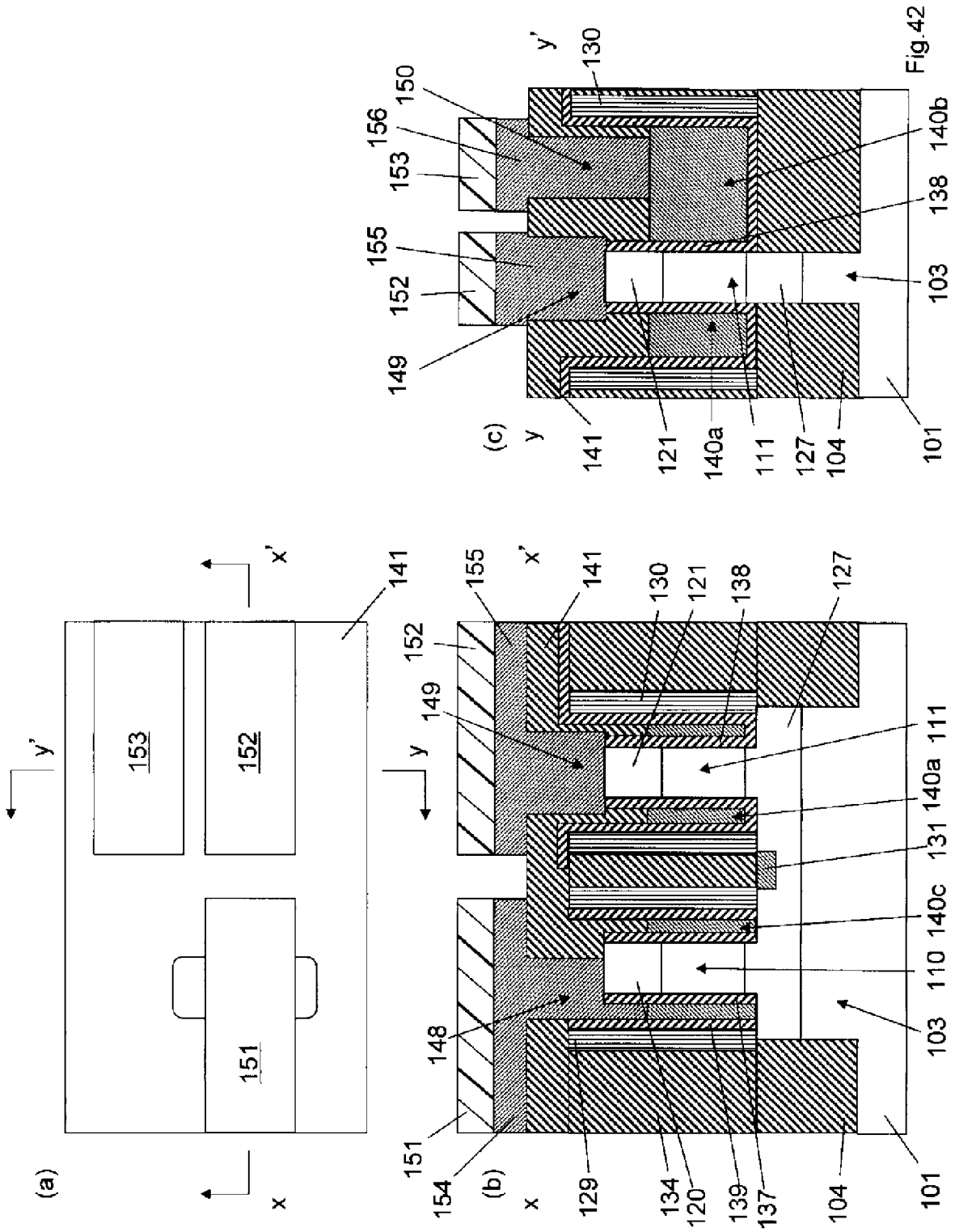
[図40]


Fig.40
(a)
x
x'
y
y'
147
(b)
x
x'
y
y'
147
141
130
121
138
127
149
111
140a
131
140c
110
103
148
129
134
120
139
137
104
101
(c)
y
y'
147
150
130
140b
138
103
149
141
121
140a
111
127
104
101

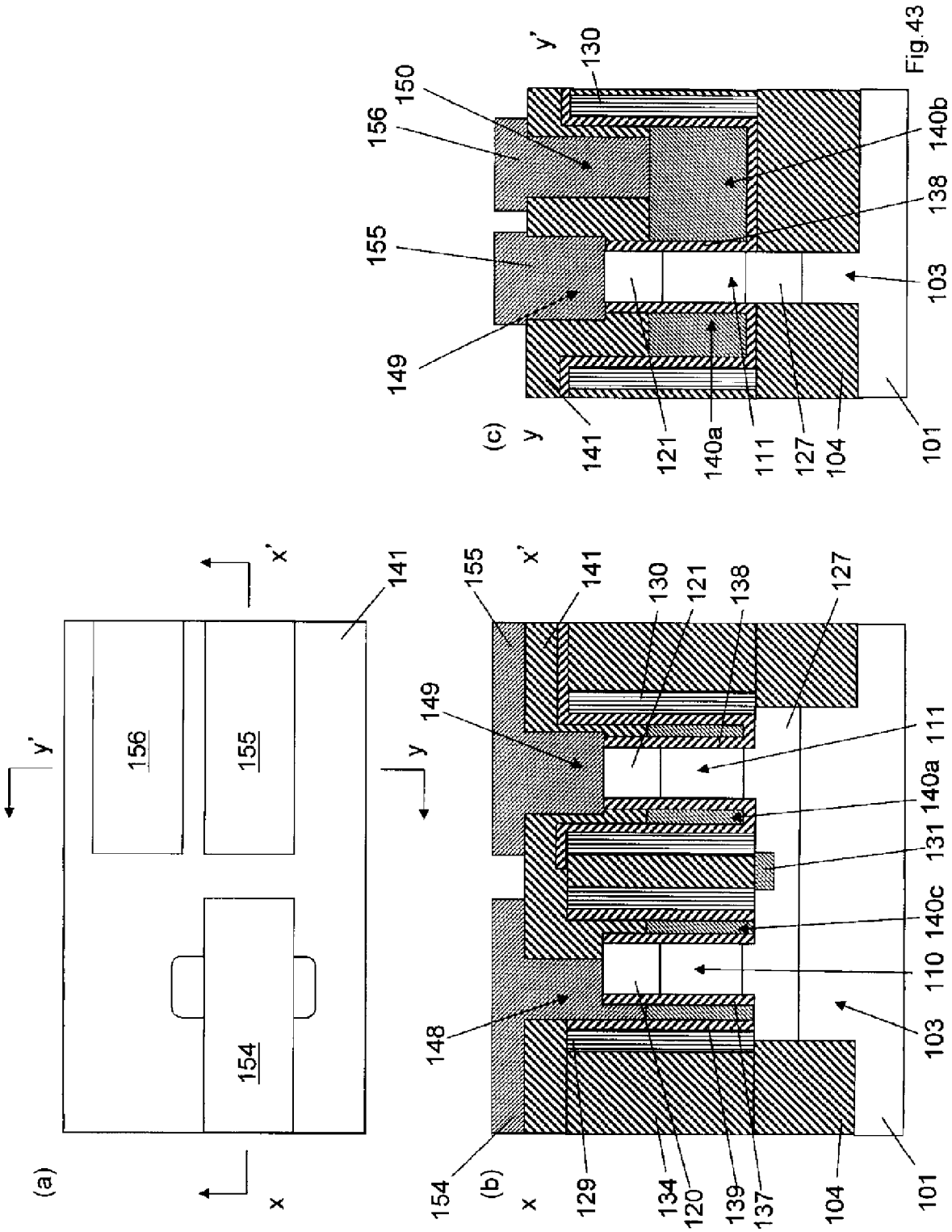
[図41]


Fig.41
(a)
(b)
(c)
x
x'
y
y'
147
153
152
151
149
148
141
130
121
138
127
140a
111
131
140c
110
103
101
104
129
134
120
139
137
140b
150

[図42]


Fig.42
(a)
(b)
(c)
x
x'
y
y'
101
103
104
110
111
120
121
127
129
130
131
134
137
138
139
140a
140b
140c
141
148
149
150
151
152
153
154
155
156

[図43]


Fig.43
(a)
(b)
(c)
x
x'
y
y'
154
155
156
141
149
148
129
134
120
139
137
104
101
103
110
140c
131
140a
111
127
138
130
121
140b
150

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/066558

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/069102 A1 (Unisantis Electronics Singapore Pte Ltd.), 16 May 2013 (16.05.2013), paragraphs [0018] to [0062]; fig. 1 to 42 (Family: none)	1-12
A	WO 2009/110050 A1 (Unisantis Electronics Japan Ltd.), 11 September 2009 (11.09.2009), paragraphs [0052] to [0093]; fig. 2 to 41 & US 2010/0210079 A1 & US 2012/0142154 A1 & EP 2244301 A1 & CN 101946330 A	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July, 2013 (31.07.13)	13 August, 2013 (13.08.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/066558

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/038553 A1 (Unisantis Electronics Singapore Pte Ltd.), 21 March 2013 (21.03.2013), paragraphs [0047] to [0050]; fig. 1 (Family: none)	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６６５５８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2013/069102 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2013.05.16, 段落 0018-0062, 図 1-図 42 (ファミリーなし)	1-12
A	WO 2009/110050 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.09.11, 段落 0052-0093, 図 2-図 41 & US 2010/0210079 A1 & US 2012/0142154 A1 & EP 2244301 A1 & CN 101946330 A	1-12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３１．０７．２０１３	１３．０８．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　５２９３
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2013/038553 A1（ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド）2013.03.21，段落 0047-0050,図1（ファミリーなし）	1-12