



(12) 发明专利

(10) 授权公告号 CN 1508880 B

(45) 授权公告日 2010.04.28

(21) 申请号 200310123928.0

(22) 申请日 2003.12.18

(30) 优先权数据

2002-366635 2002.12.18 JP

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 鞠山满 久保胜

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 陈炜

(51) Int. Cl.

H01L 29/747(2006.01)

(56) 对比文件

JP 特开 2001-36070 A, 2001.02.09, 全文.

JP 特开 2001-332717 A, 2001.11.30, 全文.

审查员 房华龙

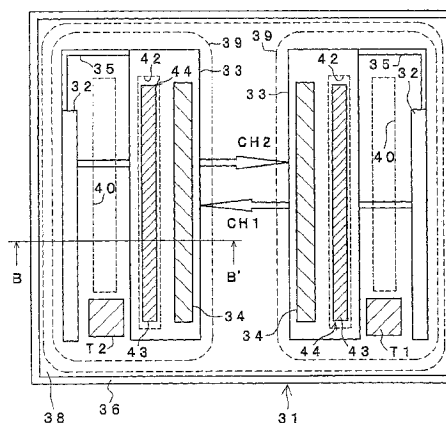
权利要求书 1 页 说明书 13 页 附图 10 页

(54) 发明名称

双向光可控硅芯片

(57) 摘要

在 CH1 一侧的一光可控硅和在 CH2 一侧的一光可控硅中,在一 P 栅极扩散区 33 和一 N 型硅衬底 31 之间一肖特基势垒二极管 44。采用这种布置,少数载流子从 P 栅极扩散区 33 向 N 型硅衬底 31 的注入受到限制,减少了残余载流子的数目,而且整流期间仍然在 N 型硅衬底 31 中过量的载流子向相对沟道侧移动的机会也得以减少,使整流特性得到改善。因而,通过与一 LED 相结合,就可提供一光触发耦合器,用以触发和控制负载。



1. 一种具有一对光可控硅部分的半导体芯片的双向光可控硅芯片,它包括具有第二导电类型的第一扩散区、与所述第一扩散区面对面形成并具有第二导电类型的第二扩散区,以及形成在所述第二扩散区内的具有第一导电类型的第三扩散区,其中所述第一扩散区、所述第二扩散区、以及所述第三扩散区形成在具有所述第一导电类型衬底面上,其特征在于,所述双向光可控硅芯片包含:

形成在构成上述光可控硅部分的第二扩散区与所述衬底之间的肖特基势垒二极管。

2. 如权利要求 1 所述的双向光可控硅芯片,其特征在于,

所述肖特基势垒二极管与所述第三扩散区相对设置,且其长度大致与所述第三扩散区的长度相等,并具有预定的宽度。

3. 如权利要求 2 所述的双向光可控硅芯片,其特征在于,

所述肖特基势垒二极管的面积是通过改变该肖特基势垒二极管的宽度来改变的;以及通过改变所述肖特基势垒二极管的面积,可以设置所述肖特基势垒二极管的前向电压。

4. 如权利要求 3 所述的双向光可控硅芯片,其特征在于,

设置所述肖特基势垒二极管的宽度,使得所述肖特基势垒二极管的前向电压为 20mV 或低于所述光可控硅部分的第二扩散区与所述衬底之间的前向电压。

5. 如权利要求 3 所述的双向光可控硅芯片,其特征在于,

将把所述肖特基势垒二极管的栅极放在当中的两个扩散区之间的间隔设定为某一距离,在该距离上,所述肖特基势垒二极管在其耐受电压范围内可实现夹断。

6. 如权利要求 1 所述的双向光可控硅芯片,其特征在于,

所述衬底是 N 型硅衬底;并且

一掺磷的 N⁺ 层形成在所述 N 型硅衬底的背面,掺磷的浓度不小于 10^{15}cm^{-3} ,也不大于 10^{18}cm^{-3} 。

7. 如权利要求 1 所述的双向光可控硅芯片,其特征在于,

所述衬底是 N 型硅衬底;

排列构成所述一对光可控硅部分的扩散层中的每一扩散层,使得所述光可控硅部分的沟道的工作电流区彼此不相交叉;以及

在所述衬底的表面上提供一沟道隔离区,用以在工作电流区之间提供隔离。

8. 如权利要求 7 所述的双向光可控硅芯片,其特征在于,

所述沟道隔离区是通过在 N 型硅衬底表面上形成一掺磷的氧掺杂半绝缘多晶硅薄膜来构成的。

9. 如权利要求 7 所述的双向光可控硅芯片,其特征在于,

所述沟道隔离区是通过形成一与所述 N 型硅衬底表面相接触的氧掺杂半绝缘多晶硅薄膜来构成的。

10. 如权利要求 7 所述的双向光可控硅芯片,其特征在于,

所述沟道隔离区是通过在所述半导体芯片的一表面上形成一短路二极管来构成的。

双向光可控硅芯片

[0001] 发明背景

[0002] 本发明涉及双向光可控硅芯片。

[0003] 通常,作为一种与交流电一起使用的固体继电器(下文中简称为 SSR),有一种如图 9 所示的电路结构。这种 SSR 8 由下列元器件构成:一光触发耦合器 3,它由诸如一 LED(发光二极管)之类的发光器件 1 和一用于触发的双向光可控硅 2 组成;一实际上用于控制负载的双向可控硅(下文有时也称之为双向可控硅)4,以及由电阻 5、电容 6 等构成的减震器电路。

[0004] 构成 SSR8 的光触发耦合器 3 的等效电路图示于图 10。双向光可控硅 2 由 CH(沟道)1 的光可控硅 9 和 CH2 的光可控硅 10 构成。CH1 的光可控硅 9 是通过将一 PNP 晶体管 Q1 的基极连至 NPN 晶体管 Q2 的集电极以及将该 PNP 晶体管 Q1 的集电极连至该 NPN 晶体管 Q2 的基极构成的。与此类似,CH2 的光可控硅 10 是通过将 PNP 晶体管 Q3 的基极连至一 NPN 晶体管 Q4 的集电极以及将该 PNP 晶体管 Q3 的集电极连至该 NPN 晶体管 Q4 的基极构成的。

[0005] 此外,在 CH1 侧,PNP 晶体管 Q1 的发射极直接连至电极 T1,而另一方面,NPN 晶体管 Q2 的发射极和基极则分别直接和通过一栅极电阻 11 连至电极 T2。与此类似,在 CH2 一侧,PNP 晶体管 Q3 的发射极直接连至电极 T2,而另一方面,NPN 晶体管 Q4 的发射极和基极则分别直接和通过一栅极电阻 12 连至电极 T1。

[0006] 图 11 是图 10 的双向光可控硅 2 的示意图形布局。图 12A 和 12B 是图 11 中沿箭头 A-A' 作的示意剖视图。图 12A 示出光开通状态,而图 12B 示出在电压倒置(换向)期间光关断状态。该双向光可控硅 2 在 N 型硅衬底 21 的正向侧上设有两个阳极扩散区(P 型)22 和两个 P 栅极扩散区(P 型)23,在该图中它们沿水平方向互相反转。在每一个 P 栅极扩散区 23 中与阳极扩散区 22 相反的一侧均设有一阴极扩散区(N 型)24。因而,在图中从右手侧上的阳极扩散区 22 向左手侧上的阴极扩散区 24 延伸,形成了一构成图 10 中 CH1 的光可控硅 9 的 PNPN 部分;此外,在图中,从左手侧上的阳极扩散区 22 向右手侧的阴极扩散区 24 延伸,形成了一构成 CH2 中光可控硅 10 的 PNPN 部分。

[0007] 也就是说,在 CH1 侧上的 PNP 晶体管 Q1 是由右手侧上的阳极扩散区 22、左手侧上的 N 型硅衬底 21 和 P 栅极扩散区 23 构成;而 CH1 侧上的 NPN 晶体管 Q2 是由均在左手侧上的阴极扩散区 24 和 P 栅极扩散区 23、以及 N 型硅衬底 21 构成的。另一方面,在 CH2 侧上的 PNP 晶体管 Q3 是由在左手侧上的阳极扩散区 22、在右手侧上的 N 型硅衬底 21 和 P 栅极扩散区 23 构成,而在 CH2 侧上的 NPN 晶体管 Q4 是由均在右手侧上的阴极扩散区 24 和 P 栅极扩散区 23、以及 N 型硅衬底 21 构成的。在右手侧上的阳极扩散区 22 和电极 T1 通过金丝 25a 彼此相连,而阴极扩散区 24 和电极 T1 则通过在芯片内右手侧上的铝电极 26 彼此相连。此外,在左手侧上的阳极扩散区 22 和电极 T2 通过一金丝 25b 彼此相连,而阴极扩散区 24 和电极 T2 通过在芯片内左手侧的一铝电极 26 彼此相连。

[0008] 具有上述结构的双向光可控硅 2 按如下所述工作,即:在图 10 至图 12A 中,首先,在一高于该器件导通状态电压(约 1.5V)的电源电压作为偏压施加在电压 T1 和电极 T2 之

间的情况下,如果电位极性在电极 T1 侧比在电极 T2 侧更正的话,则当双向光可控硅 2 收到来自 LED 1 的光信号时,在 CH1 侧的 NPN 晶体管 Q2 便导通。然后,从在 CH1 侧上的 PNP 晶体管 Q1 引出基极电流,且该 PNP 晶体管 Q1 便导通。随后,通过 PNP 晶体管 Q1 的集电极电流,基极电流便供给在 CH1 侧的 NPN 晶体管 Q2,而在 CH1 侧上的 PNPN 部分通过正反馈导通,流过对应于从电极 T1 至电极 T2 的交流电路负载的导通状态电流。在上述情况中,PNPN 部分的正反馈不会发生在 CH2 侧,因为该偏压施加方向是反向的,而仅有一基本的光电流流过。

[0009] 在另一方面,如果电位极性在电极 T2 侧比在电极 T1 更正的话,则在 CH2 侧上的 PNPN 部分通过很相似于上述情况的正反馈操作而导通,并且仅有该基本的光电电流在 CH1 侧流过。

[0010] 因而,当在 CH1 侧的 PNPN 部分或在 CH2 侧的 PNPN 部分进行点火操作时,这一电流流入主可控硅 4 的栅极,对主可控硅 4 进行点火。作为涉及用于上述光触发耦合器的双向光可控硅的现有技术对比文献,例如,在日本专利公报 HEI 10-242449 中揭示了一个专利。

[0011] 在图 9 所示 SSR 8 的电路结构中,正是主可控硅 4 实际控制着负载电流,而双向光可控硅 2 则用于主可控硅 4 的光触发。于是,具有前述电路结构的 SSR8 具有一个特点,即它是电气绝缘的。

[0012] 在设计一般 SSR 器件时,用于点火的双向光可控硅 2 接收来自 LED 1 的光,并借助该时刻产生的约 $10\mu\text{A}$ 的光激励电流而工作。另一方面,伴随着约 20mA 的栅极触发电流,主可控硅 4 才变成工作状态,而该电流就是该双向光可控硅 2 的工作电流。因而,仅靠 LED 1 的光激励电流,主可控硅 4 根本不能被点火。

[0013] 在上述的、在单个芯片内具有双向沟道 CH1 和 CH2 并用作交流电路开关的器件中,其整流特性(下面将详述)是用于评估该器件的一个重要判据。由于这一整流特性,如果主可控硅 4 不具有超出希望控制电流的值的的能力,则它就不能控制(关断控制)负载,会不利地导致功能失误。类似地,如果双向可控硅 2 不具有超过主可控硅 4 触发电流能力(该电流值约为 50mA)的话,则该双向光可控硅 2 由于整流特性也会功能失误。

[0014] 近年来,围绕电子工业的经济环境已变得越来越严峻,迫切要求电子设备降低成本和更易于使用。为了满足上述要求,人们一直试图仅通过双向光可控硅直接控制负载,而取消主可控硅 4,以减少例如图 9 所示结构的常规 SSR 中的零件数。

[0015] 在上述例子中,如果如图 11 所示的一双向光可控硅用作双向可控硅 2,则该双向光可控硅的整流特性便成为最严重的问题。整流特性是一个重要的设计参数,并且可控的负载电流是由整流特性来决定的。

[0016] 下面描述上述整流特性。看看在正常工作情况下的整流特性,如图 12A 所示,如果入射光在交流电的 CH1 是导通的那半周期间内消失,则由于在这半周期间 PNPN 部分的电流保持特性,导通状态继续下去。然后,如果如图 12B 所示,发生向下半周的转换时,CH2 不会导通,除非有入射光。然而,如果在要进行开关的交流电路中存在着电感性的负载,则导通状态电压的相位相对于施加在电极 T1 和 T2 上交流电压的相位有所延迟。因而,在 CH1 关断时的那一时刻,一反相的交流电压已施加在电极 T1 和 T2 上了。因而,呈急剧上升的一反相电压将在 CH1 关断的那一时刻施加在 CH2 侧。

[0017] 因而,存在于双向光可控硅 2 的 N 型硅衬底 21 中空穴 27 在消失之前,如箭头 A 所示移动至右手侧上的 P 栅极扩散区 23,并借此在没有入射光的情况下,使在 CH2 侧上的 PNP

晶体管导通,并引起在 CH2 侧的正反馈,造成 CH2 导通的功能失误(整流失败)。

[0018] 也就是说,上述的“整流特性”是表示能进行控制而不引起如上所述整流失败的最大工作电流值 I_{com} 的一个特性。

[0019] 当将图 9 所示结构中的常规 SSR 中的主可控硅 4 取消,而仅由双向可控硅 4 取消,而仅由双向光可控硅 2 直接控制负载时,需要双向光可控硅 2 具有足以耐受约 0.2A 负载电流的容量。然而,有一个问题使主可控硅 4 不能被取消,因为在上述情况中,双向光可控硅 2 所需的整流特性 I_{com} 不小于约 200mA_{rms},而在图 11 所示的双向光可控硅 2 中,由于整流失败而发生功能失误通常会呈现整流特性 I_{com} 约为该数值的五分之一。

[0020] 发明概述

[0021] 因而,本发明的目的就是提供一种具有改进的整流特性的双向光可控硅芯片,它能用一单个芯片进行光触发和负载控制。

[0022] 为达到上述目的,本发明提供了由一块半导体芯片组成的双向光可控硅芯片,芯片上有一对光可控硅部分,包括在具有第二导电类型的第一扩散区、与第一扩散区面对面并且具有第二导电类型的第二扩散区,以及形成在所述第二扩散区内的具有第一导电类型的第三扩散区。该双向光可控硅芯片包括:

[0023] 形成在构成光可控硅部分的第二扩散区与衬底之间的肖特基势垒二极管。

[0024] 按照上述结构,少数载流子从第二扩散区向衬底的注入受到肖特基势垒二极管的限制,留在衬底中的载流子减少。因而,留在衬底中的载流子在整流期间在可控硅部分的上述一对沟道之间移动的机会减少。也就是说,当例如一光可控硅部分的沟道未触发,则位于一个光可控硅部分侧的衬底中的载流子向另一光可控硅部分侧的移动减少。结果,在另一光可控硅部分中的沟道被在另一光可控硅部分侧上的正反馈作用导通的这种功能失误受到限制,整流特性得以改善。

[0025] 在本发明的一实施例中,肖特基势垒二极管与第三扩散区相对,且长度约等于第三扩散区的长度,而宽度则为预定值。

[0026] 根据这一实施例,从用作构成光可控硅部分的晶体管的基极流至用作集电极的衬底的电流(对应于造成功能失误的载流子注入)的值可由肖特基势垒二极管的宽度来设定。

[0027] 在本发明的一个实施例中,肖特基势垒二极管的面积通过改变肖特基势垒二极管的宽度而得以改变,并且

[0028] 肖特基势垒二极管的前向电压可通过改变肖特基势垒二极管的面积来设定。

[0029] 在本发明的一实施例中,肖特基势垒二极管的宽度设定成使肖特基势垒二极管的前向电压为 20mV 或比光可控硅部分的第二扩散区与衬底之间的前向电压低得多。

[0030] 根据该实施例,如果光可控硅部分的第二扩散区与衬底之间的前向电压设定成约 0.6V,则从第二扩散区流向衬底的电流减少约一个数量级。从而使整流特性得以改善。

[0031] 在本发明的一个实施例中,在肖特基势垒二极管的栅极中间位置处两个扩散区之间的间隔设定为肖特基势垒二极管能在其耐受电压范围内实现夹断的距离。

[0032] 根据该实施例中,肖特基势垒二极管能在其耐受电压范围内实现夹断,因而可以获得高的可靠性而不会导致破坏,即使在施加约 800V 的最大电压的使用环境中也是如此。

[0033] 在本发明的一个实施例中,衬底是一 N 型硅衬底,并且

[0034] 以浓度不小于 10^{15}cm^{-3} 且不大于 10^{18}cm^{-3} 的磷掺杂的 N^+ 层形成在 N 型硅衬底的背面。

[0035] 根据该实施例,在该 N 型硅衬底背面上的 N^+ 层以磷掺杂,其浓度不小于 10^{15}cm^{-3} 。因而,可获得双向光可控硅作为器件能正确发挥功能所需的不低于 $1000\text{V}/\mu\text{s}$ 的临界关断状态电压增加率 dv/dt 。此外, N^+ 层以不大于 10^{18}cm^{-3} 的浓度掺磷。因而,可获得为提供一取消了主可控硅而仅靠该双向光可控硅直接控制负载的一 SSR 所需的不小于约 $200\text{mA}_{\text{rms}}$ 的整流特性 I_{com} 。

[0036] 在本发明的一实施例中,衬底是一 N 型硅衬底,

[0037] 构成一对光可控硅部分的各扩散层的每一个排列成使该两光可控硅部分的沟道的工作电流区彼此不交叉,并且

[0038] 在衬底表面上提供一沟道隔离区,以在两工作电流区之间提供隔离。

[0039] 根据该实施例,在整流期间,仍然在沟道之间的衬底中的整流子的移动受到沟道隔离区的限制,因而,整流特性进一步改善。

[0040] 在本发明的一个实施例中,沟道隔离区是通过将掺磷的氧掺杂半绝缘多晶硅薄膜形成在 N 型硅衬底表面来构成的。

[0041] 如果氧掺杂半绝缘多晶硅薄膜掺磷,则在氧掺杂半绝缘多晶硅薄膜中的电位便增加,硅结区状态 (Q_{ss}) 随之增加。因而,根据该实施例,在 N 型硅衬底中,少数载流子的空穴在沟道隔离区消失,并促使空穴寿命减小。从而,整流期间在两沟道之间的载流子移动受到沟道隔离区的阻碍。

[0042] 在本发明的一实施例中,沟道隔离区是通过将一氧掺杂半绝缘多晶硅薄膜形成为与 N 型硅衬底的表面接触而构成的。

[0043] 根据该实施例,氧掺杂半绝缘多晶硅薄膜形成为与沟道隔离区中 N 型硅衬底的表面相接触。因而,沟道隔离区的硅结区状态 Q_{ss} 显著增加,并因而进一步促使空穴寿命的减少。

[0044] 在本发明的一个实施例中,沟道隔离区是通过将一短路二极管形成在半导体芯片的一表面上来构成的。

[0045] 根据该实施例,留在衬底中的载流子被在沟道隔离区中的短路二极管的扩散区所吸收,并且剩余载流子的寿命减小。

[0046] 附图简述

[0047] 从下文的详细说明及附图可更充分地理解本发明,附图和说明只是说明用的,而不是对本发明的限制。其中:

[0048] 图 1 示出本发明的一双向光可控硅芯片的示意图形布局;

[0049] 图 2 是沿图 1 中沿 B-B' 箭头线所作的截面图;

[0050] 图 3 是图 1 所示双向光可控硅芯片的等效电路图;

[0051] 图 4 示出不同于图 1 的示意图形布局图;

[0052] 图 5 示出不同于图 1 和图 4 的示意的图形布局图;

[0053] 图 6 是示出图 4 和图 5 中沟道隔离区具体结构的截面图;

[0054] 图 7 是示出不同于图 6 的沟道隔离区结构的截面图;

[0055] 图 8 是示出不同于图 6 和图 7 的沟道隔离区结构的截面图;

[0056] 图 9 示出 SSR 的电路结构；

[0057] 图 10 是图 9 中光触发耦合器的等效电路图；

[0058] 图 11 示出图 10 中双向光可控硅 2 的示意图形布局图；以及

[0059] 图 12A 和 12B 是沿图 11 中箭头 A-A' 所作的截面图。

[0060] 较佳实施例的详细说明

[0061] 下面将根据图中所示各实施例详述本发明：

[0062] < 第一实施例 >

[0063] 图 1 示出本实施例的双向光可控硅芯片的示意图形布置。图 2 是沿图 1 中沿箭头 B-B' 所作的截面图。图 3 是本实施例的双向光可控硅芯片的等效电路图。请注意，本光可控硅芯片的图形布置基本上与图 11 所示常规的双向光可控硅 2 的相同。

[0064] 本双向光可控硅芯片的结构如下：即，两个阳极扩散区（P 型）32 和两个与它们相对的 P 栅极扩散区（P 型）33 在图中以水平翻转轴对称地设置在 -N 型硅衬底 31 的正面侧。在每个 P 栅极扩散区 33 中有一阴极扩散区（N 型）34 设在与阳极扩散区 32 相反的一侧。从而，在图中从在右手侧上的阳极扩散区 32 延伸向在左手侧上的阴极扩散区 34 上形成了 PNP 部分，它构成了在 CH1 侧的一光可控硅。此外，在图中从在左手侧上的阳极扩散区 32 延伸向在右手侧上的阴极扩散区 34 上形成了一 PNP 部分，它构成了在 CH2 侧的一光可控硅。注意，标号 35 表示栅极电阻。

[0065] 作为沟道限制边的一 N 型扩散区 36 沿芯片周边形成。然后，一 SiO_2 薄膜 37 形成在 N 型硅衬底 31 的表面上，并在该薄膜 37 的阳极扩散区 32 和阴极扩散区 34 上方处设有开口。此外，在 N 型扩散区 36 上方的 SiO_2 薄膜 37 上形成一铝电极 38，由虚线表示。还有一铝电极（由虚线表示）39 覆盖在位于左手部分和右手部分中 SiO_2 薄膜 37 上的阳极扩散区 32 和 P 栅极扩散区 33 上。注意，还形成有一孔 40，用作在铝电极 39 的阳极扩散区 32 和 P 栅极扩散区 33 之间的光接收部分。

[0066] 在左手部分中铝电极 39 上方直接形成有一电极 T2，并通过铝电极 39 连至阳极扩散区 32 和阴极扩散区 34。与之类似，在右手部分中铝电极 39 的上方直接形成有一电极 T1，并通过铝电极 39 连至阳极扩散区 32 和阴极扩散区 34。在上述例子中，在 P 栅极扩散区 33 和电极 T1 和 T2 之间由 SiO_2 薄膜 37 提供绝缘。

[0067] 平行于阴极扩散区 34 并在左手侧和右手侧之间的 P 栅极扩散区 33 的不设有阳极扩散区 34 的区域中，设有一矩形孔 41，其长度与阴极扩散区 34 相同，且其中未扩散有 P 型杂质。此外，在 SiO_2 薄膜 37 上的 P 栅极扩散区 33 的孔 41 的位置处形成一开口，以将孔 41 围住。另外，在铝电极 39 处 SiO_2 薄膜 37 的孔的位置中形成有一开口 42，以将该孔围住。然后，在铝电极 39 的孔 42 中和在 SiO_2 薄膜 37 的开口中，沿铝电极 39 的孔 42 形成一矩形铝电极 43。在上述例子中，在铝电极 39 和 43 之间，形成了一电绝缘空间。

[0068] 如上所述，铝电极 43 通过 SiO_2 薄膜 37 的开口与 P 栅极扩散区 33 的孔 41 中的 N 型硅衬底 31 直接接触。从而在 P 栅极扩散区 33 和 N 型硅衬底 31 之间形成一肖特基势垒二极管 44。因而，如箭头 B 所示，少数载流子（空穴）从 P 栅极扩散区 33 向 N 型硅衬底 31 的注入受到限制。结果，留在 N 型硅衬底 31 中载流子的数量减少，使整流特性得以改善。在上述说明中，铝系用作构成肖特基势垒二极管 44 的金属材料。然而，采用铬、钼、钛、铂、或类似金属材料来取代铝也是可行的。

[0069] 通过离子植入法将磷值入 N 型硅衬底 31 的背面至浓度为 10^{16}cm^{-3} 而形成 N^+ 层 45。如上所述,通过将磷以高浓度植入 N 型硅基 31 的背面而形成 N^+ 层 45,在 N^+ 层 45 中会发生载流子的反射,并且由于所谓的 BSF(背面场)的影响,光灵敏度得以增加,使等效寿命增加。如果 N 型硅衬底 31 的背面仍然是 N-(保持 N 型衬底原封不动)而没有采用上述结构,则在 N 型硅衬底 31 背面中的载流子很容易复合,因而使等效寿命减小。

[0070] 后者对整流特性而言,是有好处的,因为当设计图 3 所示光可控硅等效电路的常数时等效寿命很小,而 PNP 晶体管的电流放大系数 $H_{fe}(\text{pnp})$ 却被减小到使光灵敏度下降。为了对此进行补偿,在电路常数设计时,需要增加栅极电阻 35 和该 NPN 晶体管的电流放大系数 $H_{fe}(\text{nnp})$,但这会引起一个问题,即:由于减少了临界关断状态电压增加率 dv/dt ,使器件的主要特性不能满足。该临界关断状态电压增加率 dv/dt 特性也取决于 N 型硅衬底 31 的寿命。(1) 在背面是 N^- 的情况下,空穴寿命 τ_p 很小,且阳极扩散区 32 的扩散电容减小,因而增加了 PNP 晶体管的工作响应速度和减低了临界关断状态电压增加率 dv/dt 。另一方面,(2) 在背面是 N^+ 的情况下,空穴寿命 τ_p 较大,且阳极扩散区 32 的扩散电容增加,从而减小了 PNP 晶体管的工作响应速度和增加了临界关断状态电压增加率 dv/dt 。

[0071] 因而,为了满足在整流特性和临界关断状态电压增加率 dv/dt 特性之间的折衷关系,需要使 N 型硅衬底 31 背面中的磷浓度最佳化,以将 PNP 晶体管的电流放大系数 $H_{fe}(\text{pnp})$ 的特性设定为任意电路常数。

[0072] 如果考查在 N 型硅衬底 31 背面中的 N 型杂质(磷)浓度与可控的又不引起整流失败的最大工作电流值 I_{com} 之间的关系,则发现当 N 型杂质浓度增加时,整流特性 I_{com} 倾向于减少。于是,在提供一种仅通过双向光可控硅直接控制负载而取消主可控硅的 SSR 时,双向可控硅所需的整流特性 I_{com} 不小于约 200mA。因而,在本发明中,在衬底背面中的 N 型杂质浓度要求不大于 10^{18}cm^{-3} 。

[0073] 另一方面,如果考虑在 N 型硅衬底 31 背面中 N 型杂质的浓度与临界关断状态电压增加率 dv/dt 之间的关系,则发现当 N 型杂质浓度增加时,临界关断状态电压增加率 dv/dt 倾向于增加。于是,为了使双向光可控硅作为一个器件发挥正常功能,要求临界关断状态电压增加率 dv/dt 不低于 $1000\text{V}/\mu\text{S}$ 。因而,在本发明中,在衬底背面中 N 型杂质浓度要求不小于 10^{15}cm^{-3} 。

[0074] 如上所述,为了满足整流特性 I_{com} 和临界关断状态电压增加率 dv/dt 特性的要求(这两者具有互相折衷的关系), N^+ 层 47 的磷浓度最好不少于 10^{15}cm^{-3} 而不大于 10^{18}cm^{-3} 。

[0075] 此外,肖特基势垒二极管 44 的面积和前向电压 V_F 呈大致反比关系。另一方面,面积和整流特性 I_{com} 呈大致正比关系。因而,肖特基势垒二极管 44 的面积的正确下限值依据要采用的可控硅的所要求的整流特性 I_{com} 来决定。具体来说,正确的下限值根据下列参数来决定:残余载流子的数量、残余载流子的寿命、对发生功能失误的宽限期、等等。另一方面,由于面积增加导致芯片尺寸扩大,所以面积的合适的上限值由能容许不利影响的最大值决定。

[0076] 作为一个具体例子,肖特基势垒二极管 44 的面积设定成使肖特基势垒二极管 44 的前向电压 V_F 成为等于或低于 0.615V,该值比要采用的可控硅的 P 栅极扩散区 33 和 N 型硅衬底 31 之间的前向电压 V_F (约 0.635V)低 20mV。为什么将肖特基势垒二极管 44 的前向电压 V_F 设定如上的理由是为了获得因肖特基势垒二极管 44 对从基极流至 NPN 晶体管的集

电极的电流（对应于引起功能失误的载流子注入）进行箝位而使电流减少的效果。注意：肖特基势垒二极管 44 的前向电压 V_F 最好应该比在 P 栅极扩散区 33 和 N 型硅衬底 31 之间的前向电压 V_F 低 30 至 35mV。

[0077] 就是说，肖特基势垒二极管 44 可以很方便地设定如下：首先，将肖特基势垒二极管 44 的长度设定成等于相邻的阴极扩散区 34 的长度。然后，使肖特基势垒二极管 44 的宽度定为能提供上述设定的前向电压 V_F 的尺寸。

[0078] 此外，对于要在由于器件特性而要施加近 800V 的最大电压的环境中使用的肖特基势垒二极管 44 的结构而言，P 栅极扩散区 33 的孔 41 的宽度 L_1 需设定成使肖特基势垒二极管 44 能在其耐受电压内实现夹断。在本发明中，该宽度设定为 $50\mu\text{m}$ 。

[0079] 在图 3 所示的等效电路中，包含一本实施例的双向光可控硅芯片 51、一在 CH1 侧的光可控硅 52、一在 CH2 侧的光可控硅 53、由阳极扩散区 32、N 型硅衬底 31 和 P 栅极扩散区 33 构成的 PNP 晶体管 Q7 和 Q9、由阴极扩散区 34、P 栅极扩散区 33 和 N 型硅衬底 31 的 NPN 晶体管 Q8 和 Q10、以及肖特基势垒二极管 44 和 44'。

[0080] 如上所述，在本实施例的双向光可控硅芯片中，肖特基势垒二极管 44 和 44' 分别形成在 CH1 侧上的光可控硅 52 中的和在 CH2 侧上光可控硅 53 中的 P 栅极扩散区 33 和 N 型硅衬底 31 之间。因而，少数载流子（空穴）从 P 栅极扩散区 33 向 N 型硅衬底 31 的注入受到限制，减少了残余载流子，并且还可以减少在整流（一种过程，通过这一过程，负载电流对应于交流电压衰减，且可控硅随着保持电流的分量成为未触发）期间仍然在 N 型硅衬底 31 中过量载流子移向相对沟道侧的机会。

[0081] 就是说，本实施例的双向光可控硅芯片可控制得负载电流直至约 0.2A 而没有功能失误，而这意味着该芯片具有等效于所述 SSR 的主可控硅的功能。因而，通过使用本实施例的光可控硅芯片，就可能提供一价格不贵的 SSR，它具有减少的零件数目，并且由用于触发的光触发耦合器和由一发光二极管和本实施例的双向光可控硅芯片构成的负载控制、以及一缓冲电路构成，并取消了图 9 中的主可控硅 4。

[0082] < 第二实施例 >

[0083] 在第一实施例中双向光可控硅衬底中，CH1 和 CH2 的工作电流区互相交叉，这可从其图形布置上明显看出。因而该芯片的优点是可使芯片尺寸减小，设计紧凑。但反过来，由于 CH1 和 CH2 工作电流互相交叉，会产生载流子的干涉，虽然限制了少数载流子（空穴）向 N 型硅衬底 31 的注入，减少了残余载流子的数量，但整流特性 I_{com} 却相对较低（下降）。因而，在本实施例中，将介绍一种其整流特性 I_{com} 进一步改善的双向光可控硅。

[0084] 图 4 示出本实施例双向光可控硅的一示意的图形布置。虽然未示出图 4 的剖视图和等效电路图，但它们基本类似于图 2 和图 3。

[0085] 本实施例的双向光可控硅芯片的图形布置成使第一实施例的双向光可控硅芯片的图形布置中位于两侧的阳极扩散区 32、P 栅极扩散区 33 和阴极扩散区 34 在长度上减少一半以上，并且使减小一半以上的阳极扩散区大致直排在减小一半以上的阴极扩散区旁。从而使在 CH1 侧上的阳极扩散区和在 CH1 侧上的 P 栅极扩散区和阳极扩散区彼此相对，而在 CH2 侧上的阳极扩散区和在 CH2 侧上的 P 栅极扩散区和阳极扩散区彼此相对。

[0086] 就是说，在本发明的双向光可控硅芯片中，如图 4 所示，在一 N 型硅衬底 61 正面侧上，在图 4 左手侧上，一阳极扩散（P 型 062 和与该阳极扩散区 62 相对的 P 栅极扩散（P

型)63 分别设在下部 60b 和下部 60a,并且在图 4 右手侧上垂直颠倒过来。然后,两个阴极扩散区(N 型)64 和 64 设在两个 P 栅极扩散区 63 和 63 内靠近阳极扩散区 62 的一侧。此外,在上左手部 60a 的 P 栅极扩散区 63 中,与形成有阴极扩散区 64 的区域相对的一侧延伸至下左手部 60b 的阳极扩散区 62(即相对沟道)的后侧。类似地,在下右手部 60b 的 P 栅极扩散区 63 中,与形成有阴极扩散区 64 的区域相对的一侧延伸至上右手部 60a 的阳极扩散区 62 的后侧。采用这种布置,在芯片的上部 60a 和下部 60b 的每一部中,从阳极扩散区 62 向阴极扩散区 64 延伸着一 PNP 部分。注意:标号 65 标示一栅极电阻。

[0087] 如上所述,在本实施例的双向光可控硅芯片中,在上部 60a 中 CH1 侧上,阳极扩散区 62 与 P 栅极扩散区 63 和阴极扩散区 64 对置。与此类似,在下部 60b 中 CH2 侧上,阳极扩散区 62 与 P 栅极扩散区 63 和阴极扩散区 64 对置。采用这种布置,CH1 和 CH2 的工作电流可防止彼此交叉,不同于第一实施例的双向光可控硅芯片,其中,在 CH1 侧上的 P 栅极扩散区 33 和阳极扩散区 34 与在 CH2 侧上的 P 栅极扩散区 33 和阴极扩散区 34 在芯片的整个宽度上互相对置。

[0088] 然后,形成一由虚线所示的铝电极 66,它覆盖在 CH1 侧上的 P 栅极扩散区 63 和阴极扩散区 64 和在 CH2 侧上的阳极扩散区 62。与之类似,形成一由虚线所示的铝电极 66,它覆盖在 CH2 侧上的 P 栅极扩散区 63 和阴极扩散区 64 和在 CH1 侧上的阳极扩散区 62。

[0089] 然后,设置一个孔(未示出),其长度大致与阴极扩散区 64 的长度相同,且其中无 P 型杂质扩散。该孔平行于左手部的 P 栅极扩散区 63 的区域中的阳极扩散区 64 和在中手部的、其中不设有阴极扩散区 64 的 P 栅极扩散区。此外,在铝电极 66 上 P 栅极扩散区 63 的孔的位置中形成一开口 67,以将孔围住。然后,在铝电极 66 的孔 67 内形成一直接与 N 型硅衬底 61 接触的铝电极 68,并且在 P 栅极扩散区 63 和 N 型硅衬底 61 之间形成一肖特基势垒二极管 69。

[0090] 因而,少数载流子(空穴)从 P 栅极扩散区 63 向 N 型硅衬底 61 的注入受到限制。结果,残留在 N 型硅衬底 61 中的载流子数量减少,使整流特性得到改善。

[0091] 虽然未作出说明,有一 SiO₂ 薄膜形成在 N 型硅衬底 61 上,类似于第一实施例的双向光可控硅衬底的情况,提供了在所需部分相对于铝电极 66 的绝缘。此外,在图 4 中未示出作为沟道限制器沿芯片周边形成的 N 型扩散区以及在该 N 型扩散区上的铝电极。另外,类似于第一实施例的双向光可控硅芯片的情况,在铝电极 66 正上方,形成了电极 T1 和 T2。

[0092] 在本实施例中,在 N 型硅衬底 61 上,沿着在左手侧上的阳极扩散区 62 和在右手侧上的阳极扩散区 62 之间和在上部 60a 的 CH1 和下部 60b 的 CH2 之间的 CH1 和 CH2 的方向延伸形成了一沟道隔离区 70。因而,在整流期间,在 N 型硅衬底 61 中的少数载流子的空穴被这沟道隔离区 70 拉回,使在这两沟道之间的空穴运动受到限制。因而,当例如 CH1 关断时,残留在上部 60a 的 N 型硅衬底 61 中的空穴向下部区 60b 的移动是很难的。结果,与通过肖特基势垒二极管 69 产生的限制少数载流子(空穴)从 P 栅极扩散区 63 向 N 型硅衬底 61 的注入的效能和 CH1 和 CH2 工作电流区不互相交叉的效能相协作,就可以限制通过下部 60b 的正反馈作用使得 CH2 导通的功能失误(整流失败),从而使得整流特性比第一实施例中进一步改善。

[0093] <第三实施例>

[0094] 在第二实施例的双向光可控硅芯片中,扩散区沿芯片周边两个互相相对的侧部设

置。因而,其中形成有沟道隔离区 70 的区域是在中心部中的限制区,而 CH1 和 CH2 不能彼此完全分开地形成。从而,整流特性 I_{com} 不能得到充分改善。

[0095] 此外,如上所述,在 CH1 和 CH2 侧上的阳极扩散区、P 栅极扩散区和阴极扩散区的长度均比第一实施例的双向光可控硅芯片的情况中的短。因而由于相对扩散区的长度较短,导通状态电压 V_T 变得很高,器件发热增加。

[0096] 相应地,在本实施例中,要介绍一种能改进器件特性并进一步提高整流特性 I_{com} 的双向光可控硅芯片。

[0097] 图 5 示意地示出本实施例的双向光可控硅芯片的图形布图。虽然未示出图 5 的剖视图和等效电路图,但它们基本类似于图 2 和图 3。

[0098] 就本实施例的双向光可控硅芯片的图形布置而言,在第一实施例的双向光可控硅芯片的图形布置中,相对于在 CH1 侧上的 P 栅极扩散区 33,位于与 CH2 侧上的 P 栅极扩散区相对的、CH2 侧上的阳极扩散 32 布置在 CH1 侧上的 P 栅极扩散区 33 和在 CH2 侧上的 P 栅极扩散区 33 之间,并且在 CH2 侧上的阳极扩散区和在 CH2 侧的 P 栅极扩散区和阴极扩散区彼此相对。与此类似,在 CH1 侧上的阳极扩散区 32 布置在 CH1 侧上的 P 栅极扩散区 33 和在 CH2 侧上的阳极扩散区之间向后移的位置,而且在 CH1 侧上的阳极扩散区和在 CH1 侧上的 P 栅极扩散区和阴极扩散区彼此相对。

[0099] 就是说,在本实施例的双向光可控硅芯片中,如图 5 所示,一阳极扩散区(P 型)73 形成在左手部 71a 内,而与此阳极扩散区 63 相对的一 P 栅极扩散区(P 栅)74 形成在一 N 型硅衬底 72 的正面外侧。与此类似,一阳极扩散区 73 形成在一右手部 71b 内侧,而与该阳极扩散区 73 相对的一 P 栅极扩散区 74 形成在外侧。此外,一阴极扩散区(N 型)75 形成在每一个 P 栅极扩散区 74 内沿着与阳极扩散区 73 相对的一侧平行的靠阳极扩散区 73 的那一侧。于是,沿着从在左手部 71a 和右手部 71b 的每一个中的阳极扩散区 73 向着阴极扩散区 75 形成一 PNP 部。注意:标号 76 标示栅极电阻,它们沿着芯片互相对置的两侧从各自 P 栅极扩散区 74 延伸至相对沟道的阳极扩散区 73 设置。

[0100] 如上所述,在本实施例的双向光可控硅芯片中,在 CH1 侧上的阳极扩散区 73、P 栅极扩散区 74 和阴极扩散区 75 在左手部 71a 中互相相对地形成在左手部 71a 中。此外,在 CH2 侧上的阳极扩散区 73、P 栅极扩散区 74 和阴极扩散区 75 互相相对地形成在右手部 71b 中。通过如上所述使 CH1 的工作电流区和 CH2 的工作电流分别进入左手部 71a 和右手部 71b,就可防止 CH1 和 CH2 的工作电流区互相交叉。此外,可以使阳极扩散区 73、P 栅极扩散区 74 和阴极扩散区 75 的长度比在第二实施例的双向光可控硅衬底的更长。因而器件性能可改善。

[0101] 然后,如虚线所示,形成一铝电极 77,覆盖住在左手部 71a 的 CH1 侧上的 P 栅极扩散区 74 和阴极扩散区 75、在右手部 71b 的 CH2 侧上的阳极扩散区 73、以及连接在 CH1 侧上的 P 栅极扩散区 74 与在 CH2 侧上的阳极扩散区 73 的栅极电阻 76。与此类似,如虚线所示,形成一铝电极 77,覆盖住在中手部 71b 的 CH2 侧上的 P 栅极扩散区 74 和阴极扩散区 75、在左手部 71a 的 CH1 侧上的阳极扩散区 73、以及连接在 CH2 侧上的 P 栅极扩散区 74 与在 CH1 侧上的阳极扩散区 73 的栅极电阻 76。

[0102] 然后,平行于阴极扩散区 75,在铝电极 77 上形成一大致同样长度的矩形孔 78,也的位置分别在两个 P 栅极扩散区 74 中未形成阴极扩散区 75 的区域中。然后,一铝电极 79

形成在铝电极 77 的孔 78 内部并直接与 N 型硅基底 72 接触,这与第一和第二实施例的情况相似,以使一肖特基势垒二极管 80 形成在 P 栅极扩散区 74 和 N 型硅衬底 72 之间。

[0103] 因而,少数载流子(空穴)从 P 栅极扩散区 74 向 N 型硅衬底 72 的注入受到限制。结果,残留在 N 型硅衬底 72 中的载流子数量减少,使整流特性得以改善。

[0104] 虽然没有进行描述,但类似于第一实施例的双向光可控硅芯片的情况,在 N 型硅衬底 72 上形成有一 SiO_2 薄膜,在各个需要的位置提供了相对于铝电极 77 的绝缘。此外,在图 5 中,未示出图 4 中沿芯片周边作为沟道限制器形成的 N 型扩散区以及在该 N 型扩散区上的铝电极。另外,与第一实施例的双向光可控硅晶的情况相似,电极 T1 和 T2 直接形成在铝电极 77 上方。

[0105] 在本实施例中,一沟道隔离区 81 形成在 N 型硅衬底 72 上的两个阳极扩散区 73 和 73 之间(即在 CH1 和 CH2 之间)和在两个栅极电阻 76 和 76 之间,同时沿阳极扩散区 73 延伸的方向延伸。因而在 N 型硅衬底 72 中少数载流子的空穴在整流期间被这一沟道隔离区 81 吸入,限制了在两沟道之间空穴的移动。

[0106] 在上述情况中,CH1 形成在左手部 71a 中,而 CH2 形成在右手部 71b 中。因而,沟道隔离区 81 和 CH1 和 CH2 的工作电流区不会互相交叉,并且沟道隔离区 81 可沿阳极扩散区 73 形成得比第二实施例的沟道隔离区 70 更长。

[0107] 因而,仍然在左手部 71a 的 N 型硅衬底 72 中的空穴在例如 CH1 关断时,可以比在第二实施例的沟道隔离区 70 的情况中更好地被阻止移向右手部 71b。结果,与通过肖特基势垒二极管 80 产生的限制少数载流子(空穴)从 P 栅极扩散区 74 向 N 型硅衬底 72 的注入效能和 CH1 和 CH2 工作电流区不相互交叉的效能相协作,就可以更有效地限制通过右手部 71b 的正反馈作用使 CH2 导通的功能失误(整流失败),从而使整流特性能比第二实施例中进一步改善。

[0108] 虽然在第二和第三实施例中未作描述,但与第一实施例类似,最好将肖特基势垒二极管 69 和 80 的前向电压设定为 20mV,或者比要采用的可控硅的 N 型硅衬底 61 和 72 与 P 栅极扩散区 63 和 74 之间的前向电压更低。此外,最好将肖特基势垒二极管 69 和 80 的 P 栅极扩散区 63 和 74 的孔的宽度 L1(见图 2)设定成使肖特基势垒二极管 69 和 80 能在耐受电压内进行夹断的距离。另外,最好在 N 型硅衬底 61 和 72 的背面形成一 N^+ 层,其中磷浓度不小 10^{15}cm^{-3} ,同时也不大于 10^{18}cm^{-3} ,以满足相对整流特性 I_{com} 和临界关断状态电压增加率 dv/dt 特性的折衷关系。

[0109] < 第四实施例 >

[0110] 下面将描述第二和第三实施例的沟道隔离区 70 和 81 的具体结构。图 6 是在沟道隔离区附近的一 N 型硅衬底 91 的剖视图,示出了本实施例的钝化结构。图 6 对应于沿图 5 中箭头 C-C' 所作的剖视图,但也大致适用图 4 中沟道隔区 70 的情况。

[0111] 本实施例中的沟道隔离区 92 是由掺以磷的氧掺杂的半绝缘多晶硅薄膜形成在 N 型硅衬底 91 上构成的。如果对氧掺杂的半绝缘多晶硅薄膜掺以磷,则该氧掺杂的半绝缘多晶硅薄膜的电平便增加,并且硅界面状态(QSS)随之增加。因而可使在 N 型硅衬底 91 中少数载流子的空穴积极的消失,并可促进空穴寿命减小。

[0112] 在 N 型硅衬底 91 上的沟道隔离区 92 的左手部 93a 和右手部 93b 中,在左手部 93a 的阳极扩散区 94a 至右手部 93b 的阳极扩散区 94b 上形成有一 SiO_2 薄膜 95。此外,在该

SiO₂ 薄膜 95 上形成有一氧掺杂的半绝缘多晶硅薄膜 96, 并且在氧掺杂的半绝缘多晶硅薄膜 96 的沟道隔离区 92 的邻近的一个区 96' 和在两端部的两个区 96'' 中掺以磷。采用这种布置, 在 N 型硅衬底 91 表面上的沟道隔离区 92 的区 96' 和在两端部的两个区 96'' 中的硅界面状态 Q_{ss} 得以增加。

[0113] 此外, 在氧掺杂的半绝缘多晶硅薄膜 96 不掺以磷的一个区上, 用化学蒸汽沉积法形成一 SiO₂ 薄膜 97。然后, 在阳极扩散区 94 至掺以磷的氧掺杂的半绝缘多晶硅薄膜 96 的两端部 96'' 的位置处的氧掺杂的半绝缘多晶硅薄膜 96'' 上形成一铝电极 98 并连至一电极 T1 或一电极 T2。另一方面, 在氧掺杂的半绝缘多晶硅薄膜 96 的掺以磷的区 96' 中, 在左手部 93a 的一 SiO₂ 薄膜 97 至右手部 93b 的 SiO₂ 薄膜 97 上形成一铝电极 99, 并连至 N 型硅衬底 91。通过这样使氧掺杂的半绝缘多晶硅薄膜 96 的两端部和中心部与铝电极 98 和 99 相接触, 在两个铝电极 98 和 99 之间形成一电位梯度, 使在 Si-SiO₂ 界面上的电场密度得以减轻。从而, 提供了一能有利地具有高耐受电压的场板结构。

[0114] 采用上述布置, 在 N 型硅衬底 91 表面上的沟道隔离区 92 的位置中的硅界面状态 Q_{ss} 得以增加。因而, 使在 N 型硅衬底 91 中的少数载流子的空穴 100 消失在沟道隔离区 92 中, 并使沟道之间的空穴运动受到限制。

[0115] 此外, 在阳极扩散区 94 上的氧掺杂的半绝缘多晶硅薄膜 96 被掺以磷。因而, 在 N 型硅衬底 91 表面上阳极扩散区 94 的沟道隔离区 92 的邻近处中的硅界面状态 Q_{ss} 增加, 而包括阳极扩散区 94 的 PNP 晶体管的电流放大系数 H_{fe}(pnp) 减少。结果, 保持电流 (下文称之为 I_H) 增至 500 μA 或更多, 而 PNP 部分继续导通状态的时间变长。这对整流期间功能失误的发生提供了一时间延迟, 并使移动至相对沟道的载流子更有效地消失。

[0116] 用于使 I_H 增至 500 μA 或更多的方法不限于上述的 (1) 使 PNP 晶体管的电流放大系数 H_{fe}(pnp) 减少, 也可通过 (2) 增加阴极扩散面积相对于 P 栅极扩散面积之面积比或者 (3) 减小 NPN 晶体管的电流放大系数 H_{fe}(nnp) 或栅极电阻值来实现。

[0117] 植入氧掺杂的半绝缘多晶硅薄膜 96 中的磷的浓度越高, 则硅界面状态 Q_{ss} 增加得越多, 这对于整流特性的改进是有效的。然而, 如果这一浓度过高, 也会对器件固有的可靠性等产生不利的影响, 因而, 一不小于 1 Ω/□ 且不大于 2000 Ω/□ 的薄膜电阻是较适宜的。此外, 虽然在两沟道之间的距离 L₂ 设定为 350 μm, 但就分离载流子而言, 该距离为 300 μm 或更长是有利的。注意: 由于芯片尺寸增加, 要求该距离具有正确的尺寸。此外, 虽然沟道隔离区 92 的宽度, 或者位于左手部 93a 和右手部 93b 之间边界处的氧掺杂的半绝缘多晶硅薄膜 96 的掺有磷的区域 96' 的宽度设定为 100 μm, 要求该宽度不小于 50 μm。

[0118] 此外, 形成在沟道隔离区 92 位置处的铝电极 99 也可用作一遮光薄膜。

[0119] < 第五实施例 >

[0120] 图 7 是在沟道隔离区附近的一 N 型硅衬底 101 的剖视图, 示出了本实施例的钝化结构。本实施例的沟道隔离区 102 是通过在 N 型硅衬底 101 的表面上直接形成一氧掺杂的半绝缘多晶硅薄膜构成的。图 7 对应于沿图 5 中箭头 C-C' 所作的剖视图, 但在图 4 的沟道隔离区 70 的情况中也大致适用。

[0121] 在 N 型硅在片 101 上的沟道隔离区 102 的左手部 103a 和右手部 103b 中, 在左手部 103a 的阳极扩散区 104a 至右手部 103b 的阳极扩散区 104b 上形成有一 SiO₂ 薄膜 105。然后, 在沟道隔离区 102 的部分中的 SiO₂ 薄膜 105 被除去, 以露出 N 型硅衬底 101。在上述

状态中,在一左手部 103a 的 SiO_2 薄膜 105a 的阳极扩散区 104a 至一右手部 104b 的 SiO_2 薄膜 105b 的阳极扩散区 104b 上,形成一氧掺杂的半绝缘多晶硅薄膜 106。从而,该氧掺杂的半绝缘多晶硅薄膜 106 直接与沟道隔离区 102 中的 N 型硅衬底 101 的表面接触。

[0122] 此外,在 SiO_2 薄膜 105 上的区域中的氧掺杂的半绝缘多晶硅薄膜 106 上,通过化学蒸汽沉积法形成一 SiO_2 薄膜 107。然后,一铝电极 108 形成在阳极扩散区 104 的表面至 SiO_2 薄膜 107 的表面上,并连至一电极 T1 和电极 T2。另一方面,一铝电极 109 形成在左手部 103a 的 SiO_2 薄膜 107 的表面至右手部 103b 的 SiO_2 薄膜 107 的表面上,并连至 N 型硅衬底 101。通过这样,使氧掺杂的半绝缘多晶硅薄膜 106 的两端部和中心部与铝电极 108 和 109 相接触,在两个铝电极 108 和 1009 之间形成一电位梯度,使 Si- SiO_2 界面上的电场密度得到减轻。于是,也在本实施例中形成一场板结构。

[0123] 采用上述布置,在 N 型硅在片 101 的表面的沟道隔离区 102 中,直接形成一氧掺杂的半绝缘多晶硅薄膜 106。通过采用上述结构,在本沟道隔离区 102 中的硅界面状态 Q_{ss} 比在第四实施例的沟道隔离区 92 中的增加得更为显著。因而,与第四实施例的情况相似,在 N 型硅衬底 101 中的少数载流子的空穴 110 的寿命减少得到很大促进。

[0124] 虽然两沟道之间的距离 L2 设定为 $350\text{ }\mu\text{m}$,就载流子的隔离而言,使该距离为 $300\text{ }\mu\text{m}$ 或更长是有利的。注意:由于芯片尺寸增加,需要使该距离具有合适的尺寸。此外,虽然沟道隔离区 102 的宽度,或左手部 103a 的 SiO_2 薄膜 105a 与右手部 103b 的 SiO_2 薄膜 105b 之间的间隔设定为 $100\text{ }\mu\text{m}$,但要求该间隔不小于 $50\text{ }\mu\text{m}$ 。

[0125] 此外,形成在沟道隔离部 102 的位置中的铝电极 109 也可用作遮光薄膜。

[0126] < 第六实施例 >

[0127] 图 8 是在沟道隔离区附近中的一 N 型硅衬底 111 的剖视图,示出了本实施例的钝化结构。本实施例中的沟道隔离区 112 由一在 N 型硅衬底 111 表面上形成短路的短路二极管构成。图 8 对应于沿图 5 中的箭头 C-C' 所作的剖视图,但在图 4 沟道隔离区 70 的情况中也大致适用。

[0128] 在 N 型硅衬底 111 表面上沟道隔离区 112 的区域中形成有一 P 型扩散区 115,而作为一沟道限制器的 N 型扩散区 116a 形成在从 N 型硅衬底 111 延迟到 P 型扩散区 115 的右手侧表面的位置中的 P 型扩散区 115,并且一 N 型扩散区 116b 类似地形成在 P 型扩散区 115 的右手侧表面的位置中。

[0129] 一 SiO_2 薄膜 117 形成有一阳极扩散区 114 至在左手部 113a 和右手部 113b 的每一个中的 N 型扩散区 116 上。然后,从 SiO_2 薄膜 117 上的阳极扩散区 114 的邻近外延伸至 N 型扩散 116 的邻近处形成一氧掺杂的半绝缘多晶硅薄膜 118。此外,通过化学蒸汽沉积法在氧掺杂的半绝缘多晶硅薄膜 118 上形成一 SiO_2 薄膜 119。然后,一铝电极 120 形成在阳极扩散区 114 的表面延伸到 SiO_2 薄膜 119 的表面上,并连至一电极 T1 和 T2。另一方面,一铝电极 121 形成在从左手部 113a 的 SiO_2 薄膜 119 的表面延伸至右手部 113b 的 SiO_2 薄膜 119 表面上,并连至 N 型硅衬底 111。通过这样,使氧掺杂的半绝缘多晶硅薄膜 118 的两端与铝电极 120 和 121 相接触,在两铝电极 120 和 121 之间形成一电位梯度,使在 Si- SiO_2 界面上的电场密度得以减轻,于是,也在本实施例中形成一场板结构。

[0130] 采用上述结构,由 P 型扩散区 115 和 N 型扩散区 116 所短路的短路二极管构成在 N 型硅衬底 111 表面上的沟道隔离区 112 中。因而,在 N 型硅衬底 111 中,少数载流子的空

穴 122 被吸收短路二极管的 P 型扩散区 115, 且空穴 122 的寿命减小。

[0131] 虽然在两沟道之间的距离 L2 设定为 $350\ \mu\text{m}$, 但使该距离为 $300\ \mu\text{m}$ 或更长对载流子的分离是有好处的。注意: 由于芯片尺寸增加, 需要使该距离具有合适的尺寸。此外, 虽然通过隔离区 112 的宽度, 或在左手部 113a 的 N 型扩散区 116a 的外边沿与右手部 113b 的 N 型扩散区 116b 的外边沿之间的距离设定为 $100\ \mu\text{m}$, 但该宽度要求不小于 $50\ \mu\text{m}$ 。

[0132] 此外, 形成在沟道隔离区 112 的位置中的铝电极 121 也可用作一遮光膜, 它可限制因在光接收期间从短路二极管的区域来的光的干扰而造成的载流子的发生。

[0133] 本发明并不限于上述实施例, 并且允许在专利权利要求书中要求的范围内适当修改。例如, 各半导体的导电型可与上述实施例的相反。此外, 在可产生上述功能和效果的范围内适当地选择材料是可接受的。

[0134] 已对本发明作了描述, 显然这种描述还可以多种方式变化。这些变化并不能认为是脱离了本发明的精神和范围, 而且所有这类业内人士显而易见的变化均包含在下述权利要求的范围内。

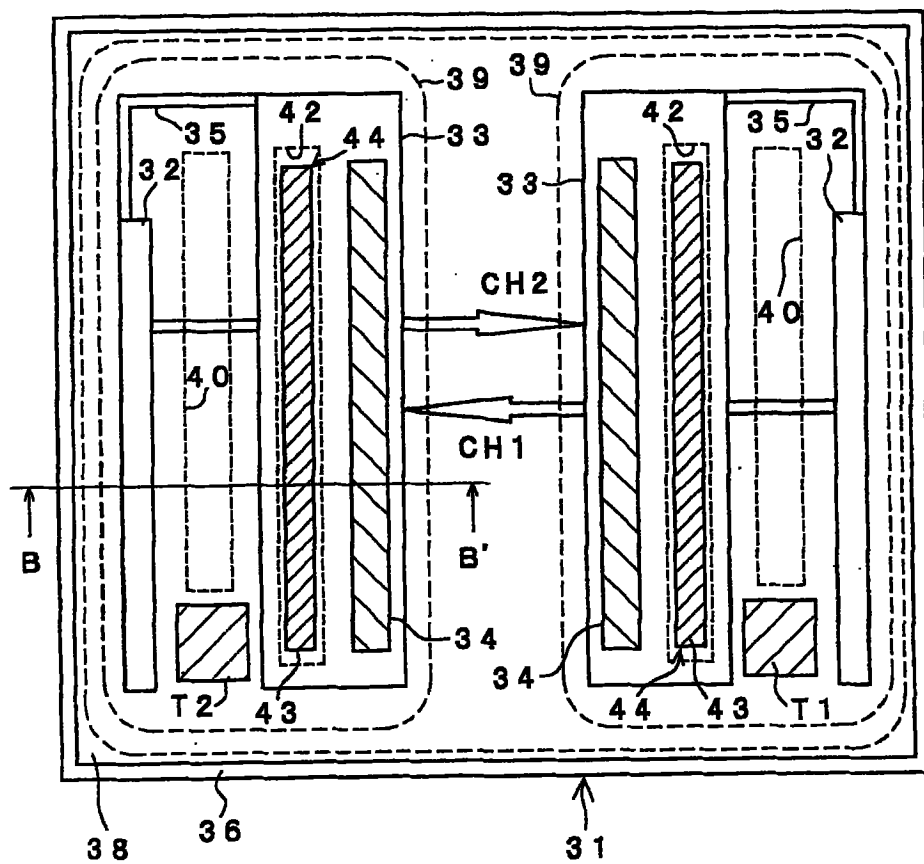


图 1

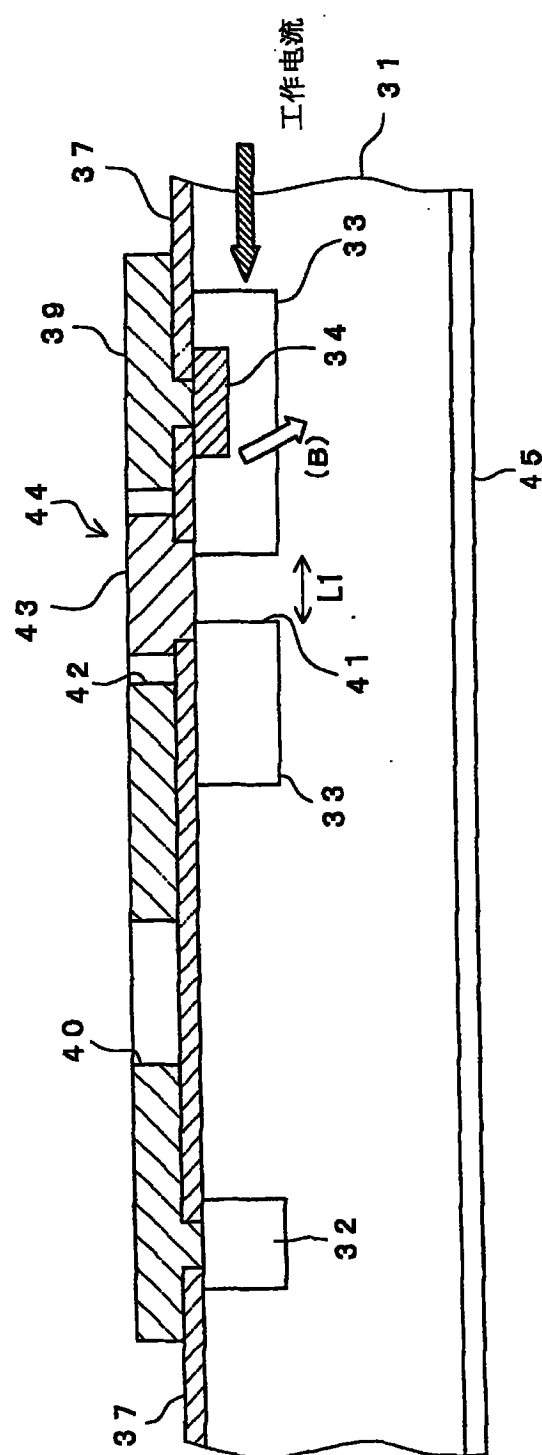


图 2

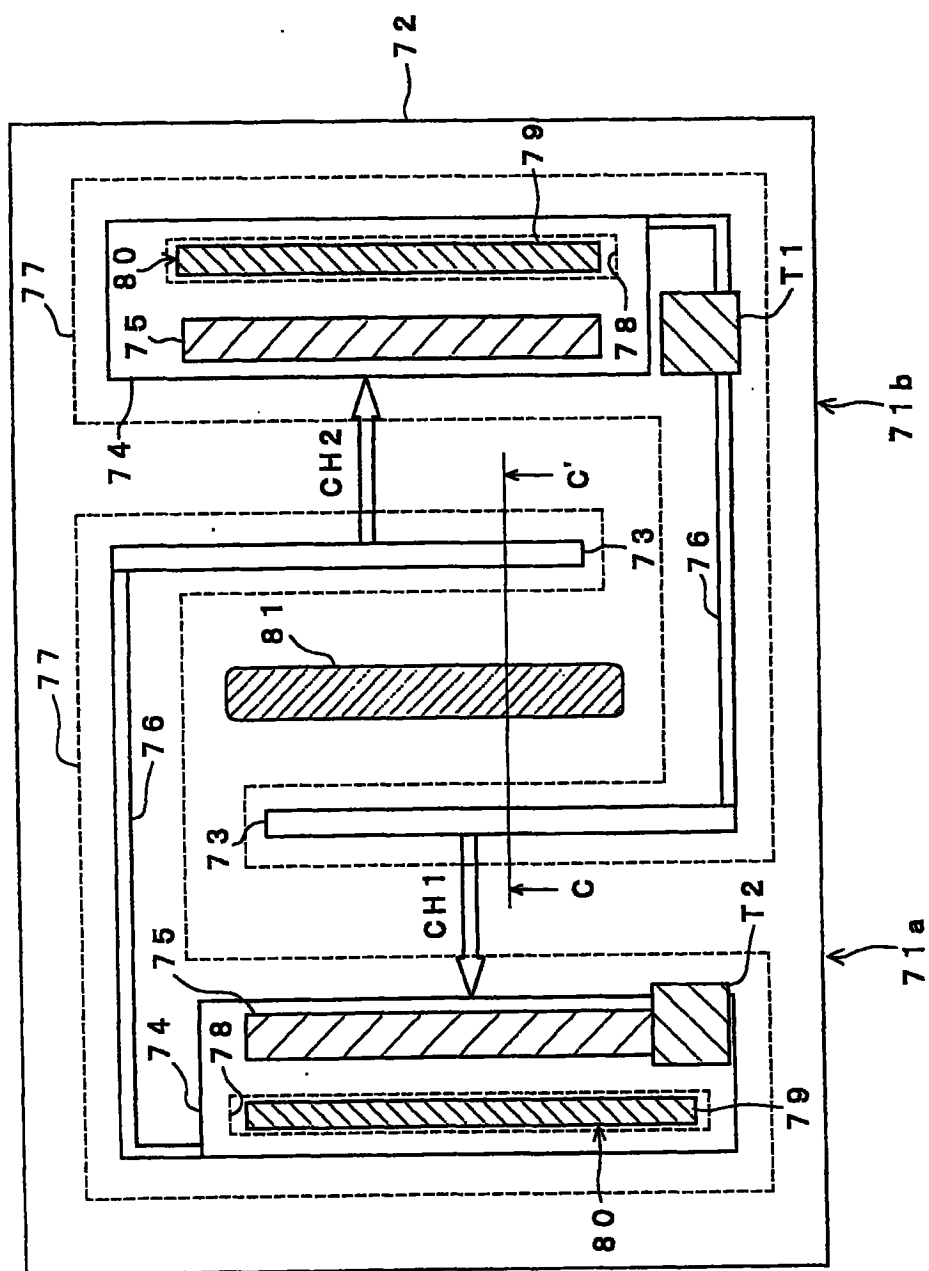


图 5

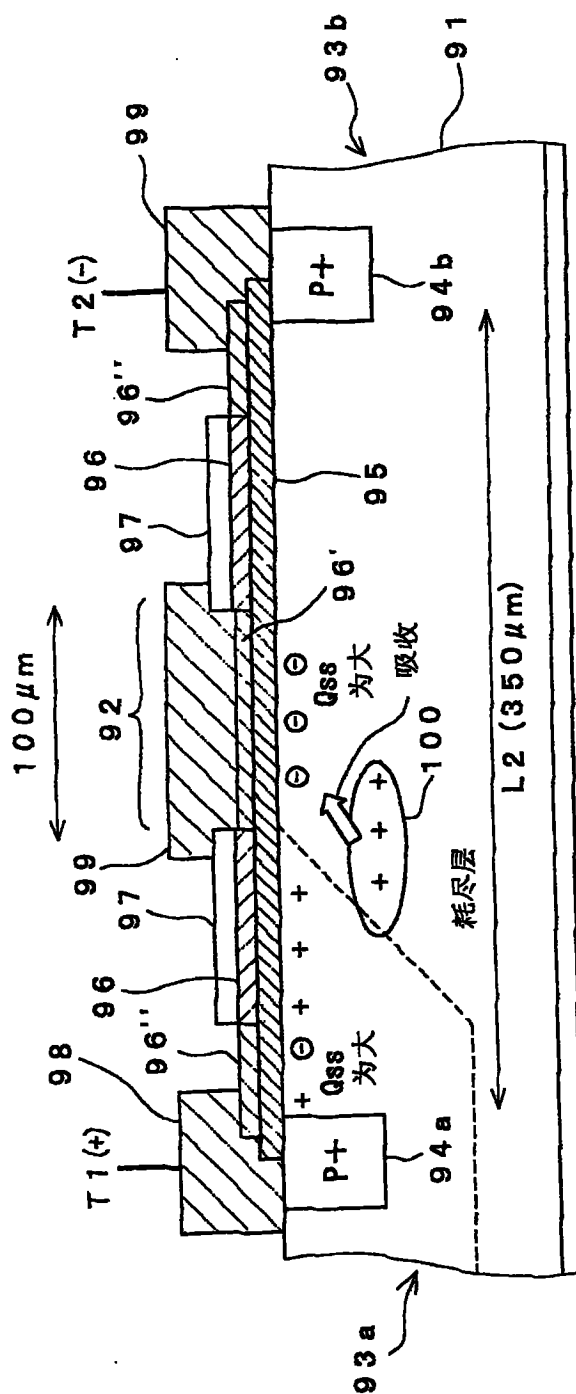


图 6

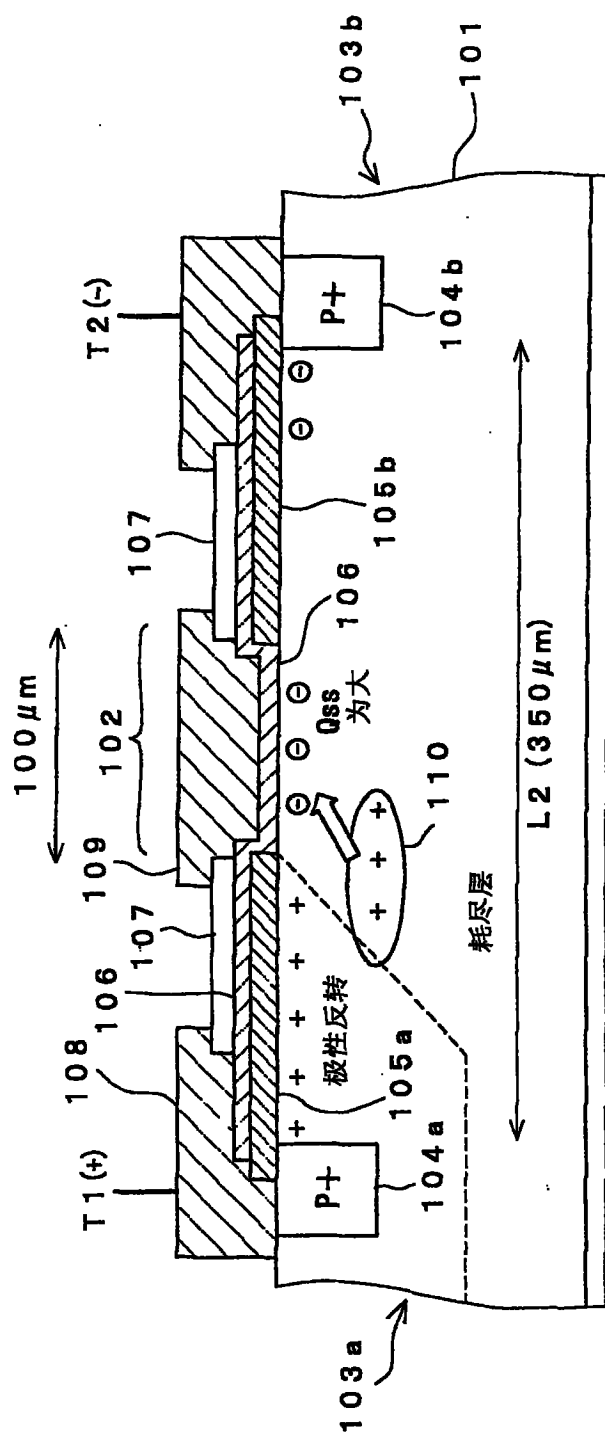


图 7

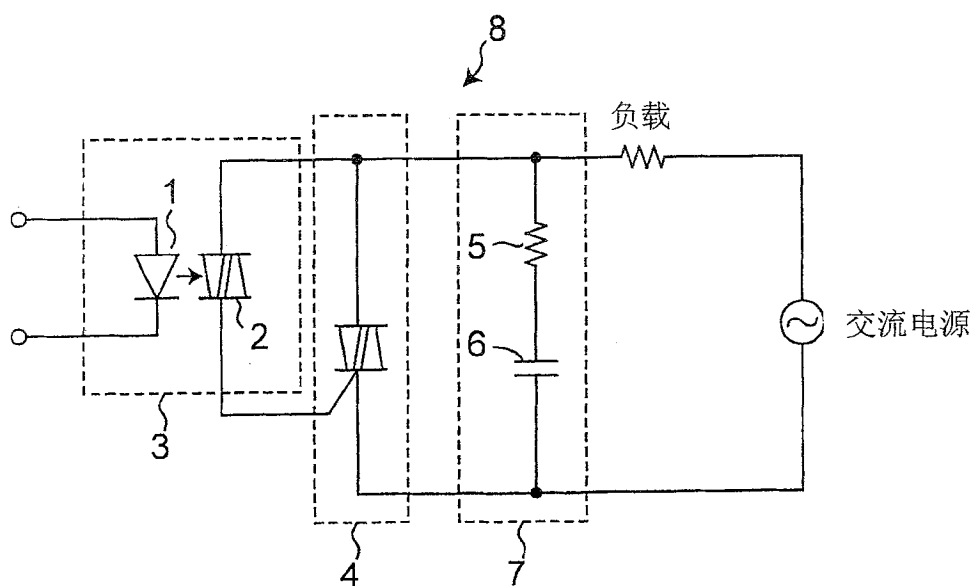


图 9

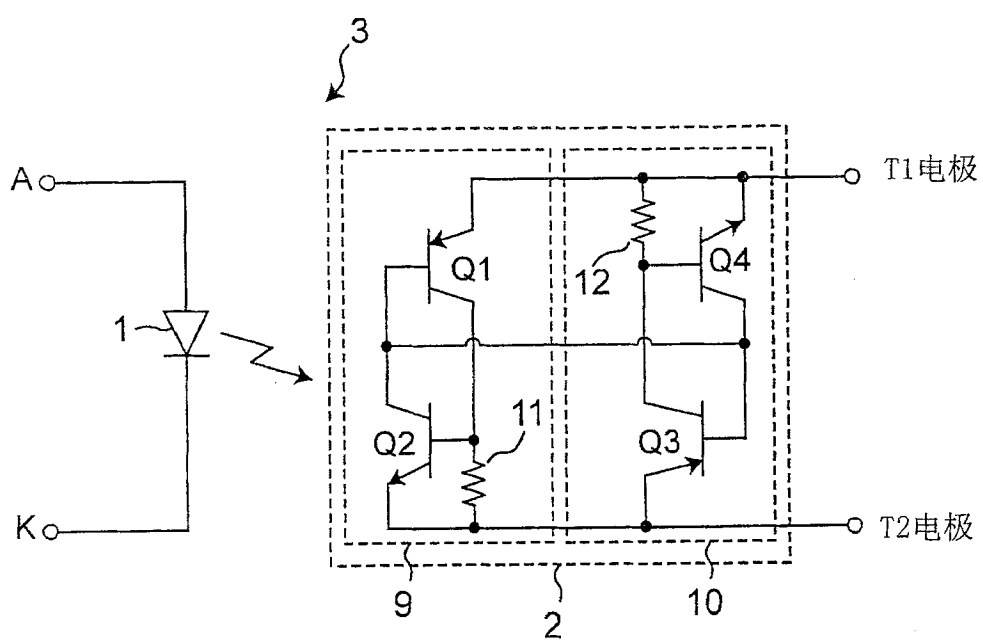


图 10

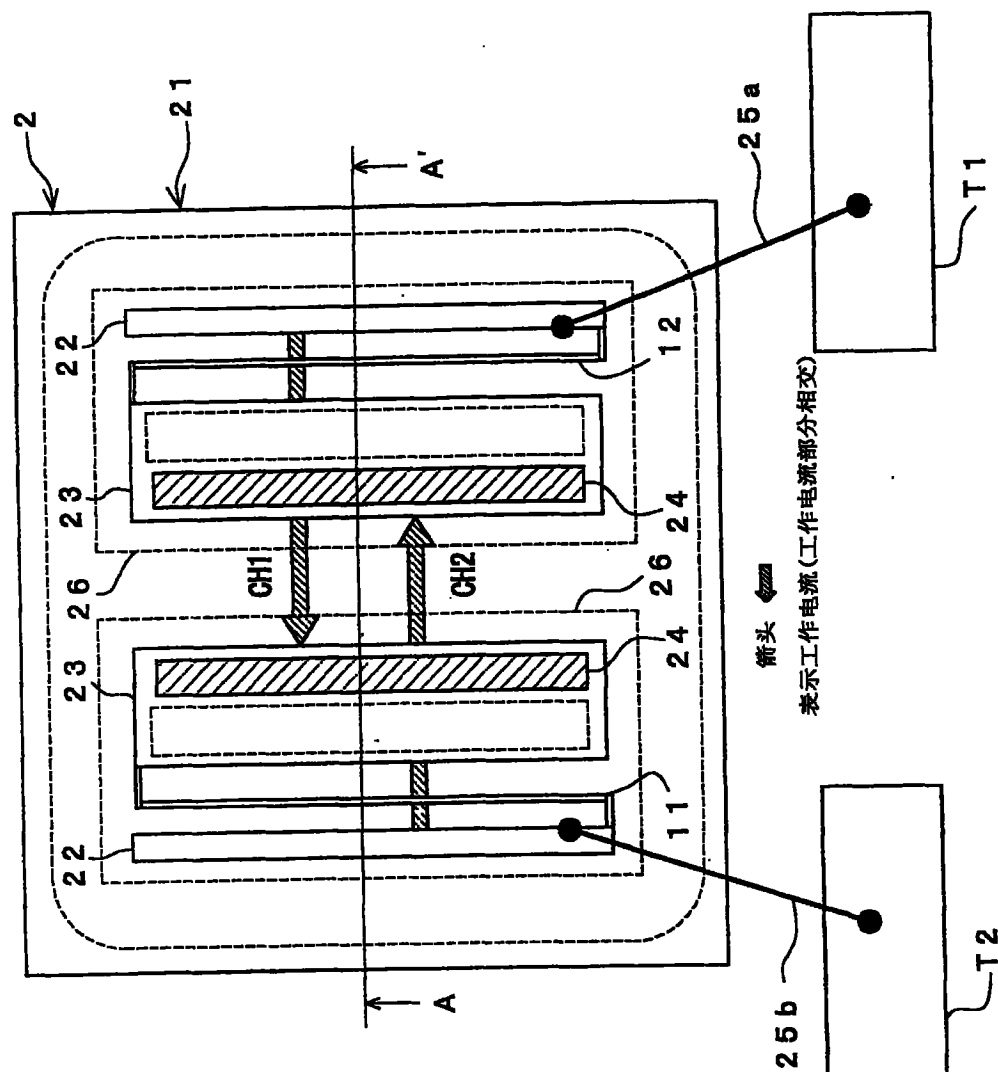


图 11

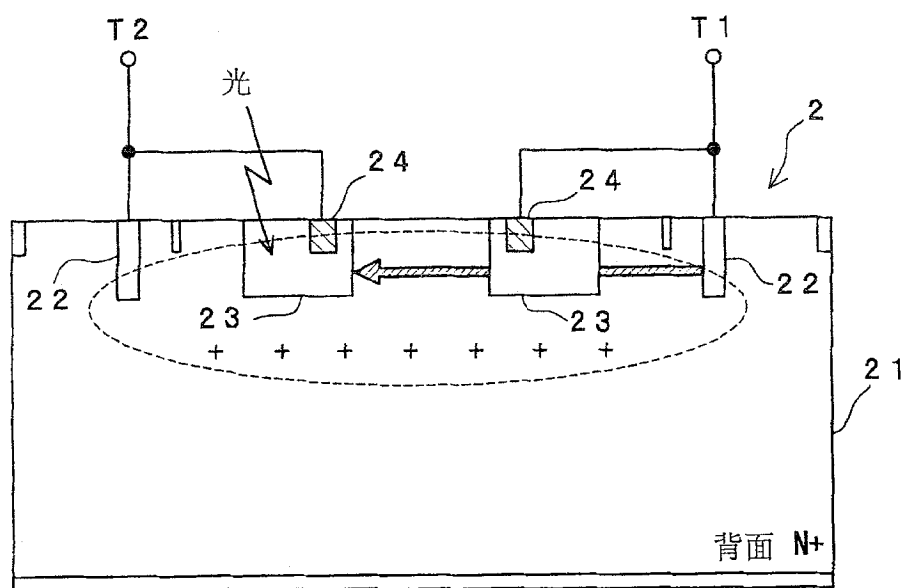


图 12A

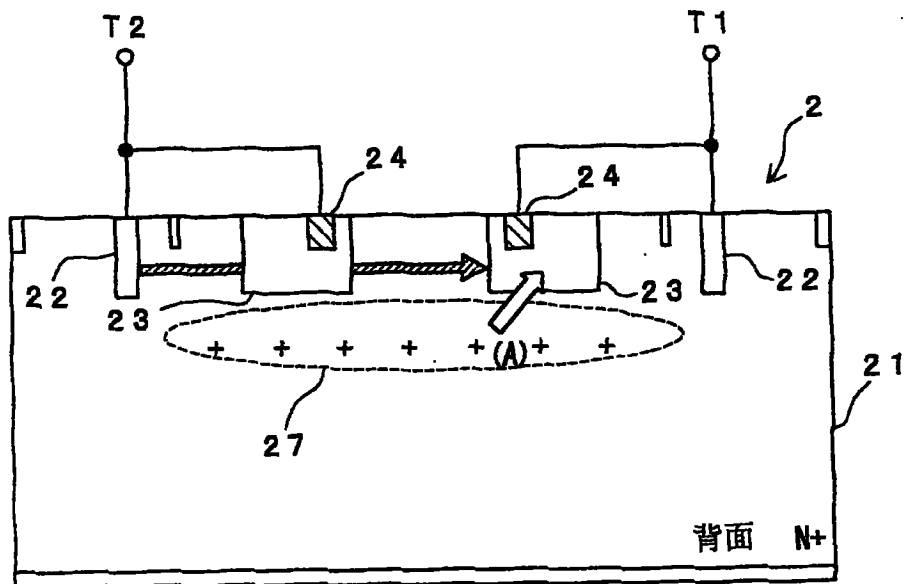


图 12B