

(19)



LE GOUVERNEMENT
DU GRAND-DUCHÉ DE LUXEMBOURG
Ministère de l'Économie

(11)

N° de publication :

LU100596

(12)

BREVET D'INVENTION**B1**

(21)

N° de dépôt: LU100596

(51)

Int. Cl.:

H04N 13/344, G02B 27/01, G06T 19/00

(22)

Date de dépôt: 27/12/2017

(30)

Priorité:

(72)

Inventeur(s):

ZEZE Théophile – 77700 Serris (France)

(43)

Date de mise à disposition du public: 28/06/2019

(74)

Mandataire(s):

Lecomte & Partners Sàrl – L-
2146 Luxembourg (Luxembourg)

(47)

Date de délivrance: 28/06/2019

(73)

Titulaire(s):

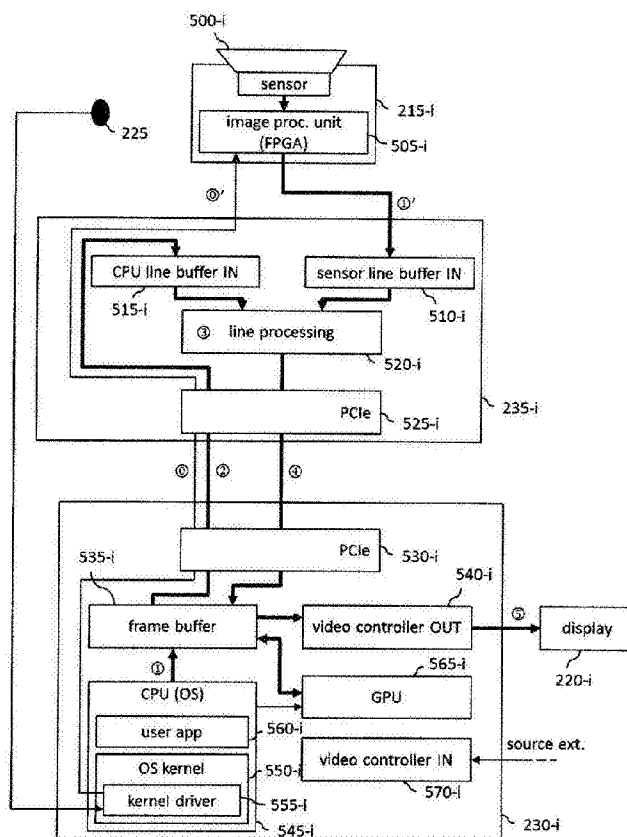
STARBREEZE IP LUX II S.À.R.L. – 2314
LUXEMBOURG (Luxembourg)

(54)

PROCEDE ET DISPOSITIF D'AFFICHAGE A FAIBLE LATENCE ET HAUT TAUX DE RAFFRAICHISSEMENT POUR AFFICHEURS DE REALITE MIXTE A HAUTE DEFINITION.

(57)

L'invention a notamment pour objet un dispositif de traitement d'images pour afficheur (220) comprenant un calculateur (230) et un circuit logique (235), distincts et connectés l'un à l'autre par un bus de communication, le calculateur étant configuré pour transmettre, par fragments, une image de synthèse au circuit logique et pour déclencher la transmission successive de fragments d'images depuis une source d'images externe vers le circuit logique, le circuit logique étant configuré pour combiner un fragment d'une image de synthèse reçu du calculateur et un fragment d'une image reçue de la source d'images externe pour créer un fragment d'une image mixte, le circuit logique étant en outre configuré pour transmettre le fragment créé d'une image mixte audit au moins un calculateur.



**PROCEDE ET DISPOSITIF D’AFFICHAGE A FAIBLE LATENCE ET HAUT
TAUX DE RAFRAICHISSEMENT POUR AFFICHEURS DE REALITE MIXTE
A HAUTE DEFINITION**

5

La présente invention concerne le traitement et l’affichage d’images et plus particulièrement un procédé et un dispositif d’affichage à faible latence et haut taux de rafraichissement pour afficheurs de réalité mixte à haute définition, par exemple pour casques de réalité augmentée.

10

En raison des nombreux avantages qu’ils procurent, notamment en termes d’ergonomie et d’immersion, les visiocasques utilisés pour des applications de réalité virtuelle ou de réalité augmentée, aussi appelés casques de réalité augmentée (pour des applications de réalité augmentée), casques immersifs et HMD (sigle de *head-mounted display* en terminologie anglo-saxonne), connaissent un développement particulièrement important depuis
15 quelques années.

Les applications de réalité augmentée ont pour objet d’ajouter des éléments virtuels à des images réelles, produisant des images augmentées. Ces dernières peuvent résulter de l’ajout d’éléments virtuels sur une vue d’une
20 scène réelle, un tel procédé est connu sous le nom de *optical see-through* en terminologie anglo-saxonne, ou d’une combinaison de plusieurs flux d’images, typiquement d’un flux d’images issu d’une ou plusieurs caméras et d’un flux d’images de synthèse, ce procédé étant connu sous le nom de *video see-through* en terminologie anglo-saxonne.

25

Du fait des mouvements généralement autorisés par le port d’un visiocasque, il est nécessaire, en pratique, de calculer en temps réel le flux d’images de synthèse selon la position de l’utilisateur et la direction observée (ou axe de visée). Le volume de calcul est d’autant plus important que la résolution des écrans d’affichage et le taux de rafraichissement sont élevés. Il
30 existe par exemple des casques de réalité augmentée dont les écrans d’affichage ont une résolution de 2 240 x 2 160 pixels, pour chaque œil, avec une fréquence de rafraichissement de 90 Hz.

Par ailleurs, le temps de latence entre les mouvements de l'utilisateur et l'affichage des images correspondantes (c'est-à-dire des images corrigées selon le changement de pose et de direction de l'axe de visée) doit être très faible pour une meilleure immersion et pour éviter de perturber l'oreille interne de l'utilisateur (rendant l'utilisation du visiocasque très inconfortable, voire impossible après une période de temps relativement courte).

Pour répondre à ces besoins de performances de calcul, certaines solutions utilisent une ou plusieurs unités de traitement graphique (appelées GPU, sigle de *graphics processing unit* en terminologie anglo-saxonne) permettant de paralléliser certaines tâches élémentaires de façon optimale.

La **figure 1** illustre un exemple d'un système de réalité augmentée mixant un flux d'images représentant une scène réelle à un flux d'images de synthèse, notamment d'un casque de réalité augmentée vu de dessus de façon schématique.

Comme illustré, le casque de réalité augmentée 100 est ici relié à un ordinateur 105 via un câble de communication 110 autorisant la transmission d'un volume de données élevé.

Le casque de réalité augmentée 100 comprend ici deux caméras vidéo 115-1 et 115-2, l'une associée à l'œil droit et l'autre à l'œil gauche, deux écrans 120-1 et 120-2 également associés à l'œil droit et à l'œil gauche, respectivement, ainsi que deux haut-parleurs 125-1 et 125-2 situés à proximité des oreilles de l'utilisateur lorsqu'il porte le casque de réalité augmentée (la tête de l'utilisateur est ici schématiquement représentée avec une forme ovale en traits pointillés). Les écrans 120-1 et 120-2 sont par exemple des écrans de type LCD (sigle de *liquid crystal display* en terminologie anglo-saxonne) ou OLED (acronyme de *organic light-emitting diode* en terminologie anglo-saxonne) ayant une résolution de 2 240 x 2 160 pixels.

Le casque de réalité augmentée 100 comprend en outre un capteur 130, par exemple un capteur à 6 degrés de liberté permettant l'obtention d'une position (abscisse, ordonnée et hauteur) dans un espace à 3 dimensions et d'une orientation (roulis, tangage, lacet) dans ce même espace à 3 dimensions.

Les données issues du capteur 130 ainsi que chacun des flux d'images issus des caméras 115-1 et 115-2 sont transmis à l'ordinateur 105. Ces données permettent de générer deux flux d'images virtuelles (un pour chaque œil) liés à la position de l'utilisateur et à l'axe de visée. Les flux
5 d'images issus des caméras 115-1 et 115-2 sont alors combinés avec les flux d'images virtuelles générés et retransmis au casque de réalité augmentée 100 pour être affichés sur les écrans 120-1 et 120-2.

L'ordinateur 105 peut comprendre un ou plusieurs GPU pour combiner les flux d'images en temps réel, par exemple selon une technique
10 d'incrustation aussi connue sous le nom de *chromakey*.

Cependant, malgré la puissance des GPU récents, la résolution croissante des écrans utilisés dans les visiocasques augmente la latence. En outre, la puissance de calcul requise ne permet généralement pas l'utilisation d'un ordinateur miniaturisé, ce qui nécessite, du fait de la quantité de données
15 échangées entre le visiocasque et l'ordinateur, l'utilisation d'un câble de communication. Ce dernier est particulièrement inconfortable pour l'utilisateur.

Il existe donc un besoin pour améliorer le traitement et l'affichage des images dans les casques de réalité augmentée et plus généralement pour les afficheurs de réalité mixte.

20 L'invention permet de résoudre au moins un des problèmes exposés précédemment.

L'invention a ainsi pour objet un dispositif de traitement d'images pour afficheur, le dispositif comprenant au moins un calculateur et au moins un circuit logique, distincts et connectés l'un à l'autre par un bus de
25 communication, ledit au moins un calculateur étant configuré pour transmettre, par fragments, au moins une image de synthèse audit au moins un circuit logique et pour déclencher la transmission successive de fragments d'images depuis au moins une source d'images externe vers ledit au moins un circuit logique, ledit au moins un circuit logique étant configuré pour combiner au
30 moins un fragment d'une image de synthèse reçu dudit au moins un calculateur et au moins un fragment d'une image reçu de ladite au moins une source d'images externe pour créer au moins un fragment d'une image mixte, ledit au

moins un circuit logique étant en outre configuré pour transmettre ledit au moins un fragment créé d'une image mixte audit au moins un calculateur.

Le dispositif selon l'invention permet ainsi l'affichage d'images mixtes de haute résolution avec un haut taux de rafraichissement et un faible temps de latence. L'invention peut en outre être mise en œuvre avec des éléments standard.

Selon un mode de réalisation particulier, ledit au moins un circuit logique comprend au moins deux mémoires tampons distinctes de type premier-entrée / premier-sorti, une desdites au moins deux mémoires tampons étant configurée pour mémoriser des fragments d'images reçus dudit au moins un calculateur et l'autre desdites au moins deux mémoires tampons étant configurée pour mémoriser des fragments d'images reçus de ladite au moins une source d'images externe.

Toujours selon un mode de réalisation particulier, ledit au moins un calculateur est configuré pour recevoir des données de position et/ou d'orientation associées à des images de ladite au moins une source d'images externe et pour générer des fragments d'image de synthèse en fonction de données reçues de position et/ou d'orientation.

Toujours selon un mode de réalisation particulier, ledit au moins un calculateur comprend au moins un microprocesseur et au moins un coprocesseur graphique, ledit au moins un coprocesseur graphique étant configuré pour générer des fragments d'images de synthèse.

Toujours selon un mode de réalisation particulier, ledit au moins un microprocesseur est un microprocesseur multi-cœurs, au moins un cœur étant associé à une fonction de réception de données de position et/ou d'orientation.

Toujours selon un mode de réalisation particulier, le dispositif comprend ladite au moins une source d'images externe, ladite au moins une source d'images externe comprenant au moins un capteur vidéo et au moins un circuit logique élémentaire, le circuit logique élémentaire étant configuré pour transmettre, par fragments successifs, au moins une image issue dudit au moins un capteur vidéo sur réception d'un événement prédéterminé.

Toujours selon un mode de réalisation particulier, le dispositif comprend en outre une interface de communication mettant en œuvre un protocole de communication de type SDI et permettant un transfert de données entre ladite au moins une source d'images externe et ledit au moins un
5 calculateur.

Toujours selon un mode de réalisation particulier, le bus de communication est de type PCI Express.

Toujours selon un mode de réalisation particulier, le dispositif comprend au moins deux calculateurs et au moins deux circuits logiques,
10 formant au moins deux paires comprenant chacune au moins un calculateur et au moins un circuit logique, chaque paire étant associée à au moins une source d'images externe et à au moins un écran pour effectuer un traitement d'images associé à ladite au moins une source d'images externe et audit au moins un écran associé.

15 Toujours selon un mode de réalisation particulier, lesdits au moins deux circuits logiques sont formés dans un même composant de type FPGA.

L'invention a également pour objet un procédé de traitement d'images pour un dispositif pour afficheur, le dispositif comprenant au moins un calculateur et au moins un circuit logique, distincts et connectés l'un à l'autre
20 par un bus de communication, ledit procédé étant exécuté par ledit au moins un calculateur et comprenant les étapes suivantes :

- génération d'un événement de traitement d'une nouvelle image et transmission dudit événement à au moins une source d'images externe pour déclencher la transmission de fragments d'image depuis ladite au moins une
25 source d'images externe vers ledit au moins un circuit logique ;

- suite à la génération dudit événement,

- génération d'au moins un fragment d'au moins une image de synthèse ;

- transmission dudit au moins un fragment généré audit circuit
30 logique ; et

- réception dudit circuit logique d'au moins un fragment d'une image mixte, ledit au moins fragment reçu résultant d'une combinaison

dudit au moins un fragment généré transmis et d'au moins un fragment d'image transmis depuis ladite au moins une source d'images externe vers ledit au moins un circuit logique.

5 Selon un mode de réalisation particulier, le procédé comprend en outre une étape de réception d'au moins une donnée de position et/ou d'orientation, ledit au moins un fragment généré d'au moins une image de synthèse étant généré en fonction de ladite au moins une donnée de position et/ou d'orientation reçue.

10 Le procédé selon l'invention permet ainsi l'affichage d'images mixtes de haute résolution avec un haut taux de rafraichissement et un faible temps de latence. L'invention peut en outre être mise en œuvre avec des éléments standard.

15 L'invention a également pour objet un programme d'ordinateur comprenant des instructions adaptées à la mise en œuvre de chacune des étapes du procédé décrit précédemment lorsque ledit programme est exécuté sur un calculateur ainsi qu'un moyen de stockage d'informations, amovible ou non, partiellement ou totalement lisible par un ordinateur ou un microprocesseur comportant des instructions de code d'un programme d'ordinateur pour l'exécution de chacune des étapes du procédé décrit précédemment.

20 D'autres avantages, buts et caractéristiques de la présente invention ressortent de la description détaillée qui suit, faite à titre d'exemple non limitatif, au regard des dessins annexés dans lesquels :

25 - la **figure 1** illustre un exemple d'un système de réalité augmentée mixant un flux d'images représentant une scène réelle à un flux d'images de synthèse, notamment d'un casque de réalité augmentée vu de dessus de façon schématique ;

30 - la **figure 2** illustre schématiquement un exemple d'architecture d'un système selon l'invention pour traiter et afficher des images à haute définition dans un casque de réalité augmentée, avec une faible latence et un haut taux de rafraichissement ;

 - la **figure 3** illustre certaines phases d'un exemple de mise en œuvre de l'invention ;

- la **figure 4** illustre schématiquement un mécanisme de gestion d'une mémoire utilisée pour stocker temporairement des fragments générés d'une image de synthèse et des fragments d'une image mixte ;
- la **figure 5** illustre schématiquement l'architecture d'une partie du système illustré sur la figure 2, permettant de traiter et afficher des images à haute définition dans un casque de réalité augmentée, pour un œil, avec une faible latence et un haut taux de rafraichissement ;
- les **figures 6a, 6b, 6c et 6d** illustrent un exemple de contenu de mémoires tampons d'un calculateur et d'un circuit logique programmable associé lors d'un traitement en vue de l'affichage d'une nouvelle image mixte ;
- la **figure 7** illustre un exemple d'étapes mises en œuvre dans le calculateur 230-i ;
- la **figure 8** illustre un exemple d'étapes mises en œuvre dans le circuit logique programmable élémentaire 505-i de la caméra vidéo 215-i ; et
- la **figure 9** illustre un exemple d'étapes mises en œuvre dans le circuit logique programmable 235-i.

Selon des modes de réalisation de l'invention, le dispositif de traitement et d'affichage d'images est basé sur une architecture modulaire permettant de traiter de façon distincte ou quasi distincte des images à destination de plusieurs écrans, par exemple à destination de deux écrans correspondant à chacun des yeux. Il est de préférence basé sur des éléments standard programmables. Ces éléments peuvent notamment comprendre des calculateurs, par exemple des calculateurs miniatures intégrant des microprocesseurs multi-cœurs, et des circuits logiques programmables. A titre d'illustration, les calculateurs peuvent être au format carte de crédit pour être intégrés dans le casque de réalité augmentée ou être disposés à proximité, par exemple dans un sac, typiquement un sac à dos, comprenant une partie de l'électronique nécessaire au fonctionnement du casque de réalité augmentée et des sources électriques, par exemple une ou plusieurs batteries. La proximité des différents éléments utilisés permet notamment d'augmenter le débit des données échangées tout en réduisant la latence.

Il est observé ici que l'invention peut être mise en œuvre pour traiter différents types de flux d'images, notamment pour des applications de réalité augmentée selon lesquelles des éléments virtuels sont ajoutés à des représentations de scènes réelles, des applications de virtualité augmentée selon lesquelles des éléments réels sont ajoutés à des représentations de scènes virtuelles ou encore des applications de réalité virtuelle selon lesquelles des éléments virtuels sont ajoutés à des représentations de scènes virtuelles. Ces différentes applications combinant le monde réel et le monde virtuel ou différents mondes virtuels sont, par la suite, appelées applications mixtes, les images correspondantes étant appelées images mixtes.

L'invention a ainsi pour objet de mixer en temps réel un premier flux d'images issu d'une source externe, par exemple un capteur vidéo ou un générateur d'images de synthèse, avec un second flux d'images généré en temps réel selon des caractéristiques du premier flux d'images telles que le point de vue.

La **figure 2** illustre schématiquement un exemple d'architecture d'un système selon l'invention pour traiter et afficher des images à haute définition dans un casque de réalité augmentée, avec une faible latence et un haut taux de rafraichissement.

Le système de réalité augmentée 200 comprend un casque de réalité augmentée 205 et un dispositif de calcul 210 pouvant être distinct du casque de réalité augmentée 205 ou intégré dans celui-ci.

Le casque de réalité augmentée 205 comprend notamment deux caméras vidéo 215-1 et 215-2, deux écrans 220-1 et 220-2 ainsi qu'un capteur de position et/ou orientation 225. Il est observé que les caméras vidéo 215-1 et 215-2 peuvent être distantes du casque de réalité augmentée 205. Dans ce cas, elles peuvent être asservies en mouvement au casque de réalité augmentée 205 (pour viser vers un point « observé » par l'utilisateur) ou les images affichées peuvent être déterminées par la position et/ou l'orientation des caméras vidéo 215-1 et 215-2.

Chacune des caméras vidéo 215-1 et 215-2 comprend un capteur vidéo, par exemple un capteur du type CMOS (acronyme de *complementary*

metal oxide semiconductor en terminologie anglo-saxonne) dont la résolution peut être, à titre d'illustration, de 3 840 x 2 160 pixels (appelée résolution 4K), ainsi qu'un circuit de prétraitement de données permettant le transfert de données issues des capteurs vidéo via une interface de communication, par
5 exemple une interface de communication mettant en œuvre un protocole de communication de type SDI (sigle de *serial digital interface* en terminologie anglo-saxonne).

Selon des modes de réalisation, les caméras vidéo 215-1 et 215-2 sont utilisées dans un mode appelé esclave selon lequel la caméra transmet
10 (ou rend disponible) une image, typiquement élément par élément, par exemple ligne par ligne, suite à la réception d'un événement prédéterminé, par exemple la réception d'un événement nommé *frame_event*.

Les écrans 220-1 et 220-2 sont des écrans standard, typiquement des écrans de type OLED pour casque de réalité augmentée, par exemple des
15 écrans ayant une résolution de 3 840 x 2 160 pixels et une fréquence de rafraîchissement d'au moins 90 Hz. Il est observé ici que les images acquises étant traitées pour être affichées, la résolution de ces écrans peut être différente de celle des capteurs vidéo utilisés.

Selon des modes de réalisation, le capteur de position et/ou
20 orientation 225 est un capteur à 6 degrés de liberté permettant l'obtention d'une position (abscisse, ordonnée et hauteur) dans un espace à 3 dimensions et d'une orientation (roulis, tangage, lacet) dans ce même espace à 3 dimensions.

Comme illustré sur la figure 2, le dispositif de calcul 210 comprend notamment deux calculateurs 230-1 et 230-2 intégrant chacun, en particulier,
25 un microprocesseur ou CPU (sigle de *central processing unit* en terminologie anglo-saxonne), par exemple un microprocesseur multi-cœurs. Ces calculateurs peuvent être intégrés dans un même composant ou dans des composants distincts. Le dispositif de calcul 210 comprend en outre deux circuits logiques programmables 235-1 et 235-2, pouvant également être
30 intégrés dans un même composant ou dans des composants distincts.

A titre d'illustration, les circuits logiques programmables 235-1 et 235-2 peuvent être du type FPGA (sigle de *field-programmable gate array* en

terminologie anglo-saxonne), PLD (sigle de *programmable logic device* en terminologie anglo-saxonne), EPLD (sigle de *erasable programmable logic device* en terminologie anglo-saxonne), CPLD (sigle de *complex programmable logic device* en terminologie anglo-saxonne), PAL (sigle de *programmable array logic* en terminologie anglo-saxonne) ou PLA (sigle de *programmable logic array* en terminologie anglo-saxonne). A des fins d'illustration, il est ici considéré que les circuits logiques programmables 235-1 et 235-2 sont de type FPGA. Ces circuits logiques programmables peuvent également être de type ASIC (acronyme de *application specific integrated circuit* en terminologie anglo-saxonne), c'est-à-dire des composants spécifiques préprogrammés.

Comme illustré, les flux d'images issus des caméras vidéo 215-1 et 215-2 sont transmis vers les circuits logiques programmables 235-1 et 235-2, respectivement, via des bus de communication autorisant un débit suffisant pour minimiser la latence. Dans des modes de réalisation selon lesquels la fréquence de rafraichissement des écrans du casque de réalité augmentée est de 90 Hz et leur résolution est de 3 840 x 2 160, le débit de ce bus est avantageusement d'environ 2,24 GigaBytes/s. Comme décrit précédemment, l'interface de communication peut être du type SDI.

Les calculateurs 230-1 et 230-2 et les circuits logiques programmables 235-1 et 235-2 sont ici connectés les uns aux autres par un bus à haut débit, permettant notamment le transfert de flux d'images de scènes réelles et de flux d'images mixtes ainsi que l'échange de données de contrôle, par exemple un bus de type PCI Express (PCI étant le sigle de *peripheral component interconnect* en terminologie anglo-saxonne), permettant par exemple des débits de 16 GigaBytes/s.

Les calculateurs 230-1 et 230-2 peuvent être connectés aux écrans 220-1 et 220-2 à l'aide de connexions vidéo standard, par exemple des câbles conformes au standard HDMI 2.0 ou Display Port 1.2, afin de transmettre les images mixtes et permettre leur affichage.

La **figure 3** illustre certaines phases d'un exemple de mise en œuvre de l'invention. Selon cet exemple, les images sont traitées par fragments, chaque fragment pouvant notamment correspondre à une portion d'une ligne ou

d'une colonne de l'image traitée, une ligne ou une colonne de l'image traitée ou une pluralité de lignes ou de colonnes de l'image traitée. A des fins d'illustration, il est considéré ici que chaque image est traitée par ligne.

Un événement appelé *frame_event* est généré par l'un des
5 calculateurs ou, de façon synchrone, par chacun des deux calculateurs. Cet événement, référencé 300 sur la figure 3, indique le début de génération d'une nouvelle image de synthèse dans les calculateurs. Selon un mode de réalisation particulier, cet événement est transmis via le bus reliant les calculateurs et les circuits logiques programmables et est relayé par ces
10 derniers vers les caméras vidéo.

Il est observé ici que le mécanisme décrit en référence à la figure 3 est reproduit au moins deux fois dans un dispositif tel que celui décrit en référence à la figure 2, une fois pour traiter les images devant être affichées devant l'œil gauche et une fois pour traiter les images devant être affichées
15 devant l'œil droit.

La réception de l'événement *frame_event* par chaque caméra vidéo déclenche la transmission successive de fragments d'une image acquise vers une mémoire tampon du circuit logique programmable associé. La mémoire tampon est, de préférence, une mémoire de type premier-entré / premier-sorti
20 ou FIFO (acronyme de *first-in first-out* en terminologie anglo-saxonne), organisée par fragments. Le transfert d'une image d'une caméra vidéo vers le circuit logique programmable associé, fragment par fragment (par exemple ligne par ligne), est effectué durant la période 305 suivant l'événement 300.

Suite à l'événement *frame_event*, l'image de synthèse dont une
25 partie doit être intégrée dans une image d'une scène réelle est générée, par fragments, par exemple par lignes. Chaque fragment est ainsi généré par un calculateur, typiquement par un coprocesseur graphique de ce dernier, l'un après l'autre, durant les périodes 310-1, 310-2, 310-3, etc. La fréquence à laquelle ces fragments sont générés est déterminée selon le nombre de
30 fragments à générer et le temps de traitement de chaque fragment.

Après qu'un fragment ait été généré, il est transmis du calculateur l'ayant généré vers le circuit logique programmable associé à celui-ci, comme

illustré avec les références 315-1, 315-2 et 315-3. Il est par exemple mémorisé dans une mémoire tampon de type FIFO, organisée par fragments (par exemple par lignes).

Un fragment généré et reçu par le circuit logique programmable est
5 alors traité par ce dernier avec le fragment correspondant de l'image de la scène réelle reçu du capteur, comme illustré avec les références 320-1, 320-2, 320-3, etc., pour créer un fragment d'une image mixte. Il est observé que les fragments utilisés à ces fins étant ici mémorisés dans des mémoires de type FIFO, les fragments de l'image de synthèse générés par le calculateur sont
10 synchronisés, lors de leur accès par le circuit logique programmable avec ceux de l'image de la scène réelle. Le traitement effectué par le circuit logique programmable consiste par exemple à l'insertion d'éléments d'un fragment généré dans un fragment d'image d'une scène réelle, par exemple selon une méthode de *chromakey*.

15 Il est observé ici que les circuits logiques programmables peuvent être configurés pour générer un fragment d'image mixte avec des nombres différents de fragments d'une image réelle et d'une image de synthèse.

Après obtention, le fragment résultant du traitement (ou de la combinaison) d'un fragment généré avec un fragment de l'image d'une scène
20 réelle est transmis par le circuit logique programmable au calculateur associé, comme illustré avec les références 325-1, 325-2 et 325-3.

L'image reconstituée dans le calculateur, typiquement dans une mémoire tampon de celui-ci, est ensuite transmise à l'écran associé pour être affichée (référence 330).

25 Il est observé ici que la mémoire tampon utilisée pour stocker des fragments d'une image de synthèse peut être la même que celle utilisée pour mémoriser l'image mixte (résultant de la combinaison d'une image de synthèse et d'une image d'une scène réelle) du fait du traitement par fragments. En effet, après avoir été transmis, un fragment généré de l'image de synthèse peut être
30 remplacé par un fragment de l'image mixte.

La **figure 4** illustre un tel mécanisme de gestion de mémoire, selon lequel un fragment généré de l'image de synthèse est transmis vers le circuit

logique programmable, par exemple de type FPGA, pour être combiné avec le fragment correspondant d'une image d'une scène réelle, le résultat de cette combinaison, c'est-à-dire un fragment de l'image mixte, étant ensuite mémorisé à la place du fragment généré précédemment transmis. La flèche sur la
5 représentation de l'image en mémoire indique l'ordre de traitement des fragments (par exemple des lignes).

La **figure 5** illustre schématiquement l'architecture d'une partie du système illustré sur la figure 2, permettant de traiter et afficher des images à haute définition dans un casque de réalité augmentée, pour un œil, avec une
10 faible latence et un haut taux de rafraichissement.

Il est observé ici que l'architecture illustrée sur la figure 5 permettant de traiter des images pour un affichage sur un écran peut être utilisée sans être dupliquée si le système de réalité mixte ne fait appel qu'à un seul écran. De même, il peut être répliqué autant de fois que le système de réalité mixte
15 comprend d'écrans.

Les éléments permettant de traiter et afficher des images à haute définition dans un casque de réalité augmentée, pour un œil, sont notamment ici la caméra vidéo 215-i (l'index i étant ici et par la suite égal à 1 ou 2 selon que le système concerne l'œil gauche ou l'œil droit), le capteur de position et/ou
20 orientation 225, le circuit logique programmable 235-i et le calculateur 230-i.

Il est observé ici que la caméra vidéo 215-i pourrait être remplacée par une autre source de flux d'images dont chaque image pourrait être obtenue sur requêtes (par exemple une interruption ou sur réception d'un événement de type *frame_event*), par exemple une source d'images de synthèse ou un
25 dispositif de stockage stockant un ou plusieurs flux d'images. Selon des modes de réalisation, des informations de position et/ou d'orientation peuvent être associées à chacune de ces images (ou à des groupes d'images) pour permettre la génération d'un flux d'images correspondant dans le calculateur 230-i.

30 Comme illustré, la caméra vidéo 215-i comprend un capteur vidéo 500-i à haute définition ainsi qu'un circuit logique programmable élémentaire 505-i, par exemple de type FPGA, permettant de transmettre des données

issues du capteur vidéo 500-i à un dispositif distant selon un format prédéterminé. Comme décrit précédemment, la caméra vidéo 215-i est, selon des modes de réalisation, utilisée selon un mode esclave selon lequel les données issues du capteur vidéo 500-i sont transmises via une interface de communication suite à la réception d'un événement particulier, par exemple l'événement nommé *frame_event*.

Selon l'exemple illustré, les données issues du capteur vidéo 500-i sont transmises à une première mémoire tampon 510-i du circuit logique programmable 235-i, par exemple via une interface de communication mettant en œuvre un protocole de communication de type SDI. L'interface de communication utilisée est une interface haut-débit.

Le capteur de position et/ou d'orientation 225, de préférence assujéti mécaniquement à la caméra vidéo 215-i ou à un support de celle-ci, transmet des données de position et/ou d'orientation au calculateur 230-i, de préférence selon 6 degrés de liberté comme décrit précédemment. Ces informations de position et/ou d'orientation peuvent, par exemple, permettre à ce dernier de générer des images de synthèse selon un point de vue ajusté en temps réel.

Comme illustré, outre la première mémoire tampon 510-i configurée pour recevoir des fragments d'images de la caméra vidéo 215-i, le circuit logique programmable 235-i comprend une seconde mémoire tampon 515-i configurée pour recevoir des fragments d'images de synthèse générées par le calculateur 230-i.

Les mémoires tampons 510-i et 515-i sont de préférence similaires. Il s'agit par exemple de mémoire de type FIFO dont les entrées et les sorties sont des fragments d'images, par exemple des lignes d'images. Par conséquent, un même emplacement dans ces mémoires correspond à un même emplacement dans les images dont des fragments sont mémorisés (en considérant des images de mêmes dimensions). Dans un mode de réalisation particulier, chacune des mémoires tampons 510-i et 515-i permet de stocker quelques fragments d'images (i.e. quelques fragments d'une image de synthèse ou d'une image reçue de la caméra vidéo 215-i, par exemple entre 2 et 10 lignes d'une image).

Le circuit logique programmable 235-i comprend en outre un module de calcul 520-i permettant de combiner des fragments d'images appartenant à au moins deux images différentes en fragments d'une seule image. Selon des modes de réalisation particuliers, le module de calcul 520-i est configuré pour

5 permettre différents modes de combinaison de fragments, le choix du mode étant par exemple paramétré par le calculateur 230-i. Un de ces modes peut correspondre au *chromakey*. Il existe d'autres modes de combinaison d'images, par exemple la fusion (ou *blending* en terminologie anglo-saxonne). Comme décrit précédemment, le nombre de fragments obtenus de la mémoire tampon

10 510-i et le nombre de fragments obtenus de la mémoire tampon 515-i pour produire un ou plusieurs fragments d'une image mixte peuvent être différents. Ces nombres sont typiquement gérés par le module de calcul 520-i selon le mode de combinaison utilisé.

Par ailleurs, le circuit logique programmable 235-i comprend un

15 module de communication 525-i, par exemple de type PCI Express, pour échanger des données avec, notamment, le calculateur 230-i. Le module de communication 525-i permet, en particulier, de transférer des données reçues du calculateur 230-i dans la mémoire tampon 515-i et de transférer vers le calculateur 230-i des données résultant d'un traitement effectué dans le module

20 de calcul 520-i.

Il est observé ici que pour traiter des données relatives aux deux yeux d'un utilisateur, des données peuvent être échangées entre les calculateurs 230-1 et 230-2 et/ou les circuits logiques programmables 235-1 et 235-2, par exemple pour prendre en compte les données communes entre les

25 images visualisées par chaque œil ou entre les images utilisées pour générer ces dernières. Dans un souci de clarté, ces connexions ne sont pas représentées sur la figure 5.

Comme le circuit logique programmable 235-i, le calculateur 230-i comprend un module de communication 530-i, par exemple de type PCI

30 Express. Il est similaire ou compatible avec celui du circuit logique programmable 235-i pour permettre un échange de données entre ces entités.

Le calculateur 230-i comprend en outre au moins une mémoire tampon 535-i pour stocker des fragments d'images de synthèse générés par le calculateur 230-i en fonction de données de position et/ou d'orientation reçues du capteur 225 et pour stocker des fragments d'images mixtes reçus du circuit
5 logique programmable 235-i. La transmission de fragments d'images stockés dans cette mémoire tampon vers l'écran d'affichage 220-i peut être effectuée, par exemple, par le contrôleur vidéo de sortie 540-i.

A titre d'illustration, la mémoire tampon 535-i peut stocker des fragments d'images tels que ceux décrits en référence à la figure 4.

10 Le calculateur 230-i comprend un ou plusieurs microprocesseurs 545-i, par exemple un ou plusieurs microprocesseurs multi-cœurs, dans lesquels sont exécutés un ou plusieurs systèmes d'exploitation ou OS (sigle de *operating system* en terminologie anglo-saxonne) avec leur noyau 550-i et des pilotes 555-i (couramment appelés drivers) prenant en charge les transferts de
15 données vers d'autres modules, permettant l'exécution d'applications 560-i.

Une ou plusieurs applications sont notamment exécutées par au moins un cœur pour contrôler la génération d'images de synthèse, au moins une partie des calculs nécessaires à la génération de ces images étant avantageusement effectuée dans un ou plusieurs coprocesseurs graphiques
20 565-i comme illustré sur la figure 5 par le lien entre le ou les microprocesseurs 545-i et le ou les coprocesseurs graphiques 565-i.

Le calculateur 230-i peut également comprendre un contrôleur vidéo d'entrée 570-i pour recevoir des fragments d'images, par exemple des fragments d'images de synthèse générés par une autre source. Ces fragments
25 peuvent venir en complément ou à la place de ceux générés par le calculateur 230-i. Ils peuvent être stockés dans la mémoire tampon 535-i afin d'être traités de la même façon que les fragments générés par le calculateur 230-i.

Selon des modes de réalisation particuliers, des processus particuliers sont assignés à un ou plusieurs cœurs du ou des microprocesseurs
30 du calculateur 230-i afin que ces processus ne soient pas perturbés par des interruptions visant d'autres fonctions. De tels processus sont, par exemple, liés à la réception de données de position et/ou d'orientation, afin que cette

réception ne soit pas perturbée par d'autres processus, notamment la génération d'images de synthèse, et que des données de position et/ou orientation récentes puissent être utilisées.

5 Toujours selon des modes de réalisation particuliers, les processus de traitement et d'affichage d'images mixtes sont initiés par les calculateurs, c'est-à-dire par un calculateur pour un œil et par un autre calculateur pour l'autre œil, ces processeurs étant synchronisés et exécutant les mêmes processus en parallèle.

10 Comme décrit en référence à la figure 3, lorsqu'une image doit être traitée et affichée, le calculateur 230-i génère un événement de type *frame_event* qui est transmis au circuit logique programmable 235-i, ce dernier le relayant, par exemple sous forme d'une interruption, à la caméra vidéo 215-i, comme représenté avec les références ① et ①'.

15 Suite à cet événement, le calculateur 230-i génère des fragments d'une image de synthèse, par exemple des lignes d'image qui sont stockées dans la mémoire tampon 535-i (référence ①). Parallèlement, l'événement *frame_event* déclenche, dans la caméra vidéo 215-i, la transmission de fragments d'une image obtenue par le capteur vidéo 500-i vers la mémoire tampon 510-i du circuit logique programmable 235-i (référence ①').

20 Un tel transfert peut avantageusement être effectué selon un mode de transfert de données connu sous le nom de DMA (sigle de *direct memory access* en terminologie anglo-saxonne), permettant un transfert rapide des données. Selon ce mode de transmission, les données sont transférées directement par un contrôleur de mémoire vers une mémoire cible, sans
25 intervention d'un microprocesseur.

Lorsqu'au moins un fragment d'image de synthèse est stocké dans la mémoire tampon 535-i du calculateur 230-i, un fragment d'image est transmis depuis cette mémoire tampon vers la mémoire tampon 515-i du circuit logique programmable 235-i, comme représenté avec la référence ②.

30 A nouveau, ce transfert utilise avantageusement le mode DMA.

Lorsque des fragments d'images sont disponibles dans les mémoires tampons 510-i et 515-i, au moins un fragment d'image de chacune de ces

mémoires tampons est transmis au module de calcul 520-i pour générer au moins un fragment d'image mixte (référence ③). Comme décrit précédemment, le nombre de fragments d'image obtenus des mémoires tampons 510-i et 515-i pour générer un ou plusieurs fragments d'image mixte dépend du traitement effectué.

A nouveau, l'utilisation de mémoires tampons de type FIFO, pour les mémoires tampons 510-i et 515-i permet d'assurer très simplement une synchronisation entre les fragments d'image.

Le ou les fragments d'image mixte obtenus dans le module de calcul 520-i sont ensuite transmis vers la mémoire tampon 535-i du calculateur 230-i (référence ④), par exemple à l'emplacement du fragment d'image de synthèse générée utilisé pour l'obtention du fragment d'image mixte à mémoriser, comme décrit en référence à la figure 4. A nouveau, un mode de transfert de données de type DMA est, de préférence, utilisé.

Lorsque tous les fragments de l'image de synthèse générés dans le calculateur 230-i ont été traités (i.e. transmis au circuit logique programmable 235-i) et que tous les fragments d'image mixte ont été reçus par le calculateur 230-i, l'image mixte peut être affichée (référence ⑤). Selon un mode de réalisation particulier, l'affichage sur l'écran 220-i peut être géré, de façon classique, par le contrôleur vidéo de sortie 540-i.

Comme décrit précédemment, l'architecture illustrée sur la figure 5 peut être dupliquée pour traiter et afficher les images de l'œil gauche et de l'œil droit ou peut être répliquée autant de fois que le système comprend d'écrans.

Les **figures 6a, 6b, 6c et 6d** illustrent un exemple de contenu de mémoires tampons d'un calculateur et d'un circuit logique programmable associé lors d'un traitement en vue de l'affichage d'une nouvelle image mixte.

A titre d'illustration, la mémoire tampon 535-i du calculateur 230-i et les mémoires tampons 510-i et 515-i du circuit logique programmable 235-i sont ici considérées.

Les figures 6a, 6b, 6c et 6d correspondent à quatre instants successifs. Ainsi, par exemple, la figure 6a représente le contenu des mémoires tampons à un instant t , la figure 6b représente le contenu de ces mémoires

tampons à un instant $t+1$, la figure 6c représente le contenu de ces mémoires tampons à un instant $t+2$ et la figure 6d représente le contenu de ces mémoires tampons à un instant $t+3$.

5 Dans un souci de clarté, il est considéré ici que les images sont traitées par lignes.

Selon cet exemple, la mémoire tampon 535-i peut stocker au moins une image complète (i.e. une image virtuelle ou une image mixte) tandis que les mémoires tampons 510-i et 515-i ne peuvent stocker que quelques lignes d'images.

10 Comme illustré sur la figure 6a, après qu'un événement de type *frame_event* ait été généré, des lignes d'une image de synthèse sont générées et stockées dans la mémoire tampon 535-i du calculateur 230-i. Trois lignes générées pour l'image de synthèse référencée *imag_S(k)*, numérotées 1 à 3, sont ici mémorisées.

15 En parallèle, des lignes d'une image réelle, obtenue d'une caméra et correspondant à l'image de synthèse générée (partageant ici le même index k), sont transférées vers la mémoire tampon 510-i du circuit logique programmable 235-i. Dans l'exemple illustré, deux lignes numérotées 1 et 2 de l'image réelle référencée *imag_R(k)* sont mémorisées dans la mémoire tampon 510-i.

20 A cet instant, aucune ligne correspondant à l'image de synthèse *imag_S(k)* n'a encore été transférée vers la mémoire tampon 515-i du circuit logique programmable 235-i. La mémoire tampon 515-i est donc vide.

A un instant suivant, comme illustré sur la figure 6b, une quatrième ligne de l'image de synthèse *imag_S(k)* a été générée et stockée dans la
25 mémoire tampon 535-i du calculateur 230-i qui stocke alors quatre lignes de l'image de synthèse *imag_S(k)*.

De même, deux nouvelles lignes de l'image réelle *imag_R(k)* ont été transférées depuis la caméra vidéo vers la mémoire tampon 510-i qui contient alors quatre lignes de l'image réelle *imag_R(k)*.

30 Par ailleurs, la première ligne de l'image de synthèse *imag_S(k)* a été transférée depuis la mémoire tampon 535-i du calculateur 230-i vers la mémoire tampon 515-i du circuit logique programmable 235-i.

Les mémoires tampons 510-i et 515-i contenant des lignes équivalentes de l'image réelle et de l'image de synthèse (i.e. la ligne 1), ces lignes peuvent être traitées pour créer une ligne d'une image mixte.

Comme illustré sur la figure 6c, la ligne créée de l'image mixte, 5 référencée $imag_M(k)$, est mémorisée dans la mémoire tampon 535-i du calculateur 230-i, à la place de la ligne de l'image de synthèse qui a été utilisée à ces fins (i.e. la ligne 1).

Les lignes de l'image de synthèse et de l'image réelle utilisées pour créer cette ligne de l'image mixte ont disparu des mémoires tampons 510-i et 10 515-i (selon le principe des mémoires de type FIFO). Par ailleurs, de nouvelles lignes de l'image de synthèse et de l'image réelle ont été transférées vers les mémoires tampons 510-i et 515-i, respectivement.

Dans cet exemple, aucune nouvelle ligne de l'image de synthèse n'a été mémorisée dans la mémoire tampon 535-i du calculateur 230-i.

15 A nouveau, les mémoires tampons 510-i et 515-i contenant des lignes équivalentes de l'image réelle et de l'image de synthèse, respectivement, ces lignes peuvent être traitées pour créer une ou plusieurs lignes d'une image mixte.

Ainsi, comme illustré sur la figure 6d, la seconde ligne créée de 20 l'image mixte est mémorisée dans la mémoire tampon 535-i du calculateur 230-i, à la place de la ligne de l'image de synthèse qui a été utilisée à ces fins. Les lignes de l'image de synthèse et de l'image réelle utilisées pour créer cette ligne de l'image mixte disparaissent des mémoires tampons 510-i et 515-i et de nouvelles lignes de l'image de synthèse et de l'image réelle ont été transférées 25 vers les mémoires tampons 510-i et 515-i, respectivement.

Dans cet exemple, une nouvelle ligne de l'image de synthèse a été mémorisée dans la mémoire tampon 535-i du calculateur 230-i.

Le processus se poursuit ainsi jusqu'à ce que toutes les lignes de l'image mixte aient été créées.

30 La **figure 7** illustre un exemple d'étapes mises en œuvre dans le calculateur 230-i.

Comme illustré, une première étape (étape 700) a pour objet d'initialiser les variables r et n à la valeur de la variable k qui représente l'index de la dernière image de synthèse générée. La variable n représente un index d'images de synthèse dont des fragments doivent être transmis au circuit
5 logique programmable et la variable r représente un index d'images mixtes dont des fragments doivent être mémorisés dans le calculateur.

Lorsqu'un événement de type *frame_event* est détecté (étape 705), la variable l est initialisée à la valeur un et la variable k est incrémentée de un (étape 710). La variable l représente un index de fragments dans l'image de
10 synthèse qui est générée.

Le fragment l de l'image de synthèse $imag_S(k)$ est alors généré (étape 715) puis stocké dans la mémoire tampon 535-i du calculateur 230-i (étape 720). Dans une étape suivante, un test est effectué pour déterminer si l'index l a atteint sa valeur maximale ($maxL$), c'est-à-dire pour déterminer si
15 l'index l correspond au dernier fragment de l'image de synthèse qui est générée (étape 725).

Si l'index l n'a pas atteint sa valeur maximale ($maxL$), l'index l est incrémenté de un (étape 730) et les étapes 715 et 720 sont répétées pour générer et stocker un nouveau fragment d'image de synthèse.

20 Dans le cas contraire, si l'index l a atteint sa valeur maximale ($maxL$), un test est effectué pour déterminer si la mémoire tampon 535-i du calculateur 230-i contient un espace libre (étape 735) permettant de générer et stocker de nouveaux fragments d'images de synthèse.

Parallèlement, lorsqu'au moins un fragment d'une image de synthèse
25 a été généré et stocké (étapes 715 et 720), la variable m est initialisée à la valeur un et la variable n est incrémentée de un (étape 740). La variable m représente un index de fragments dans l'image de synthèse générée qui est transmise au circuit logique programmable 235-i.

Dans une étape suivante, le fragment m de l'image $imag_S(n)$ est
30 transmis au circuit logique programmable 235-i (étape 745) pour être stocké dans la mémoire tampon 515-i.

Un test est ensuite effectué pour déterminer si l'index m a atteint sa valeur maximale ($maxL$), c'est-à-dire pour déterminer si l'index m correspond au dernier fragment de l'image de synthèse à transmettre (étape 750).

Si l'index m n'a pas atteint sa valeur maximale ($maxL$), l'index m est
5 incrémenté de un (étape 755) et l'étape 745 est répétée pour transmettre le fragment suivant.

Si, au contraire, l'index m a atteint sa valeur maximale ($maxL$), un test est effectué pour déterminer s'il existe des fragments d'une image de synthèse suivante à transmettre (étape 760). S'il existe des fragments d'une
10 image de synthèse suivante à transmettre, les étapes 740 à 755 sont répétées.

Parallèlement encore, si au moins un fragment d'une image de synthèse a été transféré à la mémoire tampon 515-i du circuit logique 235-i, la variable q est initialisée à la valeur un et la variable r est incrémentée de un (étape 765). La variable q représente un index de fragments dans une image
15 mixte qui doit être reçue du circuit logique programmable 235-i.

Dans une étape suivante, lorsque le fragment q de l'image mixte $imag_M(r)$ est reçu du circuit logique programmable 235-i, il est stocké dans la mémoire tampon 535-i du calculateur 230-i à l'emplacement défini par les variables q et r (étape 770).

20 Un test est ensuite effectué pour déterminer si l'index q a atteint sa valeur maximale ($maxL$), c'est-à-dire pour déterminer si l'index q correspond au dernier fragment de l'image mixte à recevoir (étape 775).

Si l'index q n'a pas atteint sa valeur maximale ($maxL$), l'index q est incrémenté de un (étape 780) et l'étape 770 est répétée pour recevoir le
25 fragment suivant.

Si, au contraire, l'index q a atteint sa valeur maximale ($maxL$), un événement est généré pour afficher l'image mixte reçue (étape 785) et un test est effectué pour déterminer s'il existe des fragments d'une image mixte suivante à recevoir (étape 790). S'il existe des fragments d'une image mixte
30 suivante à recevoir, les étapes 765 à 785 sont répétées.

La **figure 8** illustre un exemple d'étapes mises en œuvre dans le circuit logique programmable élémentaire 505-i de la caméra vidéo 215-i.

Lorsqu'un événement de type *frame_event* est détecté (étape 800), les fragments de la dernière image acquise par le capteur vidéo 500-1, représentant une scène réelle, sont transmis, de façon successive, au circuit logique programmable 235-i pour être mémorisés dans la mémoire tampon 510-i (étape 805).

La **figure 9** illustre un exemple d'étapes mises en œuvre dans le circuit logique programmable 235-i.

Comme illustré, dès qu'il est déterminé qu'un fragment d'une image de synthèse est mémorisé dans la mémoire tampon 515-i et qu'un fragment d'une image réelle est mémorisé dans la mémoire tampon 510-i (étape 900), au moins un fragment de chacune de ces images, correspondant l'un à l'autre, est utilisé par un module de calcul pour les combiner et créer un fragment d'une image mixte (étape 905). Ce fragment d'image mixte est ensuite transmis au calculateur 230-i comme décrit précédemment (étape 910).

Naturellement, pour satisfaire des besoins spécifiques, une personne compétente dans le domaine de l'invention pourra appliquer des modifications dans la description précédente. La présente invention ne se limite pas aux formes de réalisation décrites, d'autres variantes et combinaisons de caractéristiques sont possibles.

En particulier, alors que l'invention a été décrite en référence à l'utilisation d'un calculateur et d'un circuit logique programmable associé, d'autres configurations équivalentes peuvent être mises en œuvre.

La présente invention a été décrite et illustrée dans la présente description détaillée en référence aux figures jointes. Toutefois, la présente invention ne se limite pas aux formes de réalisation présentées. D'autres variantes et modes de réalisation peuvent être déduits et mis en œuvre par la personne compétente dans le domaine de l'invention à la lecture de la présente description et des figures annexées.

Dans les revendications, le terme « comporter » n'exclut pas d'autres éléments ou d'autres étapes. L'article indéfini « un » n'exclut pas le pluriel. Un seul processeur ou plusieurs autres unités peuvent être utilisés pour mettre en œuvre l'invention. Les différentes caractéristiques présentées et/ou

revendiquées peuvent être avantageusement combinées. Leur présence dans la description ou dans des revendications dépendantes différentes n'exclut pas, en effet, la possibilité de les combiner. Les signes de référence ne sauraient être compris comme limitant la portée de l'invention.

REVENDEICATIONS

1. Dispositif de traitement d'images pour afficheur (220), le dispositif
5 comprenant au moins un calculateur (230) et au moins un circuit logique (235),
distincts et connectés l'un à l'autre par un bus de communication, ledit au moins
un calculateur étant configuré pour transmettre, par fragments, au moins une
image de synthèse audit au moins un circuit logique et pour déclencher la
10 transmission successive de fragments d'images depuis au moins une source
d'images externe vers ledit au moins un circuit logique, ledit au moins un circuit
logique étant configuré pour combiner au moins un fragment d'une image de
synthèse reçu dudit au moins un calculateur et au moins un fragment d'une
image reçu de ladite au moins une source d'images externe pour créer au
15 moins un fragment d'une image mixte, ledit au moins un circuit logique étant en
outre configuré pour transmettre ledit au moins un fragment créé d'une image
mixte audit au moins un calculateur.

2. Dispositif selon la revendication 1 selon lequel ledit au moins un
circuit logique comprend au moins deux mémoires tampons distinctes de type
20 premier-entré / premier-sorti, une desdites au moins deux mémoires tampons
étant configurée pour mémoriser des fragments d'images reçus dudit au moins
un calculateur et l'autre desdites au moins deux mémoires tampons étant
configurée pour mémoriser des fragments d'images reçus de ladite au moins
une source d'images externe.

25

3. Dispositif selon la revendication 1 ou la revendication 2 selon
lequel ledit au moins un calculateur est configuré pour recevoir des données de
position et/ou d'orientation associées à des images de ladite au moins une
source d'images externe et pour générer des fragments d'image de synthèse
30 en fonction de données reçues de position et/ou d'orientation.

4. Dispositif selon l'une quelconque des revendications 1 à 3 selon lequel ledit au moins un ordinateur comprend au moins un microprocesseur et au moins un coprocesseur graphique, ledit au moins un coprocesseur graphique étant configuré pour générer des fragments d'images de synthèse.

5

5. Dispositif selon la revendication 4 dépendante de la revendication 3 selon lequel ledit au moins un microprocesseur est un microprocesseur multi-cœurs, au moins un cœur étant associé à une fonction de réception de données de position et/ou d'orientation.

10

6. Dispositif selon l'une quelconque des revendications 1 à 5 comprenant ladite au moins une source d'images externe, ladite au moins une source d'images externe comprenant au moins un capteur vidéo (500) et au moins un circuit logique élémentaire (505), le circuit logique élémentaire étant configuré pour transmettre, par fragments successifs, au moins une image issue dudit au moins un capteur vidéo sur réception d'un événement prédéterminé.

15

7. Dispositif selon la revendication 6 comprenant en outre une interface de communication mettant en œuvre un protocole de communication de type SDI et permettant un transfert de données entre ladite au moins une source d'images externe et ledit au moins un ordinateur.

20

8. Dispositif selon l'une quelconque des revendications 1 à 7 selon lequel le bus de communication est de type PCI Express.

25

9. Dispositif selon l'une quelconque des revendications 1 à 8 comprenant au moins deux ordinateurs (230-1, 230-2) et au moins deux circuits logiques (235-1, 235-2), formant au moins deux paires comprenant chacune au moins un ordinateur et au moins un circuit logique, chaque paire étant associée à au moins une source d'images externe et à au moins un écran

30

pour effectuer un traitement d'images associé à ladite au moins une source d'images externe et audit au moins un écran associés.

5 **10.** Dispositif selon la revendication 9 selon lequel lesdits au moins deux circuits logiques sont formés dans un même composant de type FPGA.

10 **11.** Procédé de traitement d'images pour un dispositif pour afficheur (220), le dispositif comprenant au moins un calculateur (230) et au moins un circuit logique (235), distincts et connectés l'un à l'autre par un bus de communication, ledit procédé étant exécuté par ledit au moins un calculateur et comprenant les étapes suivantes :

- génération d'un événement de traitement d'une nouvelle image et transmission dudit événement à au moins une source d'images externe pour déclencher la transmission de fragments d'image depuis ladite au moins une source d'images externe vers ledit au moins un circuit logique ;
- suite à la génération dudit événement,
 - génération d'au moins un fragment d'au moins une image de synthèse ;
 - transmission dudit au moins un fragment généré audit circuit
- 20 logique ; et
 - réception dudit circuit logique d'au moins un fragment d'une image mixte, ledit au moins fragment reçu résultant d'une combinaison dudit au moins un fragment généré transmis et d'au moins un fragment d'image transmis depuis ladite au moins une source d'images externe
- 25 vers ledit au moins un circuit logique.

30 **12.** Procédé selon la revendication 11, le procédé comprenant en outre une étape de réception d'au moins une donnée de position et/ou d'orientation, ledit au moins un fragment généré d'au moins une image de synthèse étant généré en fonction de ladite au moins une donnée de position et/ou d'orientation reçue.

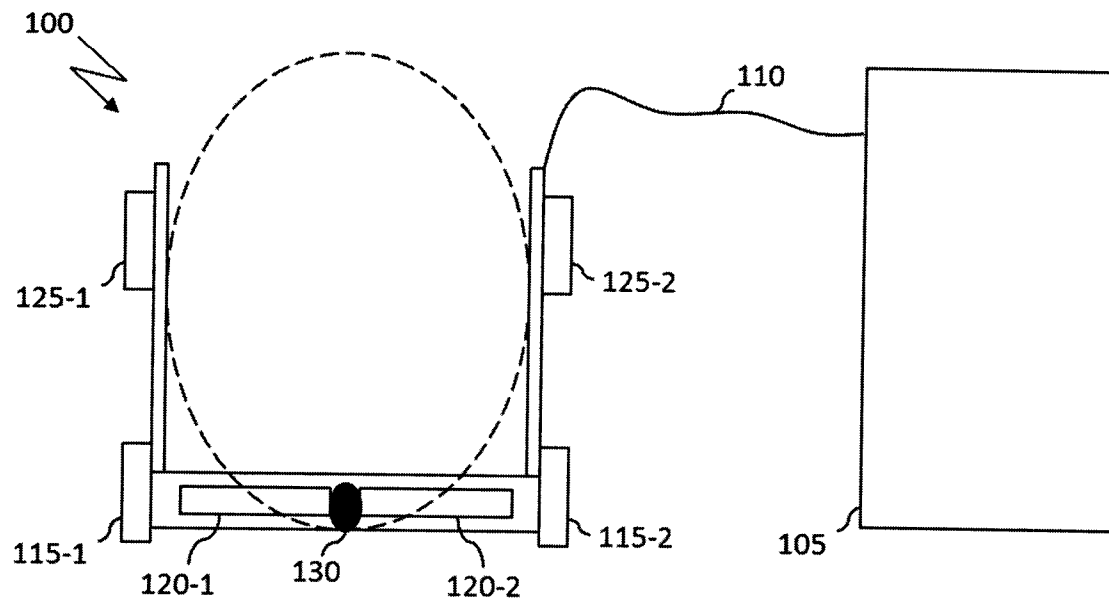


Fig. 1

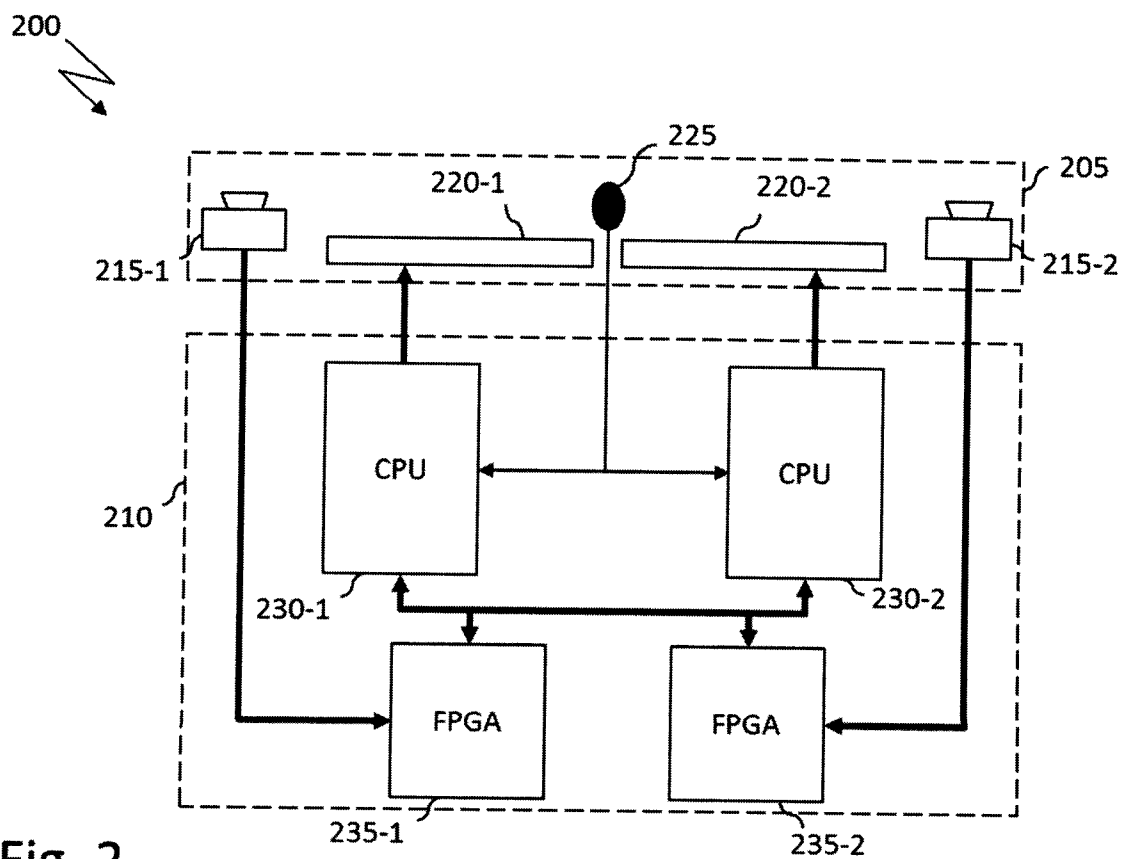


Fig. 2

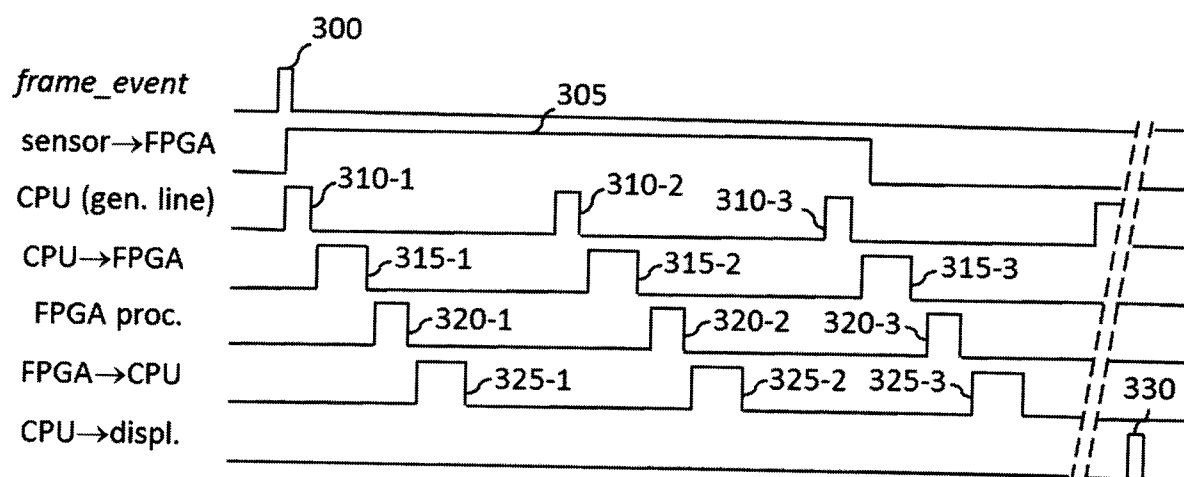


Fig. 3

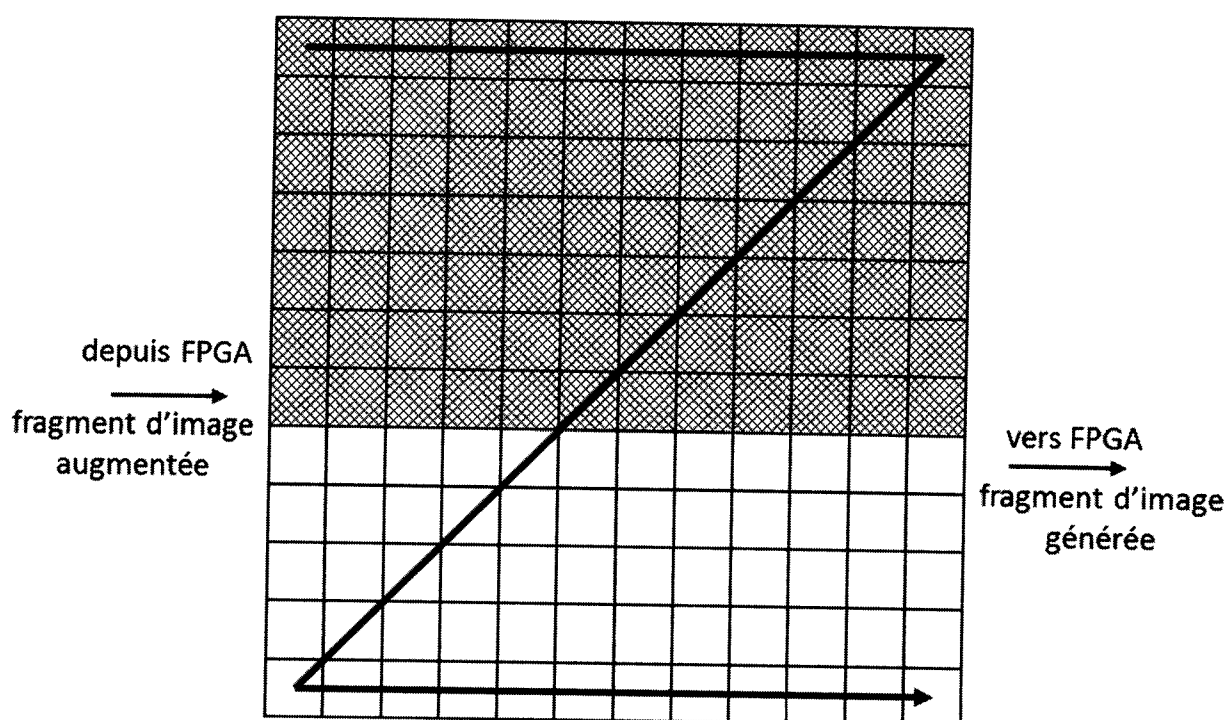


Fig. 4

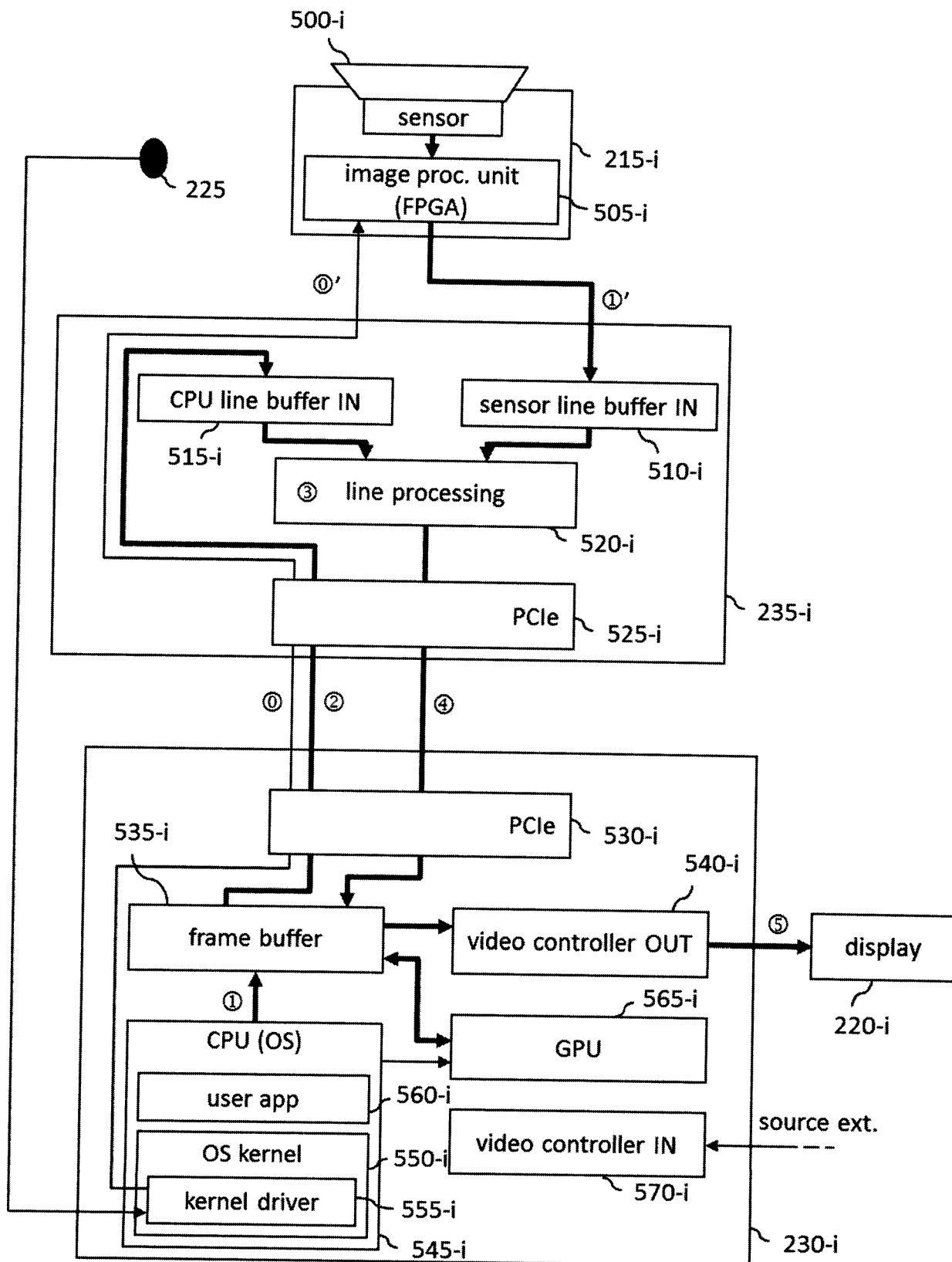


Fig. 5

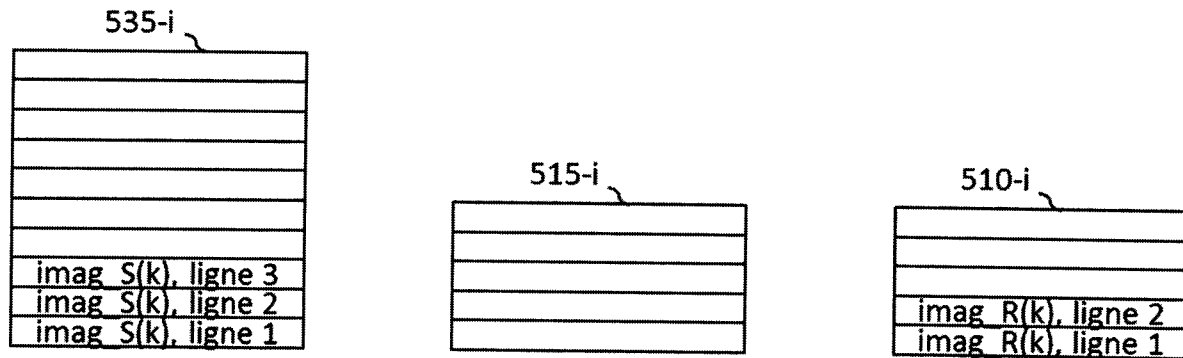


Fig. 6a

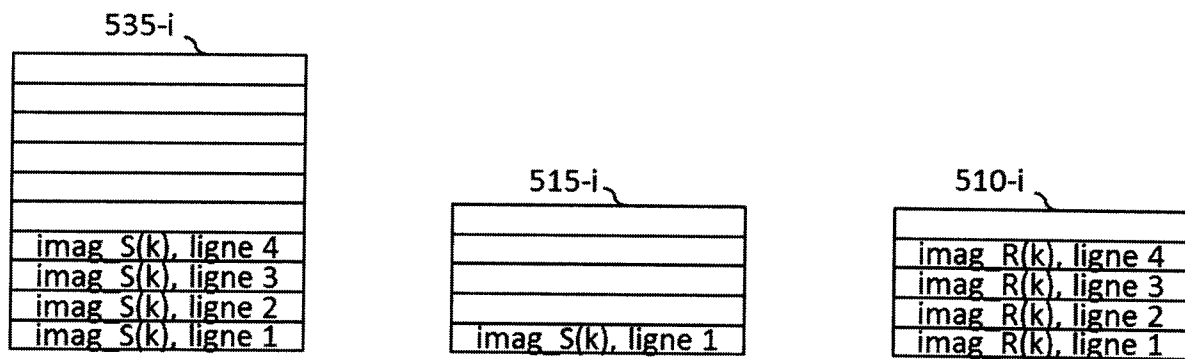


Fig. 6b

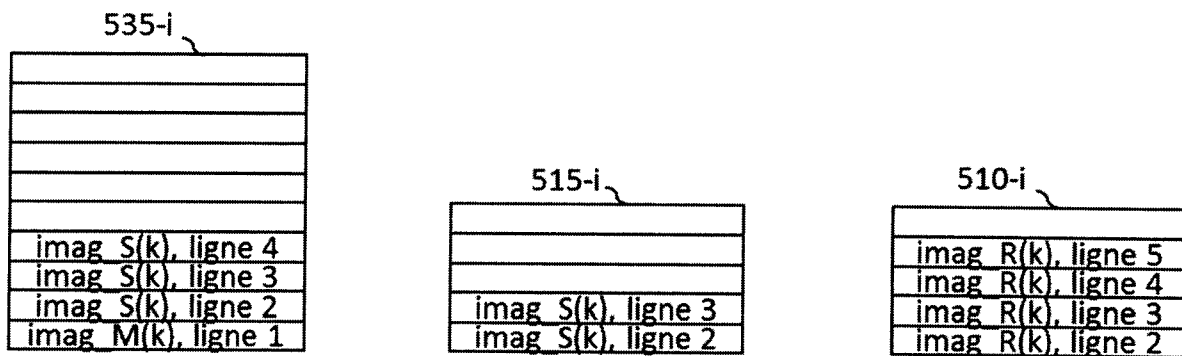


Fig. 6c

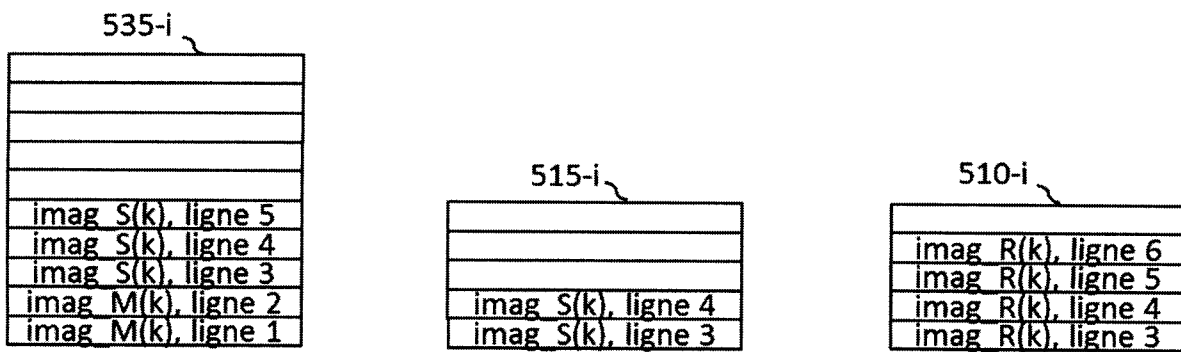


Fig. 6d

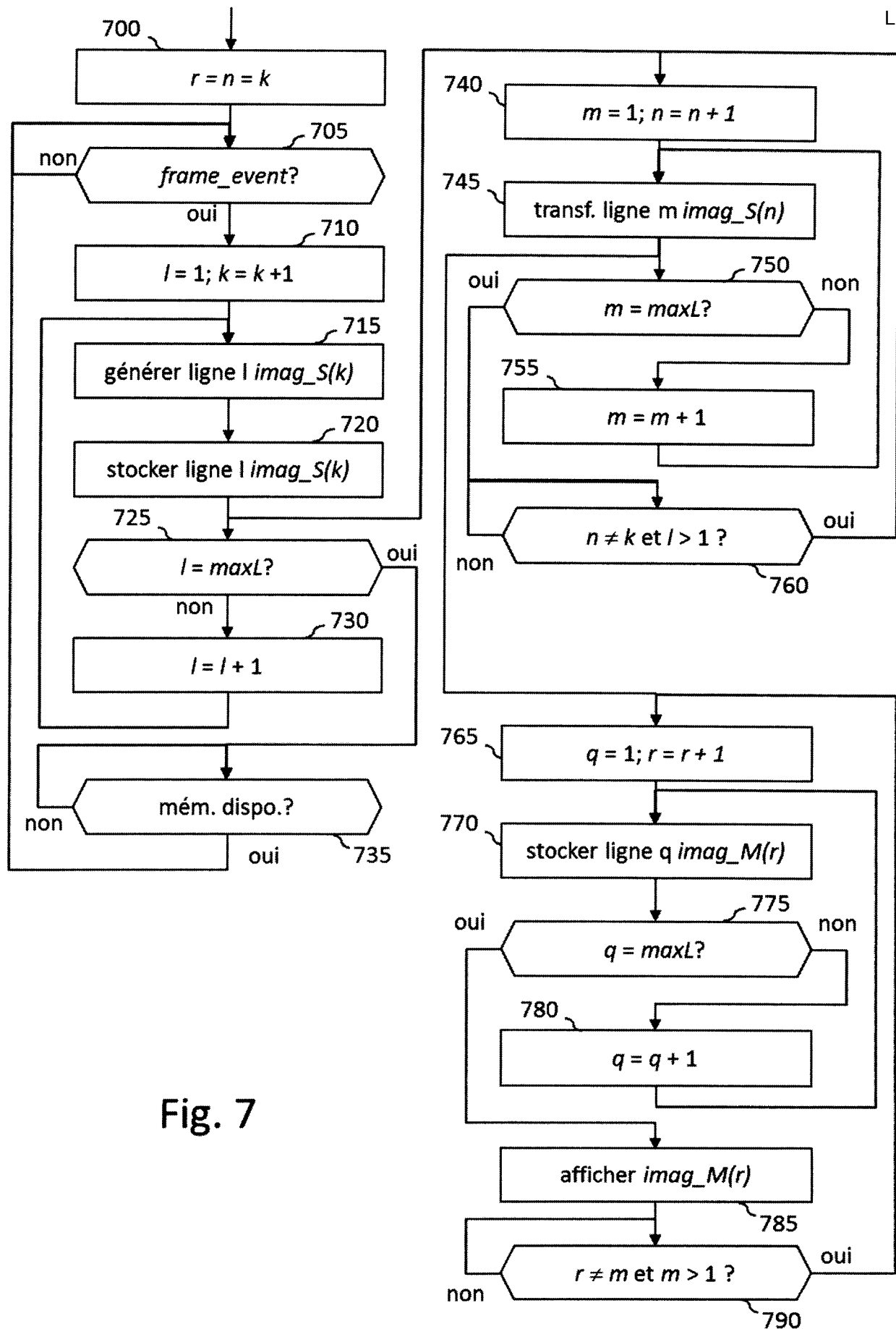


Fig. 7

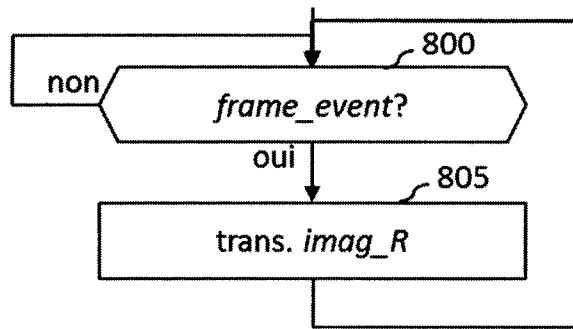
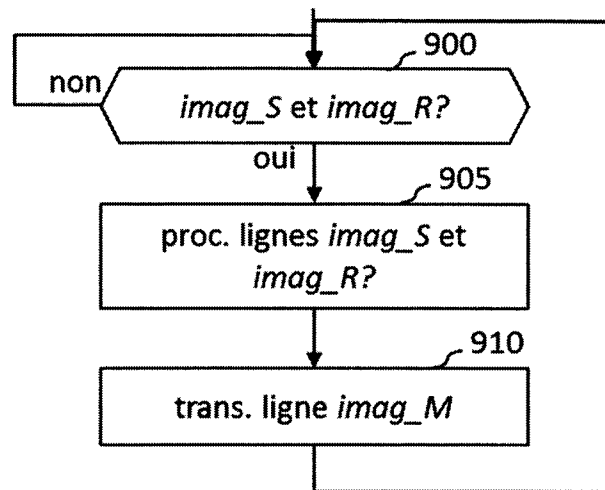


Fig. 8

Fig. 9



ABREGE

L'invention a notamment pour objet un dispositif de traitement d'images pour afficheur (220) comprenant un calculateur (230) et un circuit logique (235), distincts et connectés l'un à l'autre par un bus de communication, le calculateur étant configuré pour transmettre, par fragments, une image de synthèse au circuit logique et pour déclencher la transmission successive de fragments d'images depuis une source d'images externe vers le circuit logique, le circuit logique étant configuré pour combiner un fragment d'une image de synthèse reçu du calculateur et un fragment d'une image reçu de la source d'images externe pour créer un fragment d'une image mixte, le circuit logique étant en outre configuré pour transmettre le fragment créé d'une image mixte audit au moins un calculateur.

(Figure 5)



RAPPORT DE RECHERCHE
établi en vertu de l'article 35.1 a)
de la loi luxembourgeoise sur les brevets d'invention
du 20 juillet 1992

LO 1856
LU 100596

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
X	US 2017/148206 A1 (DONNER CRAIG [US] ET AL) 25 mai 2017 (2017-05-25)	1,3-12	INV. H04N13/344
Y	* alinéas [0027] - [0033], [0038]; figure 2 *	2	G02B27/01 G06T19/00
Y	US 2007/188522 A1 (TSUYUKI TAKASHI [JP]) 16 août 2007 (2007-08-16) * alinéa [0062]; figure 2 *	2	
			DOMAINES TECHNIQUES RECHERCHES (IPC)
			G02B H04N G06T
Date d'achèvement de la recherche		Examineur	
4 septembre 2018		Daribo, Ismael	
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE

RELATIF A LA DEMANDE DE BREVET LUXEMBOURGEOISE NO.

LO 1856

LU 100596

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

04-09-2018

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2017148206 A1	25-05-2017	AU 2016357105 A1	19-04-2018
		CA 2999182 A1	26-05-2017
		CN 108139807 A	08-06-2018
		DE 112016005343 T5	02-08-2018
		EP 3377960 A1	26-09-2018
		GB 2557525 A	20-06-2018
		KR 20180051607 A	16-05-2018
		US 2017148206 A1	25-05-2017
		WO 2017087083 A1	26-05-2017
US 2007188522 A1	16-08-2007	JP 2007219082 A	30-08-2007
		US 2007188522 A1	16-08-2007



OPINION ÉCRITE

Dossier N° LO1856	Date du dépôt (jour/mois/année) 27.12.2017	Date de priorité (jour/mois/année)	Demande n° LU100596
Classification internationale des brevets (CIB) INV. H04N13/344 G02B27/01 G06T19/00			
Déposant STARBREEZE IP LUX II S.À.R.L.			

La présente opinion contient des indications et les pages correspondantes relatives aux points suivants :

- ☒ Cadre n° I Base de l'opinion
- ☐ Cadre n° II Priorité
- ☐ Cadre n° III Absence de formulation d'opinion quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle
- ☐ Cadre n° IV Absence d'unité de l'invention
- ☒ Cadre n° V Déclaration motivée quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration
- ☐ Cadre n° VI Certains documents cités
- ☐ Cadre n° VII Irrégularités dans la demande
- ☐ Cadre n° VIII Observations relatives à la demande

Formulaire LU237A (feuilles de couverture) (January 2007)	Examineur Daribo, Ismael
---	-----------------------------

OPINION ÉCRITE

Demande n°

LU100596

Cadre n° I Base de l'opinion

1. Cette opinion a été établie sur la base des dernières revendications déposées avant le commencement de la recherche.
2. En ce qui concerne **la ou les séquences de nucléotides ou d'acides aminés** divulguées dans la demande, le cas échéant, cette opinion a été effectuée sur la base des éléments suivants :
 - a. Nature de l'élément
 - ☐ un listage de la ou des séquences
 - ☐ un ou des tableaux relatifs au listage de la ou des séquences
 - b. Type de support
 - ☐ sur papier
 - ☐ sous forme électronique
 - c. Moment du dépôt ou de la remise
 - ☐ contenu(s) dans la demande telle que déposée
 - ☐ déposé(s) avec la demande, sous forme électronique
 - ☐ remis ultérieurement
3. ☐ De plus, lorsque plus d'une version ou d'une copie d'un listage des séquences ou d'un ou plusieurs tableaux y relatifs a été déposée, les déclarations requises selon lesquelles les informations fournies ultérieurement ou au titre de copies supplémentaires sont identiques à celles initialement fournies et ne vont pas au-delà de la divulgation faite dans la demande telle que déposée initialement, selon le cas, ont été remises.
4. Commentaires complémentaires :

OPINION ÉCRITE

Demande n°
LU100596

Cadre n° V Opinion motivée quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration

1. Déclaration

Nouveauté	Oui :	Revendications	2, 5-10
	Non :	Revendications	1, 3, 4, 11, 12
Activité inventive	Oui :	Revendications	
	Non :	Revendications	1-12
Possibilité d'application industrielle	Oui :	Revendications	1-12
	Non :	Revendications	

2. Citations et explications

voir feuille séparée

Ad point V

Déclaration motivée quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle ; citations et explications à l'appui de cette déclaration

1 Etat de la technique

Il est fait référence aux documents suivants :

- D1 US 2017/148206 A1 (DONNER CRAIG [US] ET AL) 25 mai 2017
(2017-05-25)
- D2 US 2007/188522 A1 (TSUYUKI TAKASHI [JP]) 16 août 2007
(2007-08-16)

1.1 Revendication indépendantes 1,11

- 1.1.1 Document D1, qui est considéré comme l'état de la technique le plus proche, divulgue:

Dispositif de traitement d'images pour afficheur (§[0009]: HMD-based AR display system), le dispositif comprenant au moins un calculateur (§[0028]: fig.2 item 204: CPU in application processor) et au moins un circuit logique (§[0028]: fig.2 item 204: GPU in application processor), distincts et connectés l'un à l'autre par un bus de communication (§[0028]: implicite d'une combinaison CPU + GPU),

ledit au moins un calculateur (§[0030]: executes VR application) étant configuré pour transmettre, par fragments (§[0033]: multiple fragments), au moins une image de synthèse (§[0030]: computer-generated overlay) audit au moins un circuit logique et pour déclencher la transmission successive de fragments d'images depuis au moins une source d'images externe (§[0030]: captured imagery) vers ledit au moins un circuit logique (§[0030]: executes VR application),

ledit au moins un circuit logique étant configure pour combiner au moins un fragment d'une image de synthèse reçu dudit au moins un calculateur et au moins un fragment d'une image reçu de ladite au moins une source d'images externe pour créer au moins un fragment d'une image mixte (§[0038]: combine velocity field and HMD field for each fragment),

ledit au moins un circuit logique étant en outre configuré pour transmettre ledit au moins un fragment crée d'une image mixte audit au moins un calculateur (§[0028]: implicite d'une combinaison CPU + GPU).

1.1.2 L'objet de la revendication 1 est donc pas nouveau. Le même raisonnement s'applique aussi à la revendication 11.

1.1.3 Revendication dépendantes 2-10,12

La revendication dépendante 2-10,12 ne semble pas contenir de caractéristiques supplémentaires qui satisfassent aux exigences de nouveauté et/ou d'activité inventive en étant combinées aux caractéristiques de l'une quelconque des revendications auxquelles ladite revendication dépendante est liée. En effet:

1.1.4 Claim 2

Document D2 alinéa §[0062] et figure 2 divulgue deux mémoires FIFO

1.1.5 Claims 3,12

Document D1 alinéas §[0027-0028] divulgue prendre en compte des informations de position et d'orientation a l'aide de capteurs inertiels.

1.1.6 Claim 4

Document D1 alinéa §[0028] divulgue une combinaison CPU + GPU

1.1.7 Claims 5-9

Les caractéristiques additionnelles des revendications 5-9 sont considérées comme conventionnelles, et en tant que telles ne peuvent pas être considérées comme impliquant une activité inventive.

1.1.8 Claim 10

Document D1 alinéa §[0032] divulgue que le compositeur 224 peut être implémenté en logique programmable ou ASIC qui est de type FPGA.