



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I876929 B

(45)公告日：中華民國 114 (2025) 年 03 月 11 日

(21)申請案號：113109906

(22)申請日：中華民國 113 (2024) 年 03 月 18 日

(51)Int. Cl. : G06F17/00 (2019.01)

H01G9/048 (2006.01)

(30)優先權：2023/03/20 日本

2023-044204

2024/03/13 世界智慧財產權組織

PCT/JP2024/009856

(71)申請人：日商村田製作所股份有限公司(日本)MURATA MANUFACTURING CO., LTD.

(JP)

日本

(72)發明人：古川剛史 FURUKAWA, TAKESHI (JP)；姬田高志 HIMEDA, KOSHI (JP)；笹本亮

- SASAMOTO, RYOICHI (JP)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW 202027570A

TW 202242424A

CN 103824695A

CN 113258789A

US 10339257B2

US 2010/0213573A1

US 2010/0325594A1

審查人員：吳家豪

申請專利範圍項數：13 項 圖式數：17 共 55 頁

(54)名稱

基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造

(57)摘要

基板設計支援裝置 1，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：記憶部 30，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；輸入接收部 21，取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及運算部 22，從該記憶部 30 取得與該輸入接收部 21 所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；記憶於該記憶部 30 之該電路資訊，包含表示該單元之等效電路 50、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；表示該單元之等效電路 50，包含表示該電容器元件之等效電路 60 根據所對應之該既定間距而設定之電容成分 C1、C2、C3。

無

指定代表圖：

符號簡單說明：

60:電容器等效電路

61:第 1 端子

62:第 2 端子

63:第 1 電容部

64:第 2 電容部

65:LR 電路

C1~C3:電容成分

L1、LS1:電感成分

R1~R3、RS1、Rsh1:

電阻成分

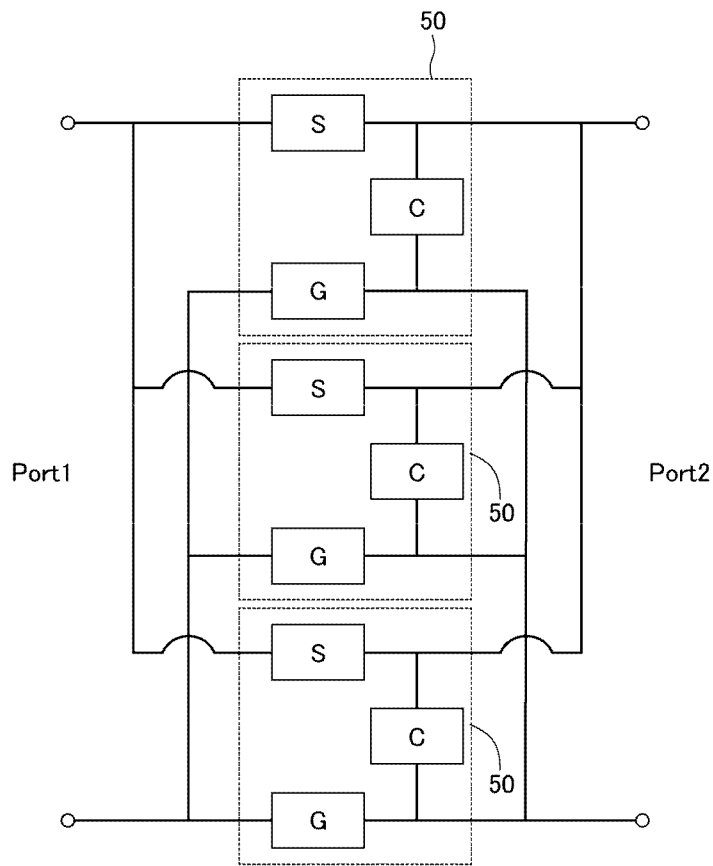


圖8



公告本

I876929

【發明摘要】

【中文發明名稱】 基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造

【英文發明名稱】 無

【中文】

基板設計支援裝置1，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：記憶部30，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；輸入接收部21，取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及運算部22，從該記憶部30取得與該輸入接收部21所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；記憶於該記憶部30之該電路資訊，包含表示該單元之等效電路50、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；表示該單元之等效電路50，包含表示該電容器元件之等效電路60根據所對應之該既定間距而設定之電容成分C1、C2、C3。

【英文】

無

【指定代表圖】 圖9

【代表圖之符號簡單說明】

60:電容器等效電路

61:第1端子

62:第2端子

63:第1電容部

64:第2電容部

65:LR電路

C1~C3:電容成分

L1、LS1:電感成分

R1~R3、RS1、Rsh1:電阻成分

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造

【英文發明名稱】 無

【技術領域】

【0001】 本發明係關於基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造。

【先前技術】

【0002】 於專利文獻1中，記載有以被動零件單體在相同零件中有複數個元件之情形之等效電路模型之再現。

【0003】 於專利文獻2中，記載有往基板內部埋設之多端子型之電容器元件。

[先前技術文獻]

[專利文獻]

【0004】 [專利文獻1]日本特開2015-170004號公報

[專利文獻2]日本特開2020-167361號公報

【發明內容】

[發明所欲解決之問題]

【0005】 於配線基板之電源線之設計中，與電源線之布局同時，亦檢討作為被動零件之電容器(例如旁路電容器)及電感器之布局。此時，有需要將包含基板之電源線整體所具有之傳輸特性，例如阻抗特性，準備以下之構成作為個別的

要素，將該等組合來進行評價。

- 由配線、貫通導體(通孔或通路)、基板材料等所構成之基板之等效電路模型
- 搭載於該基板之被動零件(電容器、電感器等)之精緻的等效電路模型

【0006】 在此，成為「基板」或「零件」之等效電路模型之基礎之實測模型必須能正確地測定。首先實測模型能不受測定影響來進行測定，且於連接節點以後，能正確地表現該要素如何動作。

【0007】 然而，如記載於專利文獻2之電容器元件般，在對於內設於基板之一個電容器元件(經由介電質之2片電極)作為引出端子而連接複數個貫通導體之零件中，要獲得其實測模型本身之困難度變高。尤其是，當零件本身之XY尺寸較大之情形時困難度變高。

【0008】 當將該零件之實測模型如一般的2端子型之電容器般設立2個埠來進行測定之情形時，由於從設立埠的位置起相對較遠的部位之電容器成分通過電容器內部路徑或配線部可看出其成分，因此只能在添加原本不相關的路徑上的RL成分的狀態下來進行測定。

【0009】 相對於此，藉由使用以從各端子起用同等的阻抗引出之方式而設計之基板或插座等專用治具來進行測定，能消除上述之課題。然而，與尺寸規格化的一般電容器零件不同，為了在對每個顧客尺寸或布局能變化之上述零件中來執行此測定方法，需要先將設計品組裝成完成品。然而，通常，雖電源線所需之旁路電容器，於事先以某種程度估算所需之阻抗特性之狀態下來進行選定，但若事先無法製成完成品則無法獲得實測模型，則難以迅速地對應顧客的需求。

【0010】 於專利文獻1所記載之模型，亦僅限於再現被動零件單體的動作，且僅能藉由在配線基板之配線設計後將該模型組合，來將基板整體之阻抗再現。

【0011】 本發明係用以解決上述之問題而完成者，其目的在於，提供適於

經由複數個貫通導體而連接有旁路電容器之電源線之設計之基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造。

[解決問題之手段]

【0012】 本發明之基板設計支援裝置，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；記憶於該記憶部之該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【0013】 本發明之基板設計支援系統，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；記憶於該記憶部之該電路資訊，包含表示

該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【0014】 本發明之與電路資訊相關之資料構造，其用於具備輸入接收部、記憶部及運算部，且進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援之基板設計支援裝置或基板設計支援系統，該與電路資訊相關之資料構造記憶於該記憶部，將表示單元之電路資訊包含於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件，而且，用於以下之處理，即，根據該輸入接收部所取得之由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者，該運算部從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，來運算電源線之阻抗之處理，該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者，表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

[發明之效果]

【0015】 根據本發明，能提供適於經由複數個貫通導體而連接有旁路電容器之電源線之設計之基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造。

【圖式簡單說明】

【0016】

[圖1]係示意地表示藉由本發明之實施形態1之基板設計支援裝置來支援設計之配線基板所具備之電容器部之一例之剖面圖。

[圖2A]係沿著圖1之A線及A'線之俯視圖。

[圖2B]係沿著圖1之B線及B'線之俯視圖。

[圖2C]係沿著圖1之C及C'線之俯視圖。

[圖2D]係沿著圖1之D線及D'線之俯視圖。

[圖2E]係沿著圖1之E線之俯視圖。

[圖3]係表示本發明之實施形態1之基板設計支援裝置之構成之一例之方塊圖。

[圖4A]係表示展示單元之等效電路之一例之圖。

[圖4B]係表示展示單元之等效電路之另一例之圖。

[圖5]係表示展示電源側貫通導體及接地側貫通導體之等效電路之一例之圖。

[圖6]係表示關於記憶於記憶部之電路資訊之資料構造之一例之圖，其表示包含展示單元作為電路資訊之等效電路之情形。

[圖7]係表示關於記憶於記憶部之電路資訊之資料構造之另一例之圖。

[圖8]係表示展示並聯連接之單元之等效電路之一例之圖。

[圖9]係表示展示電容器元件之等效電路之一例之圖。

[圖10A]係表示相當於表示單元之等效電路之參數之一例之圖。

[圖10B]係表示相當於表示單元之等效電路之參數之另一例之圖。

[圖11]係表示相當於表示單元之等效電路之參數之另一例之圖。

[圖12]係表示關於記憶於記憶部之電路資訊之資料構造之另一例之圖，其表示包含參數作為電路資訊之情形。

[圖13]係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，

其表示包含參數作為電路資訊之情形。

[圖14]係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，其表示包含等效電路及參數作為電路資訊之情形。

[圖15]係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，其表示包含等效電路及參數作為電路資訊之情形。

[圖16]係表示相當於表示並聯連接之單元之等效電路之參數之一例之圖。

[圖17]係表示相當於表示並聯連接之單元之等效電路之參數之另一例之圖。

[圖18]係表示展示單元之等效電路之另一例之圖。

[圖19]係表示格子、及配置於其交點上之電源側貫通導體及接地側貫通導體之一例之示意圖。

[圖20]係表示格子、及配置於其交點上之電源側貫通導體及接地側貫通導體之另一例之示意圖。

[圖21]係說明本發明之實施形態1之基板設計支援裝置的動作之一例之流程圖。

【實施方式】

【0017】 以下，對本發明之基板設計支援裝置、基板設計支援系統及與電路資訊相關之資料構造進行說明。

然而，本發明不限定於以下之構成，能在不變更本發明之要旨之範圍內進行適當變更而應用。此外，將於以下記載之各個所要之構成組合兩個以上者亦屬本發明。

【0018】 (實施形態1)

於本實施形態之基板設計支援裝置中，當由使用者於配線基板上配置至少一對電源側貫通導體及接地側貫通導體時，與此同時將電容器元件配置於各對

之貫通導體間。亦即，當配置一對電源側貫通導體及接地側貫通導體時，則包含該一對貫通導體、及連接於其等之間之電容器元件之單元自動地設定。又，預先準備將包含一對電源側貫通導體及接地側貫通導體之此單元精緻地再現之等效電路，具體而言，包含與一對電源側貫通導體及接地側貫通導體間之間距對應之電容成分之等效電路。又，預先準備對關於連結有複數個單元時之尺度(*scaling*)亦精緻地再現之等效電路，具體而言，與並聯連接之複數個單元之連結數對應之等效電路。接著，藉由使用此等效電路(與此相當之參數亦可)來運算電源線之阻抗，即使不使用實測模型，亦能依據使用者之仔細的設計驗證來正確地估算經由複數個貫通導體而連接有旁路電容器之電源線之阻抗特性。又，亦能正確地估算並聯連接有複數個單元之電源線之阻抗特性。

【0019】 圖1係示意地表示藉由本發明之實施形態1之基板設計支援裝置來支援設計之配線基板所具備之電容器部之一例之剖面圖。圖2A係沿著圖1之A線及A'線之俯視圖。圖2B係沿著圖1之B線及B'線之俯視圖。圖2C係沿著圖1之C及C'線之俯視圖。圖2D係沿著圖1之D線及D'線之俯視圖。圖2E係沿著圖1之E線之俯視圖。再者，圖1係沿著圖2A之I-I線之剖面圖。

【0020】 圖1所示之電容器部101具備電容器元件110、及貫通導體120。於圖1所示之例中，電容器部101進一步具備密封層130、導體配線層140A及140B。

【0021】 電容器元件110包含：於芯部111A之至少一個主面具有多孔質部111B之陽極板111、設於多孔質部111B之表面之介電層113、及設於介電層113之表面之陰極層112。藉此，電容器元件110構成電解電容器。於圖1所示之例中，陽極板111雖於芯部111A之兩個主面具有多孔質部111B，但亦可僅於芯部111A之任一個主面具有多孔質部111B。

【0022】 陰極層112，例如包含設於介電層113之表面之固體電解質層。陰極層112，較佳係進一步包含設於固體電解質層之表面之導電體層。於陰極層112

包含固體電解質層之情形，電容器元件110構成固體電解電容器。

【0023】 貫通導體120於厚度方向(圖1中之上下方向)貫通介電層113及陽極板111。

【0024】 貫通導體120，包含電氣連接於陰極層112之陰極貫通導體120A、及電氣連接於陽極板111之陽極貫通導體120B。陰極貫通導體120A係作為連接於接地線之接地側貫通導體而發揮功能，陽極貫通導體120B係作為連接於電源線之電源側貫通導體而發揮功能。

【0025】 於圖1所示之例中，以於厚度方向貫通密封層130及電容器元件110之方式設有複數個陰極貫通導體120A。各個陰極貫通導體120A，與設於密封層130之表面之導體配線層140A以端部連接。

【0026】 陰極貫通導體120A，如圖2C所示，較佳係在陽極板111之厚度方向之俯視時，存在於陰極層112內。

【0027】 陰極貫通導體120A，只要能設在於厚度方向貫通密封層130及電容器元件110之貫通孔之至少內壁面即可。亦即，陰極貫通導體120A，能僅設於上述貫通孔之內壁面，亦能設於上述貫通孔之內部整體。於陰極貫通導體120A僅設於上述貫通孔之內壁面之情形，以上述貫通孔內之陰極貫通導體120A所包圍之空間，亦能以含有樹脂之材料充填。亦即，亦可於陰極貫通導體120A之內側，設置樹脂充填部125A。

【0028】 如圖1所示，在厚度方向貫通密封層130及電容器元件110之貫通孔與陰極貫通導體120A之間，充填密封層130等絕緣性材料。

【0029】 於圖1所示之例中，以於厚度方向貫通密封層130及電容器元件110之方式設有複數個陽極貫通導體120B。各個陽極貫通導體120B，與設於密封層130之表面之導體配線層140B以端部連接。

【0030】 陽極貫通導體120B，如圖2C所示，較佳係在陽極板111之厚度方

向之俯視時，存在於陰極層112內。

【0031】 陽極貫通導體120B，只要能設在於厚度方向貫通密封層130及電容器元件110之貫通孔之至少內壁面即可。亦即，陽極貫通導體120B，能僅設於上述貫通孔之內壁面，亦能設於上述貫通孔之內部整體。於陽極貫通導體120B僅設於上述貫通孔之內壁面之情形，以上述貫通孔內之陽極貫通導體120B所包圍之空間，亦能以含有樹脂之材料充填。亦即，亦可於陽極貫通導體120B之內側，設置樹脂充填部125B。

【0032】 如圖1所示，陽極貫通導體120B，較佳係於在厚度方向貫通密封層130及電容器元件110之貫通孔之內壁面電氣連接於陽極板111。更具體而言，陽極貫通導體120B，較佳係與於面方向與上述貫通孔之內壁面對向之陽極板111之端面電氣連接。於此情形，於在厚度方向貫通密封層130及電容器元件110之貫通孔與陽極貫通導體120B之間，不充填密封層130等絕緣性材料。

【0033】 在與陽極貫通導體120B電氣連接之陽極板111之端面，如圖1所示，較佳係芯部111A及多孔質部111B露出。於此情形，芯部111A及多孔質部111B皆與陽極貫通導體120B電氣連接。

【0034】 當由陽極板111之厚度方向觀察時，陽極貫通導體120B，如圖2D及圖2E所示，較佳係遍及於厚度方向貫通密封層130及電容器元件110之貫通孔全周電氣連接於陽極板111。

【0035】 陽極貫通導體120B，可經由陽極連接層電氣連接，亦可直接連接於陽極板111之端面。

【0036】 密封層130以覆蓋電容器元件110之方式設置。藉由密封層130，電容器元件110被密封層130保護。

【0037】 密封層130，如圖1所示，較佳係設於與電容器元件110之厚度方向相對之兩個主面。

【0038】 導體配線層140A及140B設於密封層130之表面，且與陰極貫通導體120A及陽極貫通導體120B之任一者電氣連接。

【0039】 導體配線層140A電氣連接於陰極貫通導體120A。於圖1所示之例中，導體配線層140A設於陰極貫通導體120A之表面，作為電容器部101之連接端子而發揮功能。

【0040】 具體而言，於圖1所示之例中，導體配線層140A經由貫通密封層130之通路導體145而電氣連接於陰極層112，作為陰極層112用之連接端子而發揮功能。

【0041】 導體配線層140B電氣連接於陽極貫通導體120B。於圖1所示之例中，導體配線層140B設於陽極貫通導體120B之表面，作為電容器部101之連接端子而發揮功能。

【0042】 具體而言，於圖1所示之例中，導體配線層140B經由陽極貫通導體120B而電氣連接於陽極板111，作為陽極板111用之連接端子而發揮功能。

【0043】 而且，設於覆蓋導體配線層140A及140B之絕緣層(未圖示)上之接地線(未圖示)，經由貫通此絕緣層之通路導體(未圖示)而電氣連接於導體配線層140A，藉此，接地線經由陰極貫通導體120A而與電容器元件110之陰極層112電氣連接。另一方面，設於覆蓋導體配線層140A及140B之該絕緣層上之電源線(未圖示)，經由貫通此絕緣層之通路導體(未圖示)而電氣連接於導體配線層140B，藉此，電源線經由陽極貫通導體120B而與電容器元件110之陽極板111電氣連接。

【0044】 圖3係表示本發明之實施形態1之基板設計支援裝置之構成之一例之方塊圖。

【0045】 圖3所示之基板設計支援裝置1係支援配線基板設計之裝置，進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援。

【0046】 基板設計支援裝置1，具備輸入部10、控制部20、記憶部30及顯示部40。

【0047】 輸入部10例如以鍵盤及滑鼠等構成，顯示部40例如以液晶顯示器等構成。基板設計支援裝置1構成為，由使用者(配線基板之設計者等)一邊確認顯示於顯示部40之影像一邊操作輸入部10，而能對配線基板進行設計(描繪)。

【0048】 控制部20，係作為具備CPU(Central Processing Unit，中央處理單元)等電腦系統而構成。控制部20，藉由於該CPU中，執行記憶於記憶部30之既定之軟體程式來實現各種處理。

【0049】 記憶部30，由RAM(Random Access Memory,隨機存取記憶體)或ROM(Read Only Memory，唯讀記憶體)、硬碟等記憶裝置所構成，記憶有用以控制基板設計支援裝置1之各種程式或資訊(資料)。作為程式，例如記憶有用以支援配線基板設計之軟體亦即設計支援程式。

【0050】 記憶部30，記憶有與電路資訊相關之資料構造，該資料構造，係將表示單元之電路資訊於一對電源側貫通導體及接地側貫通導體間之複數個既定間距各個中具有，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件。以下，於僅稱為「既定間距」之情形，係指包含於單元之一對電源側貫通導體及接地側貫通導體間之既定間距。

【0051】 更具體而言，電路資訊包含表示單元之等效電路(以下，有稱為「單元等效電路」之情形)，單元等效電路包含表示包含於單元之電容器元件之等效電路(以下，有稱為「電容器等效電路」之情形)，電容器等效電路包含根據對應之既定間距而設定之電容成分。亦即，記憶部30，記憶有對應於複數個既定間距而預先設定(準備)之複數個單元等效電路。又，包含於電容器等效電路之電容成分，根據該電容所對應之既定間距而設定。

【0052】 在此，既定間距，係指能於基板設計支援裝置1中選擇之預先設定之包含於單元之一對電源側貫通導體及接地側貫通導體間之間距。此外，只要既定間距的數量為2以上則不特別限定，能適當設定。

【0053】 此外，與電路資訊相關之資料構造，可預先導入於基板設計支援裝置1，亦可記錄於電腦可讀取之記錄媒體，或經由網路而提供給使用者。又，與電路資訊相關之資料構造，亦可如製程設計套件般，與增益功能一起嵌入至通用之設計支援程式中。

【0054】 單元等效電路，較佳係包含不依據既定間距而設定之表示電源側貫通導體之電感成分及表示接地側貫通導體之電感成分。藉此，能提高電源線之阻抗之計算精度。亦即，表示電源側貫通導體之等效電路、及表示接地側貫通導體之等效電路，較佳係分別至少包含與所有的既定間距共通之電感成分(相同電感)。

【0055】 如此，單元等效電路，較佳係包含表示電源側貫通導體之等效電路、及表示接地側貫通導體之等效電路。

【0056】 圖4A係表示展示單元之等效電路之一例之圖。

【0057】 圖4A所示之單元等效電路50，包含有表示連接於電源線之電源側貫通導體之等效電路S、表示連接於接地線之接地側貫通導體之等效電路G、及連接於等效電路S及等效電路G之間之電容器等效電路C。電容器等效電路C，連接於等效電路S及等效電路G之輸出埠(Port2)側之節點。於輸入埠(Port1)連接電源及接地，於輸出埠(Port2)連接CPU等負載。單元等效電路50，表示僅於陽極板之表背之單側形成有電容器元件之情形。

【0058】 圖5係表示展示電源側貫通導體及接地側貫通導體之等效電路之一例之圖。

【0059】 如圖5所示，表示電源側貫通導體之等效電路S、及表示接地側貫

通導體之等效電路G，分別包含串聯連接之電感成分L及電阻成分R。電感成分L連接於輸入埠(Port1)，電阻成分R連接於輸出埠(Port2)(參照圖4A)。

【0060】 在此，電感成分L及電阻成分R不根據既定間距來設定。亦即，設定在所有的既定間距共通使用之電感及電阻(相同電感及相同電阻)。於基板設計支援裝置1中，設定設計規則而進行電路設計。關於貫通導體 ϕ 徑或鍍敷厚度、其材質、連接之樹脂基板之厚度(=通孔長度)亦於其中設定。因此，於在貫通導體連接哪個層間被指示之時點，對應其部位之電感成分L及電阻成分R被理論地求出。再者，貫通導體之材質，雖一般為Cu，但不特別限定於此，可對應於所設定之配線種類來分配電阻成分R。

【0061】 表示電源側貫通導體之等效電路，包含串聯連接於輸入埠及輸出埠之間之第1電路部及第2電路部，表示接地側貫通導體之等效電路，包含串聯連接於輸入埠及輸出埠之間之第3電路部及第4電路部，電容器等效電路，較佳係連接於第1電路部及第2電路部之間之節點、及第3電路部及第4電路部之間之節點。藉此，由於能考慮到輸出埠側之反射特性來設定輸出埠側之各電路部之各成分，因此能更提升基板設計支援之精度。

【0062】 圖4B係表示展示單元之等效電路之另一例之圖。

【0063】 單元等效電路50，除圖4A所示者之外，亦可如圖4B所示者。於此情形，表示電源側貫通導體之等效電路S，包含串聯連接於輸入埠(Port1)及輸出埠(Port2)之間之第1電路部S'及第2電路部S''，表示接地側貫通導體之等效電路G，包含串聯連接於輸入埠(Port1)及輸出埠(Port2)之間之第3電路部G'及第4電路部G''，電容器等效電路C，較佳係連接於第1電路部S'及第2電路部S''之間之節點51、及第3電路部G'及第4電路部G''之間之節點52。在此，輸出埠(Port2)側之第2電路部S''及第4電路部G''之各成分，係考慮到輸出埠(Port2)側之反射特性而設定。因此，有可能第1電路部S'與第2電路部S''之至少一部分之成分彼此不同之情

形，同樣地，有可能第3電路部G'與第4電路部G''之至少一部分之成分彼此不同之情形。

【0064】 再者，第1電路部S'、第2電路部S''、第3電路部G'及第4電路部G''，如圖5所示，分別包含串聯連接之電感成分L及電阻成分R。又，於任一電路部中，皆為電感成分L位於輸入埠(Port1)側，電阻成分R位於輸出埠(Port2)側。於圖4B所例示之單元等效電路50中，此等電感成分L及電阻成分R亦不依據既定間距來設定。

【0065】 圖6係表示關於記憶於記憶部之電路資訊之資料構造之一例之圖，其表示包含展示單元作為電路資訊之等效電路之情形。

【0066】 如圖6所示，記憶部30，將單元等效電路分別記憶於一對電源側貫通導體及接地側貫通導體間之既定間距P1、P2、P3...。但，表示電源側貫通導體之等效電路S、與表示接地側貫通導體之等效電路G，於各既定間距共通。此外，於本說明書中，兩個等效電路共通或等效，係指構成要素(成分)之種類、數量、連接、及其值(電容、電感、電阻等)全部相同。另一方面，電容器等效電路C，包含於每一既定間距個別獨立而設定之電容成分。此外，對應於不同的既定間距而設定之複數個電容成分，雖通常具有彼此不同的電容，但亦可包含具有相同電容之複數個電容成分。

【0067】 又，記憶部30，對應於單元並聯連接之數量亦即連結數來記憶表示單元之電路資訊。亦即，於並聯連接於相同電源線之每一單元數，記憶有單元等效電路作為電路資訊。

【0068】 圖7係表示關於記憶於記憶部之電路資訊之資料構造之另一例之圖。

【0069】 如圖7所示，記憶部30，於每一單元之連結數記憶有單元等效電路。但，表示電源側貫通導體之等效電路S、與表示接地側貫通導體之等效電路

G，於各連結數共通。另一方面，電容器等效電路C，包含於每一連結數個別獨立而設定之電容成分。此外，對應於不同的連結數而設定之複數個電容成分雖通常具有彼此不同的電容，但亦可包容具有相同電容之複數個電容成分。

【0070】 圖8係表示展示並聯連接之單元之等效電路之一例之圖。

【0071】 圖8所示之等效電路，表示並聯連接於相同的電源線之複數個、在此為3個單元。圖4A所示之單元等效電路50並聯連接於輸入埠(Port1)及輸出埠(Port2)間。於此情形，各單元等效電路50之電容器等效電路C，包含對應於既定間距且連結數(=3)之共通之電容成分。

【0072】 此外，於圖8中，雖表示並聯連接之單元等效電路50之全部為如圖4A所示者之情形，但此等單元等效電路50中之至少一個亦可如圖4B所示者。

【0073】 電容器等效電路，較佳為梯形電路。藉此，能將內設於基板、且作為抽出端子而連接有複數個貫通導體之電容器元件以更佳精度再現。

【0074】 從計算精度之觀點而言，較佳係梯形電路包含2個以上之對應於所對應之既定間距而設定之電容成分。

【0075】 如此，梯形電路，包含彼此並聯連接之複數個電容成分，且對應於此等複數個電容成分之電容所對應之既定間距來設定。

【0076】 此外，包含於梯形電路之電容成分之上限雖不特別限定而能適宜設定，但較佳為5以下、更佳為4以下。此係由於藉由梯形電路之計算精度提升之效果，會有隨著電容成分的個數增加而飽和之傾向之故。

【0077】 圖9係表示展示電容器元件之等效電路之一例之圖。

【0078】 圖9所示之電容器等效電路60，包含連接於電源側貫通導體之第1端子61、連接於接地側貫通導體之第2端子62、第1電容部63、第2電容部64、及連接於第1端子61與第1電容部63之間之LR電路65。

【0079】 第1電容部63及第2電容部64係彼此等效。亦即，由相同RLC成分

構成。又，第1電容部63及第2電容部64，並聯連接於第1端子61及第2端子62之間。

【0080】 第1電容部63及第2電容部64，係分別由3個電容成分C1、C2及C3、4個電阻成分R1、R2、R3及Rsh1、及電感成分L1所構成。3個電容成分C1、C2及C3、與3個電阻成分R1、R2及R3，連接成梯子形狀。電阻成分Rsh1連接於第1段之電容成分C1及電阻成分R1之間。電感成分L1連接於第1段之電阻成分R1。

【0081】 LR電路65，係由串聯連接之電阻成分RS1及電感成分LS1所構成之LR串聯電路。如此，電容器等效電路60，包含經由LR電路65之後而到達電容成分C1、C2及C3之等效電路部(由第1電容部63及LR電路65所構成之等效電路)。

【0082】 在此，此等電容成分C1、C2及C3係設定於每一既定間距。又，其他的電阻成分R1、R2、R3及Rsh1與電感成分L1亦設定於每一既定間距。亦即，各成分係依據既定間距來設定不同的成分(電容、電阻或電感)。

【0083】 包含於電容器等效電路60之各電容成分、各電感成分及各電阻成分係根據實測資料來決定。如上述課題所述，由於當單元的連結數增加，則會觀測到附著了配線部分之RL成分之狀態的特性，因此，以能忽略其影響的程度的連結數來確認尺度(scaling)效應，將與最實測值或構造特徵一致之各乘數作為與其對應之成分來設定，而作為電容器等效電路60來定義。

【0084】 再者，記憶於記憶部30之電路資訊，亦可取代單元等效電路，而包含相當於單元等效電路的至少一部分之參數(以下，亦有稱為替代參數之情形)，亦可包含單元等效電路與替代參數兩者。

【0085】 作為替代參數，具體而言，可舉例如對應之單元等效電路或電容器等效電路之阻抗之頻率特性或S參數等。替代參數，可為從對應之單元等效電路或電容器等效電路運算所得者，亦可為根據實測而直接設定者。

【0086】 圖10A係表示相當於表示單元之等效電路之參數之一例之圖。

【0087】 圖10A所示之替代參數，係相當於圖4A所示之單元等效電路50者，且係將圖4A所示之表示電源側貫通導體之等效電路S、表示接地側貫通導體之等效電路G及電容器等效電路C，分別置換為相當於其等之替代參數Z1、Z2及Z3者。因此，各替代參數之連接關係與圖4A所示之情形相同。

【0088】 圖10B係表示相當於表示單元之等效電路之參數之另一例之圖。

【0089】 圖10B所示之替代參數，係相當於圖4B所示之單元等效電路50者，且係將圖4B所示之表示電源側貫通導體之等效電路S之第1電路部S'及第2電路部S''分別置換為相當於其等之替代參數Z1'及Z1''，將表示接地側貫通導體之等效電路G之第3電路部G'及第4電路部G''分別置換為相當於其等之替代參數Z2'及Z2''，將電容器等效電路C置換為與其相當之替代參數Z3者。因此，各替代參數之連接關係與圖4B所示之情形相同。在此，輸出埠(Port2)側之替代參數Z1''及Z2''係考慮到輸出埠(Port2)側之反射特性而設定。因此，能更提升基板設計支援之精度。

【0090】 圖11係表示相當於表示單元之等效電路之參數之另一例之圖。

【0091】 圖11所示之替代參數，雖係相當於圖4A所示之單元等效電路50者，但亦係將圖4A所示之表示電源側貫通導體之等效電路S、表示接地側貫通導體之等效電路G及電容器等效電路C，分別置換為相當於其等整體的等效電路之替代參數Zunit者。因此，替代參數Zunit，係考慮到表示電源側貫通導體之等效電路S及表示接地側貫通導體之等效電路G之參數。

【0092】 再者，圖11所示之替代參數Zunit，亦可係相當於圖4B所示之單元等效電路50者。亦即，圖11所示之替代參數Zunit，亦可係與圖10B所示之替代參數等效者。

【0093】 圖12係表示關於記憶於記憶部之電路資訊之資料構造之另一例之圖，其表示包含參數作為電路資訊之情形。

【0094】 如圖12所示，記憶部30，亦可將相當於表示電源側貫通導體之等效電路之替代參數 $Z1$ 、相當於表示接地側貫通導體之等效電路之替代參數 $Z2$ 、及相當於電容器等效電路之替代參數 $Z3$ 記憶於每一既定間距。但，相當於表示電源側貫通導體之等效電路之替代參數 $Z1$ 於各既定間距共通，相當於表示接地側貫通導體之等效電路之替代參數 $Z2$ 亦於各既定間距共通。另一方面，相當於電容器等效電路之替代參數 $Z3$ ，反映於每一既定間距個別獨立而設定之電容器等效電路之電容成分。此外，於本說明書中，2個替代參數共通，係指其等之替代參數相當於2個等效的等效電路。

【0095】 此外，分別相當於表示電源側貫通導體之等效電路 S 之第1電路部 S' 及第2電路部 S'' 之替代參數 $Z1'$ 及 $Z1''$ 亦於各既定間距共通，分別相當於表示接地側貫通導體之等效電路 G 之第3電路部 G' 及第4電路部 G'' 之替代參數 $Z2'$ 及 $Z2''$ 亦於各既定間距共通。

【0096】 又，亦可取代圖12所示之替代參數 $Z1$ 中之至少一個，而記憶圖10B所示之替代參數 $Z1'$ 及 $Z1''$ 。同樣地，亦可取代圖12所示之替代參數 $Z2$ 中之至少一個，而記憶圖10B所示之替代參數 $Z2'$ 及 $Z2''$ 。

【0097】 圖13係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，其表示包含參數作為電路資訊之情形。

【0098】 如圖13所示，記憶部30，亦可將相當於表示電源側貫通導體之等效電路、表示接地側貫通導體之等效電路、及電容器等效電路整體之替代參數 Z_{unit} 記憶於每一既定間距。因此，替代參數 Z_{unit} ，反映於每一既定間距個別獨立而設定之電容器等效電路之電容成分。

【0099】 圖14係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，其表示包含等效電路及參數作為電路資訊之情形。

【0100】 如圖14所示，記憶部30，亦可將相當於單元等效電路的一部分(例

如，電容器等效電路C)、及單元等效電路的剩餘部分(例如，表示電源側貫通導體之等效電路、及表示接地側貫通導體之等效電路)之替代參數(例如，替代參數Z1及Z2)記憶於每一既定間距。

【0101】 又，亦可取代圖14所示之替代參數Z1中之至少一個，而記憶圖10B所示之替代參數Z1'及Z1"。同樣地，亦可取代圖14所示之替代參數Z2中之至少一個，而記憶圖10B所示之替代參數Z2'及Z2"。

【0102】 圖15係表示關於記憶於記憶部之電路資訊之資料構造之進而另一例之圖，其表示包含等效電路及參數作為電路資訊之情形。

【0103】 如圖15所示，記憶部30，亦可記憶對應於1以上之既定間距之單元等效電路、及對應於其他1以上之既定間距之替代參數Zunit(相當於單元等效電路整體)。

【0104】 又，記憶部30，亦可適當組合圖6、圖12~圖15所示之電路資訊而記憶。

【0105】 圖16係表示相當於表示並聯連接之單元之等效電路之參數之一例之圖。

【0106】 圖16所示之替代參數，係相當於圖8所示之表示並聯連接之單元之等效電路者，且係將圖8所示之表示電源側貫通導體之等效電路S、表示接地側貫通導體之等效電路G及電容器等效電路C，分別置換為相當於其等之替代參數Z1、Z2及Z3者。因此，各替代參數之連接關係與圖8所示之情形相同。

【0107】 此外，於圖16中，雖表示並聯連接之替代參數之全部為圖10A中所例示者之情形，但亦可係此等替代參數中之至少一個係圖10B中所例示者。

【0108】 圖17係表示相當於表示並聯連接之單元之等效電路之參數之另一例之圖。

【0109】 圖17所示之替代參數，雖亦為相當於圖8所示之表示並聯連接之

單元之等效電路者，但其係置換為相當於圖8所示之3個單元等效電路50整體之等效電路之替代參數 Z_{tot} 者。

【0110】 此外，圖17所示之替代參數 Z_{tot} ，亦可係相當於圖8所示之單元等效電路50中之至少一個為圖4B所例示者亦即等效電路者。

【0111】 單元等效電路，較佳為作為電容器等效電路，包含表示第1電容器元件之第1等效電路及表示第2電容器元件之第2等效電路，第1等效電路及第2等效電路彼此等效，第1等效電路連接於電源側貫通導體之配線基板之一個主面(第1主面)側之節點、及接地側貫通導體之配線基板之一個主面(第1主面)側之節點，第2等效電路連接於電源側貫通導體之配線基板之另一個主面(第2主面)側之節點、及接地側貫通導體之配線基板之另一個主面(第2主面)側之節點。藉此，能將單元作為電容器元件，將包含並聯連接於一對電源側貫通導體與接地側貫通導體間之第1電容器元件及第2電容器元件之情形，以良好精度再現。此等之第1電容器元件及第2電容器元件係隔著陽極板而獨立配置於其表背。

【0112】 圖18係表示展示單元之等效電路之另一例之圖。

【0113】 圖18所示之單元等效電路80，包含有表示連接於電源線之電源側貫通導體之等效電路S、表示連接於接地線之接地側貫通導體之等效電路G、及連接於等效電路S及等效電路G之間之2個電容器等效電路C。一個電容器等效電路C，係表示第1電容器元件之第1等效電路81，連接於等效電路S之輸出埠(Port2)側之節點83、及等效電路G之輸出埠(Port2)側之節點84。另一個電容器等效電路C，係表示第2電容器元件之第2等效電路82，連接於等效電路S之輸入埠(Port1)側之節點85、及等效電路G之輸入埠(Port1)側之節點86。單元等效電路80，係相對於圖4A所示之單元等效電路50，在等效電路S及G之輸入埠(Port1)側追加有電容器等效電路C者。單元等效電路80，表示在陽極板之表背之兩側分別形成有第1及第2電容器元件之情形。

【0114】 第1等效電路81及第2等效電路82，係與圖9所示之電容器等效電路60相同，彼此等效。亦即，由相同的RLC成分所構成。圖9所示之第1端子61連接於節點83或85，圖9所示之第2端子62連接於節點84或86。

【0115】 又，第1等效電路81連接於電源側貫通導體之配線基板之一個主面側之節點、及接地側貫通導體之配線基板之一個主面側之節點，第2等效電路82連接於電源側貫通導體之配線基板之另一個主面側之節點、及接地側貫通導體之配線基板之另一個主面側之節點。亦即，節點83及84相當於電源側貫通導體之配線基板之一個主面側之節點、及接地側貫通導體之配線基板之一個主面側之節點，節點85及86相當於電源側貫通導體之配線基板之另一個主面側之節點、及接地側貫通導體之配線基板之另一個主面側之節點。

【0116】 如以圖18所說明般，單元等效電路，亦可包含 $2 \times n$ 個(但， n 為2以上之整數)電容器等效電路。藉此，能將單元作為電容器元件，將包含並聯連接於一對電源側貫通導體及接地側貫通導體間之 $2 \times n$ 個電容器元件之情形再現。此種單元，能實現在將內設有電容器元件之基板積層複數層之後，將貫通其等基板之貫通導體一次成形。 $2 \times n$ 個電容器等效電路彼此並聯連接， n 個電容器等效電路連接於表示電源側貫通導體之等效電路之輸入埠(Port1)側、及表示接地側貫通導體之等效電路之輸入埠(Port1)側，剩餘的 n 個電容器等效電路連接於表示電源側貫通導體之等效電路之輸出埠(Port2)側、及表示接地側貫通導體之等效電路之輸出埠(Port2)側。

【0117】 此外，於圖18中雖例示單元之連結數為1之情形，但單元之連結數亦可為2以上。於此情形，雖亦可至少1個單元包含圖18所示之第1等效電路81及第2等效電路82，但較佳為全部單元分別包含圖18所示之第1等效電路81及第2等效電路82。又，亦可於任一情形，皆將圖18所示之等效電路S、等效電路G、第1等效電路81及第2等效電路82之至少一部分置換為與其相當之替代參數。

【0118】 其次，對控制部20之功能進行詳述。

【0119】 如圖3所示，控制部20具有輸入接收部21、運算部22及輸出部23。

【0120】 輸入接收部21，進行取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且與複數個既定間距之任一者對應(一致)之間距之處理。亦即，於基板設計支援裝置1中，使用者不能以任意的間距將電源側貫通導體及接地側貫通導體配置(設計)於配線基板，只能以與預先設定之既定間距之任一者一致之間距，來將電源側貫通導體及接地側貫通導體配置(設計)於配線基板。

【0121】 此外，輸入接收部21，能將由使用者設定之各對電源側貫通導體及接地側貫通導體間之間距，例如從其等之座標資訊取得。

【0122】 又，輸入接收部21，進行取得由使用者設定之連結數(單元並聯連接之數)之處理。

【0123】 此外，此連結數，例如能從並聯連接於相同的電源線之電源側貫通導體及接地側貫通導體之對的數量而得。

【0124】 又，較佳為由使用者設定之各對電源側貫通導體及接地側貫通導體，分別位於既定格子之交點上。藉此，能配置降低等效串聯電阻(ESR)及等效串聯電感(ESL)之電容器元件。

【0125】 更具體而言，例如，當使用者經由輸入部10配置第1個電源側貫通導體或接地側貫通導體時，則其貫通導體位於交點上之既定格子顯示於顯示部40。在此，格子的種類及間距，構成為能由使用者設定(指定)，格子的間距與一對電源側貫通導體及接地側貫通導體間之複數個間距之任一者一致。而且，第2個以後之電源側貫通導體及接地側貫通導體，設定為僅配置於格子之其他交點上。此時，雖較佳為一對電源側貫通導體及接地側貫通導體位於格子之相鄰的交點上，但亦可位於格子之不相鄰的交點上。

【0126】 圖19係表示格子、及配置於其交點上之電源側貫通導體及接地側貫通導體之一例之示意圖。

【0127】 於圖19所示之例中，表示正方形的格子，且正方配置有電源側貫通導體71及接地側貫通導體72。於正方配置中，在正方形狀之各頂點配置有電源側貫通導體71及接地側貫通導體72。如圖19所示，可將電源側貫通導體71及接地側貫通導體72於上下方向及左右方向交互配置。

【0128】 圖20係表示格子、及配置於其交點上之電源側貫通導體及接地側貫通導體之另一例之示意圖。

【0129】 於圖20所示之例中，表示菱形(內角為 60° 或 120°)的格子，且六方配置有電源側貫通導體71及接地側貫通導體72。於六方配置中，在正六邊形狀之各頂點及該正六邊形狀之中心配置有電源側貫通導體71及接地側貫通導體72。如圖20所示，可將電源側貫通導體71及接地側貫通導體72於上下方向交互配置。

【0130】 此外，於圖19及圖20中，包圍一對電源側貫通導體71及接地側貫通導體72之矩形狀之虛線，係表示單元之區域之虛擬線。

【0131】 輸入接收部21，進一步取得由使用者設定之除了單元之外之關於基板之構成要素之資訊亦即基板資訊。亦即，關於單元以外之構成要素，取得由使用者設計(例如描繪)之資訊。作為基板資訊，例如，可舉例如關於配線或樹脂基板、及未包含於單元之貫通導體(通路或通孔)之資訊等。關於配線之資訊中，例如，包含配線之布局(座標)、配線層之導體厚度等。關於樹脂基板之資訊中，例如，包含在進行多層化時之樹脂基板部分之厚度等。關於未包含於單元之貫通導體之資訊中，例如，包含貫通導體之座標或尺寸等。

【0132】 又，此等之基板資訊按照既定之設計規則輸入。亦即，由使用者設定之基板資訊，限制為滿足設計規則之資訊。此外，亦可不是如此僅接收按照

設計規則之基板資訊，而是驗證所輸入之基板資訊是否滿足設計規則，於有未滿足設計規則之項目之情形，將錯誤通知顯示部40，要求使用者進行該項目之變更。

【0133】 於設計規則中，包含配線層之導體厚度或配線之L/S規則、貫通導體之導體量、進行多層化時之樹脂基板部分之厚度等、為了形作配線基板所需之諸資訊。

【0134】 運算部22，將輸入接收部21取得之與各對電源側貫通導體及接地側貫通導體間之間距及單元之連結數對應之基板資訊從記憶部30取得，根據取得之電路資訊(單元等效電路及/或參數)，進行運算電源線之阻抗之處理。由於對應於此間距之電路資訊，能將以其間距而配置之一對電源側貫通導體及接地側貫通導體之單元以良好精度來再現，因此，能以良好精度來運算電源線之阻抗特性。又，由於此電路資訊係被準備於每一單元之連結數者，因此，能進一步提高電源線之阻抗特性之運算精度。

【0135】 更詳細而言，運算部22，除了與輸入接收部21取得之間距及連結數對應之電路資訊之外，亦根據輸入接收部21取得之基板資訊，進行運算電源線之阻抗特性之處理。

【0136】 此時，運算部22，根據所取得之電路資訊(單元等效電路及/或參數)進行運算單元之阻抗特性之處理、及根據所取得之基板資訊進行運算基板(但，單元除外)之阻抗特性之處理。而且，將兩者之阻抗特性合成，以合成後之狀態進行基板整體，在此為運算電源線之阻抗特性之處理。於此等之運算處理，能使用SPICE(Simulation Program with Integrated Circuit Emphasis，積體電路通用類比程式)。

【0137】 輸出部23，進行使根據運算部22之運算結果亦即電源線之阻抗顯示於顯示部40之處哩。

【0138】 其次，對基板設計支援裝置1的動作(藉由基板設計支援裝置1之基板設計支援方法)進行說明。

【0139】 圖21係說明本發明之實施形態1之基板設計支援裝置的動作之一例之流程圖。

【0140】 如圖21所示，首先，輸入接收部21，進行經由輸入部10，取得與複數個既定間距之任一者對應之至少一對電源側貫通導體及接地側貫通導體間之間距、單元並聯連接之連結數、及基板資訊之處理(步驟S11)。

【0141】 其次，運算部22，進行從記憶部30取得與在步驟S11取得之間距及連結數對應之電路資訊(單元等效電路及/或參數)之處理(步驟S12)。

【0142】 其次，運算部22，根據在步驟S12取得之電路資訊，進行運算單元之阻抗特性之處理(步驟S13)。

【0143】 其次，運算部22，根據在步驟S11取得之基板資訊，進行運算基板(但，單元除外)之阻抗特性之處理(步驟S14)。

【0144】 此外，步驟S12、S13及S14之順序，並不特別限定於此順序，例如，亦可按照步驟S14、S12及S13之順序來進行，亦可將步驟S12及S13與步驟S14並行進行。

【0145】 其次，運算部22，進行將以步驟S13算出之單元之阻抗特性、與以步驟S14算出之基板(但，單元除外)之阻抗特性合成，在合成後之狀態下運算電源線之阻抗特性之處理(步驟S15)。

【0146】 而且，輸出部23，進行使藉由運算部22之運算結果亦即電源線之阻抗顯示於顯示部40之處理，結束基板設計支援裝置1的動作。

【0147】 使用者能根據顯示於顯示部40之電源線之阻抗，例如，增減旁路電容器的數量，亦即電源側貫通導體及接地側貫通導體之對的數量、或一對電源側貫通導體及接地側貫通導體間之間距。

【0148】 如以上之說明，上述實施形態之基板設計支援裝置，能適當地利用於經由複數個貫通導體而連接有旁路電容器之電源線之設計。

【0149】 此外，於上述實施形態中，雖說明使用與電源側貫通導體及接地側貫通導體間之既定間距、及單元之連結數對應之電路資訊之情形，但若電路資訊設定於至少每一既定間距即可。例如，除了間距之外，亦可加上連結數、或取代連結數，而對應於包含於單元之電容器元件之電容、或配線基板之層數等來設定電路資訊。

【0150】 又，於上述實施形態中，雖對將基板設計支援裝置作為一個裝置而構成之情形進行了說明，但亦可藉由將基板設計支援裝置之各功能分散於適當複數個裝置之分散處理系統來實現。例如，亦可於使用者所使用之終端裝置僅進行資訊之輸入與運算結果之顯示，基於對應於輸入資訊之電路資訊等之阻抗之運算處理，於伺服器裝置(例如，雲端)進行。於此情形，亦可將電路資訊記憶於伺服器裝置之記憶部。又，例如，亦可將基於電路資訊之單元之阻抗之運算處理、及基於基板資訊之基板(但，單元除外)之阻抗之運算處理在不同的裝置(終端裝置或伺服器裝置)執行。

【0151】 於本說明書中，揭示有以下之內容。

【0152】 <1>

一種基板設計支援裝置，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：
記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；
輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及

運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；

記憶於該記憶部之該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【0153】 <2>

如<1>所記載之基板設計支援裝置，其中，

表示該單元之等效電路，包含不藉由該既定間距設定之表示該電源側貫通導體之電感成分及表示該接地側貫通導體之電感成分。

【0154】 <3>

如<1>或<2>所記載之基板設計支援裝置，其中，

表示該單元之等效電路，包含表示該電源側貫通導體之等效電路及表示該接地側貫通導體之等效電路；

表示該電源側貫通導體之等效電路，包含串聯連接於輸入埠及輸出埠之間之第1電路部及第2電路部；

表示該接地側貫通導體之等效電路，包含串聯連接於該輸入埠及該輸出埠之間之第3電路部及第4電路部；

表示該電容器元件之等效電路，連接於該第1電路部及該第2電路部之間之節點、及該第3電路部及該第4電路部之間之節點。

【0155】 <4>

如<1>至<3>中任一者所記載之基板設計支援裝置，其中，

表示該電容器元件之等效電路包含梯形電路。

【0156】 <5>

如<4>所記載之基板設計支援裝置，其中，
該梯形電路包含2個以上之該電容成分。

【0157】 <6>

如<1>至<5>中任一者所記載之基板設計支援裝置，其中，
該單元，作為該電容器元件，包含並聯連接於該一對電源側貫通導體及接地側貫通導體間之第1電容器元件及第2電容器元件；

表示該單元之等效電路，作為表示該電容器元件之等效電路，包含表示該第1電容器元件之第1等效電路及表示該第2電容器元件之第2等效電路；

該第1等效電路及該第2等效電路彼此等效；

該第1等效電路，連接於該電源側貫通導體之該配線基板之一個主側面之節點、及該接地側貫通導體之該配線基板之該一個主側面之節點；

該第2等效電路，連接於該電源側貫通導體之該配線基板之另一個主側面之節點、及該接地側貫通導體之該配線基板之該另一個主側面之節點。

【0158】 <7>

如<1>至<6>中任一者所記載之基板設計支援裝置，其中，
表示該電容器元件之等效電路，包含經過LR電路後到達該電容成分之等效電路部。

【0159】 <8>

如<1>至<7>中任一者所記載之基板設計支援裝置，其中，
該單元，作為該電容器元件，包含並聯連接於該一對電源側貫通導體及接地側貫通導體間之 $2 \times n$ 個(其中， n 為2以上之整數)電容器元件；

表示該單元之等效電路，包含 $2 \times n$ 個表示該電容器元件之等效電路。

【0160】 <9>

如<1>至<8>中任一者所記載之基板設計支援裝置，其中，

由使用者設定之各對電源側貫通導體及接地側貫通導體，分別位於既定之格子之交點上。

【0161】 <10>

如<1>至<9>中任一者所記載之基板設計支援裝置，其中，

該輸入接收部，進一步取得關於由使用者設定之除了該單元以外之基板之構成要素之資訊亦即基板資訊；

該運算部根據該電路資訊及該輸入接收部所取得之該基板資訊，運算該電源線之阻抗。

【0162】 <11>

如<1>至<10>中任一者所記載之基板設計支援裝置，其中，

該記憶部，對應該單元並聯連接之數量亦即連結數來記憶表示該單元之電路資訊；

該輸入接收部，進一步取得由使用者設定之連結數；

該運算部，從該記憶部取得與該輸入接收部所取得之該間距及該連結數對應之電路資訊，根據取得之電路資訊，運算該電源線之阻抗。

【0163】 <12>

一種基板設計支援系統，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：

記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；

輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及

運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資

訊，根據所取得之電路資訊，運算電源線之阻抗；

記憶於該記憶部之該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【0164】 <13>

一種與電路資訊相關之資料構造，其用於具備輸入接收部、記憶部及運算部，且進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援之基板設計支援裝置或基板設計支援系統，

該與電路資訊相關之資料構造記憶於該記憶部，

將表示單元之電路資訊包含於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件，而且，

用於以下之處理，即，根據該輸入接收部所取得之由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者，該運算部從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，來運算電源線之阻抗之處理，

該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者，

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【符號說明】

【0165】

1:基板設計支援裝置

10:輸入部

20:控制部

21:輸入接收部

22:運算部

23:輸出部

30:記憶部

40:顯示部

50、80:單元等效電路

51、52、83、84、85、86:節點

60:電容器等效電路

61:第1端子

62:第2端子

63:第1電容部

64:第2電容部

65:LR電路

71:電源側貫通導體

72:接地側貫通導體

81:第1等效電路

82:第2等效電路

101:電容器部

110:電容器元件

111:陽極板

111A:芯部

111B:多孔質部

112:陰極層

113:介電層

120:貫通導體

120A:陰極貫通導體

120B:陽極貫通導體

125A、125B:樹脂充填部

130:密封層

140A、140B:導體配線層

145:通路導體

C:電容器等效電路

C1~C3:電容成分

G:等效電路

G':第3電路部

G'':第4電路部

L、L1、LS1:電感成分

R、R1~R3、RS1、Rsh1:電阻成分

S:等效電路

S':第1電路部

S'':第2電路部

Z1、Z2、Z3、Z1'、Z1''、Z2'、Z2''、Ztot、Zunit:替代參數

【發明申請專利範圍】

【請求項1】一種基板設計支援裝置，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：

記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；

輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及

運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；

記憶於該記憶部之該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【請求項2】如請求項1之基板設計支援裝置，其中，

表示該單元之等效電路，包含不藉由該既定間距設定之表示該電源側貫通導體之電感成分及表示該接地側貫通導體之電感成分。

【請求項3】如請求項1或2之基板設計支援裝置，其中，

表示該單元之等效電路，包含表示該電源側貫通導體之等效電路、及表示該接地側貫通導體之等效電路；

表示該電源側貫通導體之等效電路，包含串聯連接於輸入埠及輸出埠之間之第1電路部及第2電路部；

表示該接地側貫通導體之等效電路，包含串聯連接於該輸入埠及該輸出埠

之間之第3電路部及第4電路部；

表示該電容器元件之等效電路，連接於該第1電路部及該第2電路部之間之節點、及該第3電路部及該第4電路部之間之節點。

【請求項4】如請求項1或2之基板設計支援裝置，其中，
表示該電容器元件之等效電路包含梯形電路。

【請求項5】如請求項4之基板設計支援裝置，其中，
該梯形電路包含2個以上之該電容成分。

【請求項6】如請求項1或2之基板設計支援裝置，其中，
該單元，作為該電容器元件，包含並聯連接於該一對電源側貫通導體及接地側貫通導體間之第1電容器元件及第2電容器元件；

表示該單元之等效電路，作為表示該電容器元件之等效電路，包含表示該第1電容器元件之第1等效電路及表示該第2電容器元件之第2等效電路；

該第1等效電路及該第2等效電路彼此等效；

該第1等效電路，連接於該電源側貫通導體之該配線基板之一個主側面之節點、及該接地側貫通導體之該配線基板之該一個主側面之節點；

該第2等效電路，連接於該電源側貫通導體之該配線基板之另一個主側面之節點、及該接地側貫通導體之該配線基板之該另一個主側面之節點。

【請求項7】如請求項1或2之基板設計支援裝置，其中，
表示該電容器元件之等效電路，包含經過LR電路後到達該電容成分之等效電路部。

【請求項8】如請求項1或2之基板設計支援裝置，其中，
該單元，作為該電容器元件，包含並聯連接於該一對電源側貫通導體及接地側貫通導體間之 $2 \times n$ 個(其中， n 為2以上之整數)電容器元件；

表示該單元之等效電路，包含 $2 \times n$ 個表示該電容器元件之等效電路。

【請求項9】如請求項1或2之基板設計支援裝置，其中，
由使用者設定之各對電源側貫通導體及接地側貫通導體，分別位於既定之格子之交點上。

【請求項10】如請求項1或2之基板設計支援裝置，其中，
該輸入接收部，進一步取得關於由使用者設定之除了該單元以外之基板之構成要素之資訊亦即基板資訊；

該運算部根據該電路資訊及該輸入接收部所取得之該基板資訊，運算該電源線之阻抗。

【請求項11】如請求項1或2之基板設計支援裝置，其中，
該記憶部，對應該單元並聯連接之數量亦即連結數來記憶表示該單元之電路資訊；

該輸入接收部，進一步取得由使用者設定之連結數；

該運算部，從該記憶部取得與該輸入接收部所取得之該間距及該連結數對應之電路資訊，根據取得之電路資訊，運算該電源線之阻抗。

【請求項12】一種基板設計支援系統，其進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援，具備：

記憶部，其將表示單元之電路資訊記憶於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件；

輸入接收部，其取得由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者；以及

運算部，其從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，運算電源線之阻抗；

記憶於該記憶部之該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者；

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【請求項13】一種與電路資訊相關之資料構造，其用於具備輸入接收部、記憶部及運算部，且進行將經由至少一對電源側貫通導體及接地側貫通導體而連接於電源線及接地線之旁路電容器配置於配線基板之支援之基板設計支援裝置或基板設計支援系統，

該與電路資訊相關之資料構造記憶於該記憶部，

將表示單元之電路資訊包含於一對電源側貫通導體及接地側貫通導體間之複數個既定間距之各個，該單元包含一對電源側貫通導體及接地側貫通導體、及連接於該一對電源側貫通導體及接地側貫通導體間之電容器元件，而且，

用於以下之處理，即，根據該輸入接收部所取得之由使用者設定之至少一對電源側貫通導體及接地側貫通導體間之間距，且該間距對應於該複數個既定間距之任一者，該運算部從該記憶部取得與該輸入接收部所取得之該間距對應之電路資訊，根據所取得之電路資訊，來運算電源線之阻抗之處理，

該電路資訊，包含表示該單元之等效電路、及相當於表示該單元之等效電路之至少一部分之參數之至少一者，

表示該單元之等效電路，包含表示該電容器元件之等效電路根據所對應之該既定間距而設定之電容成分。

【發明圖式】

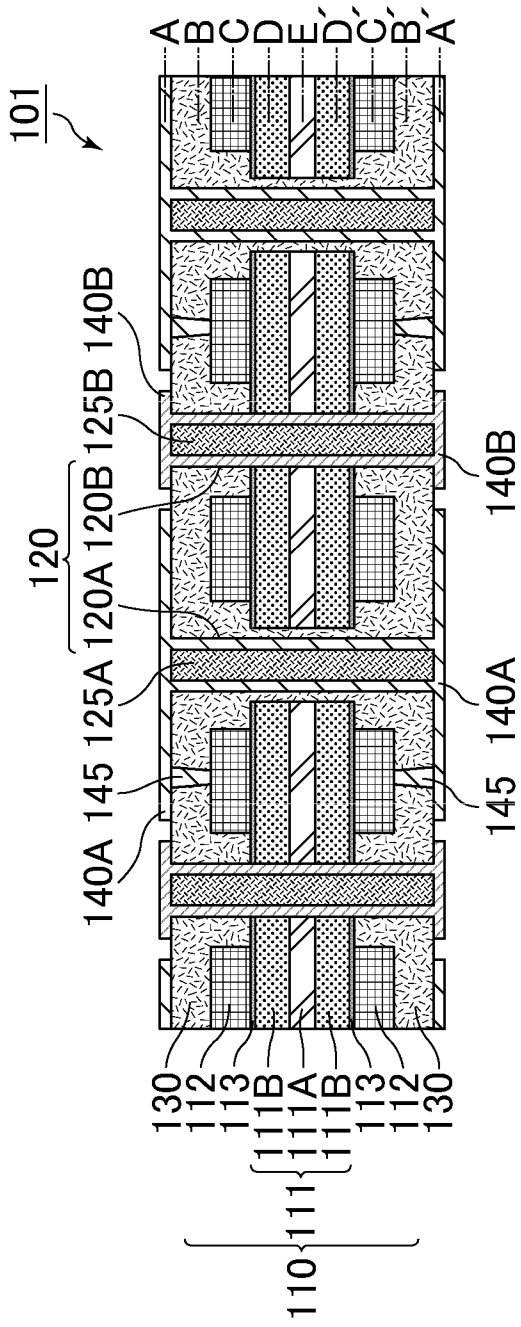


圖1

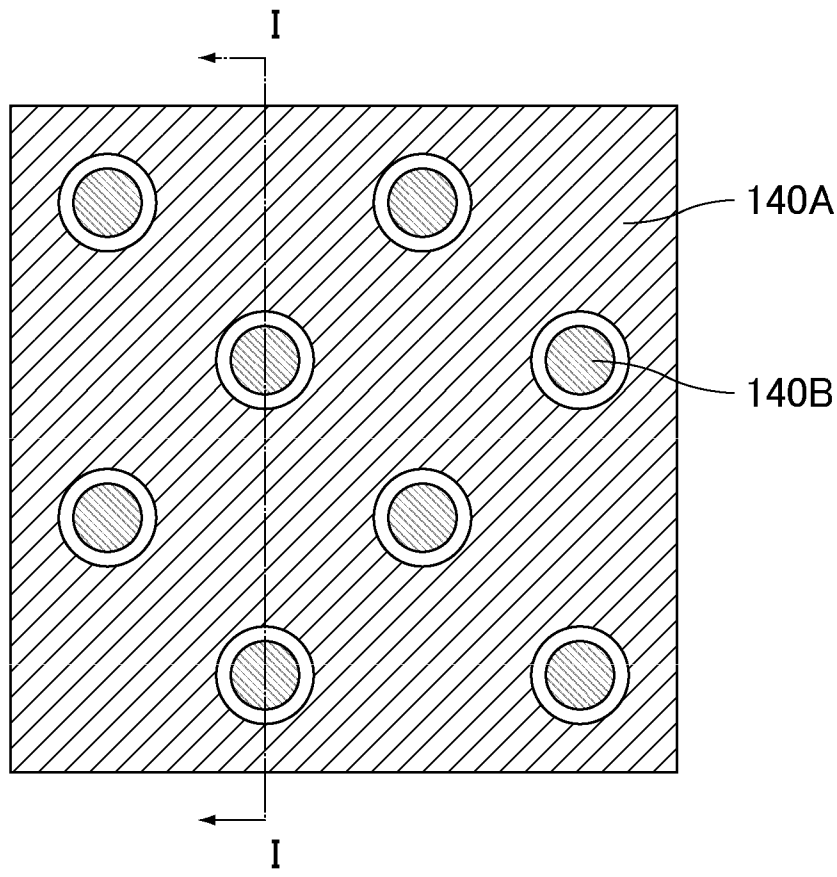


圖2A

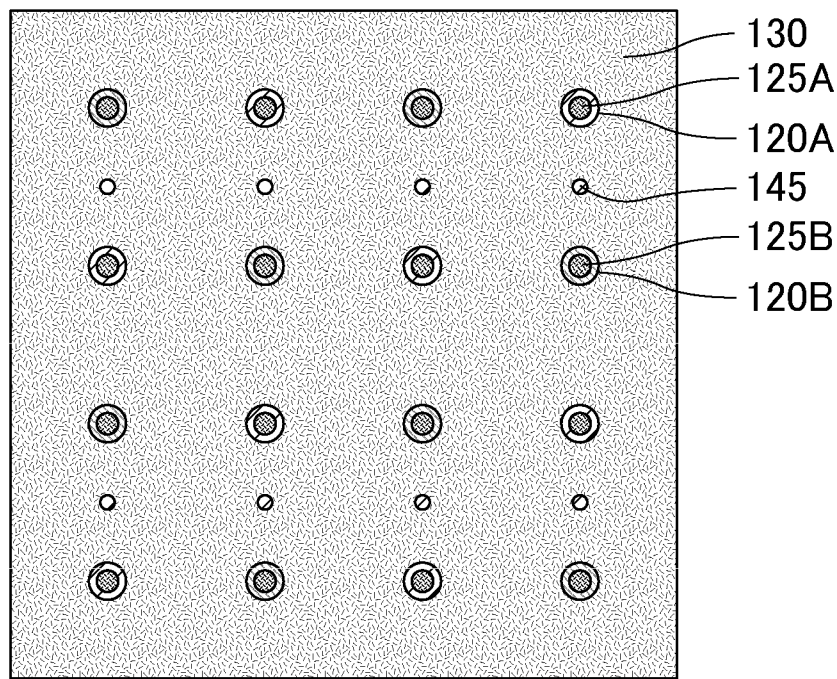


圖2B

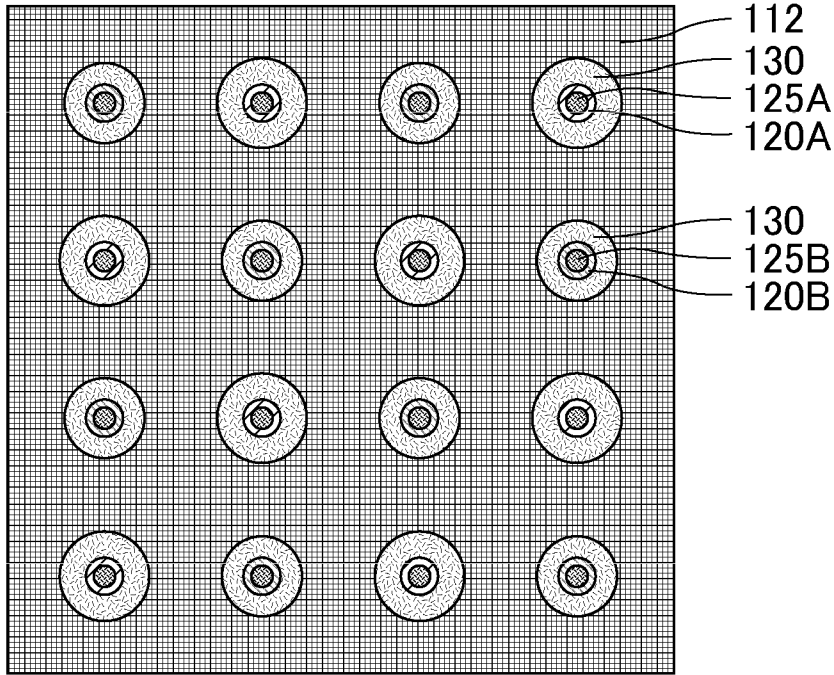


圖2C

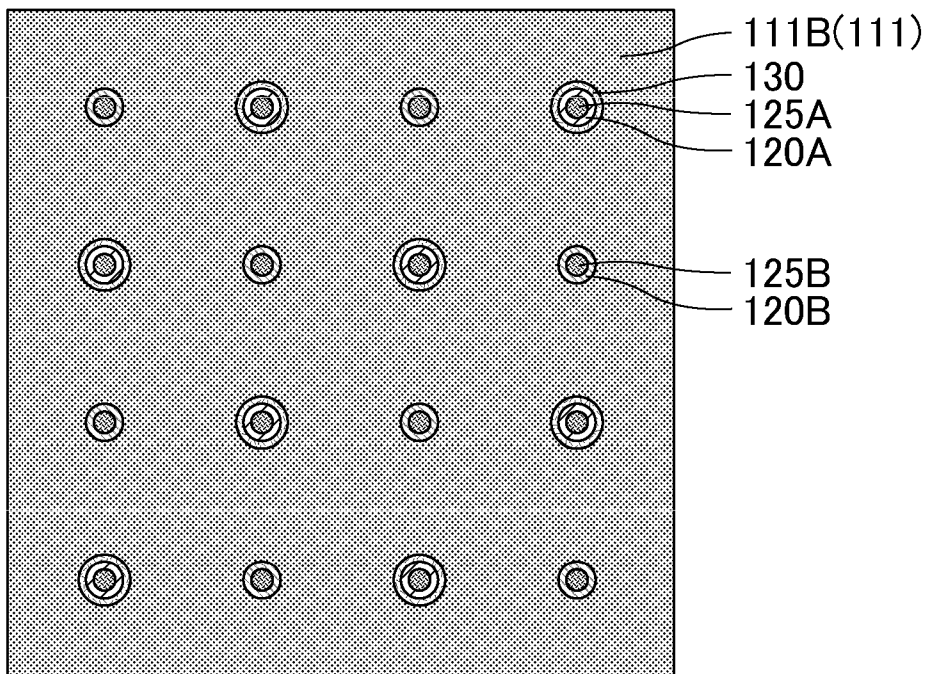


圖2D

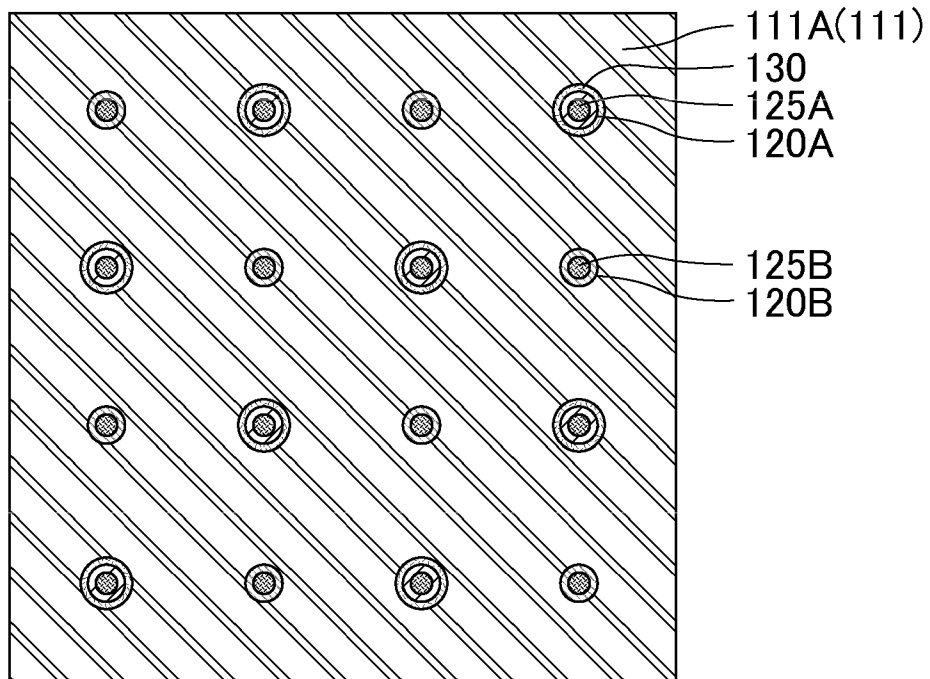


圖2E

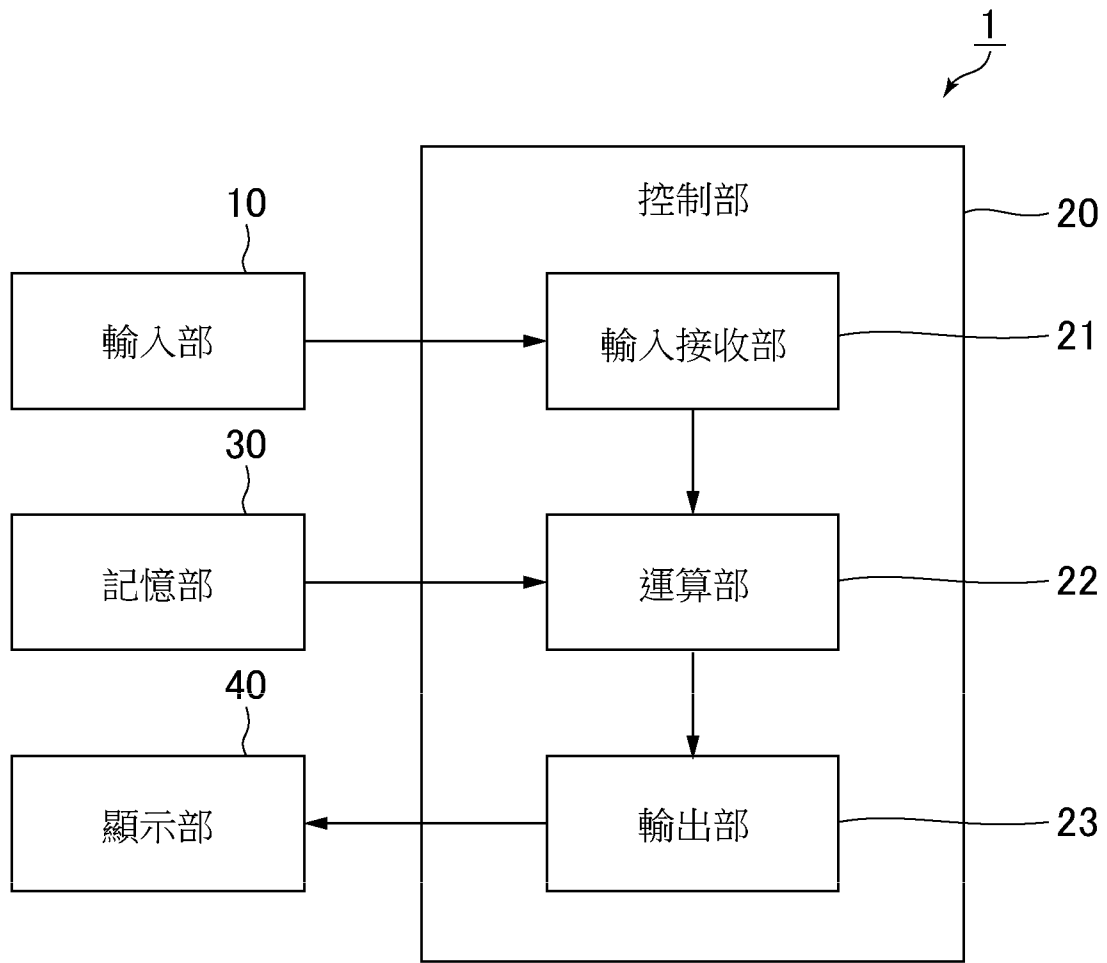


圖3

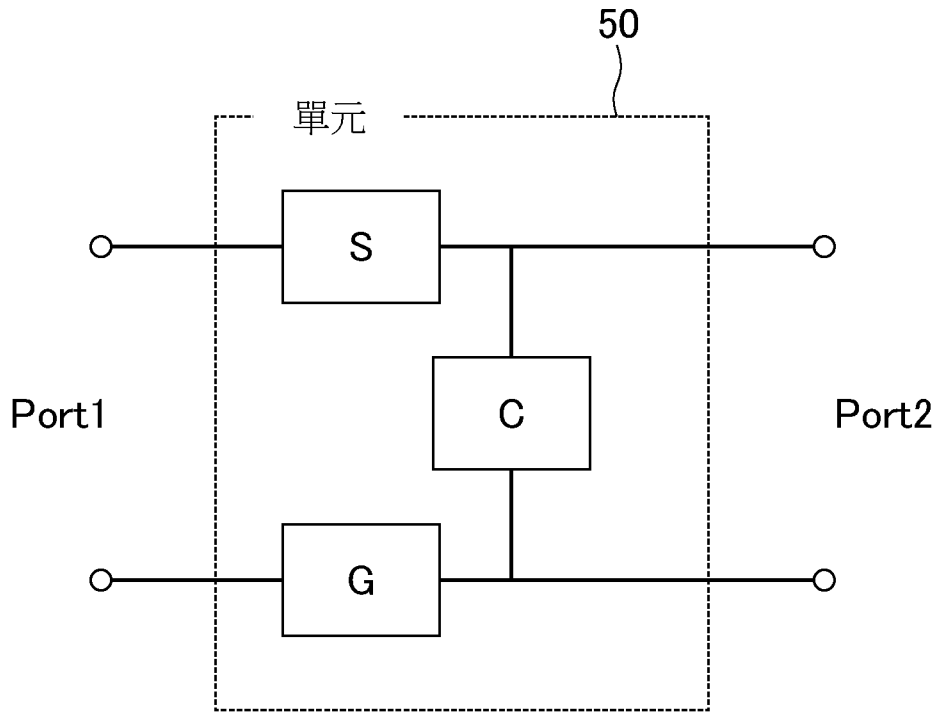


圖4A

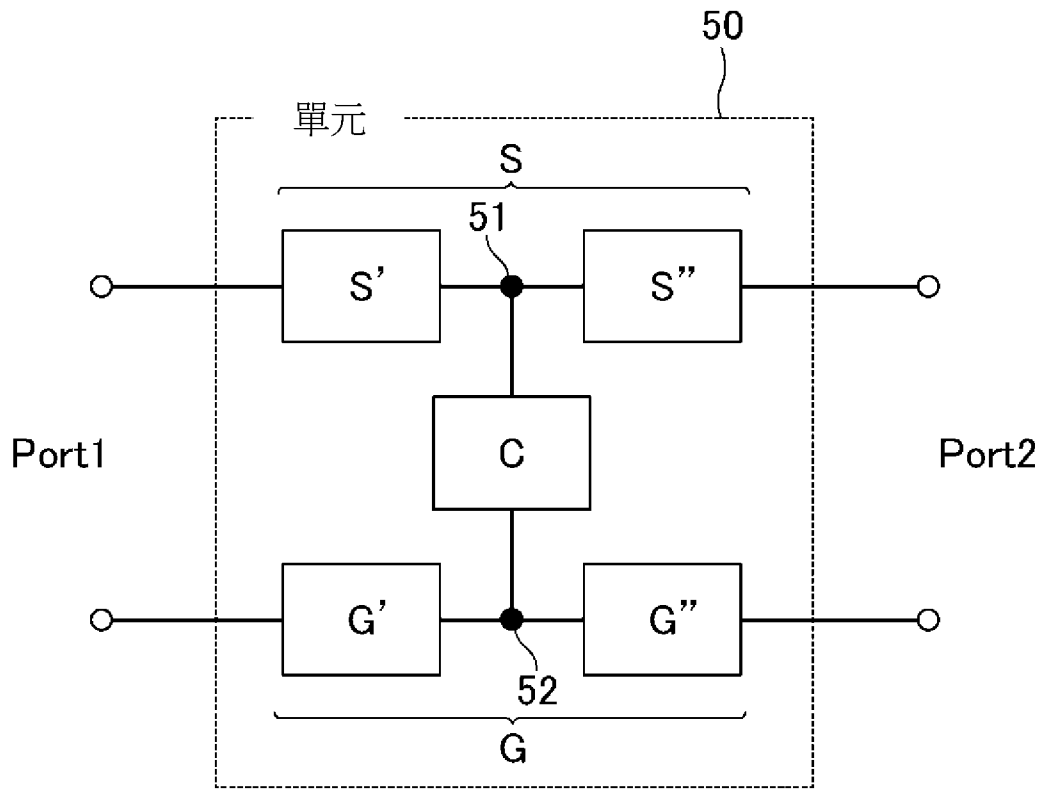


圖4B

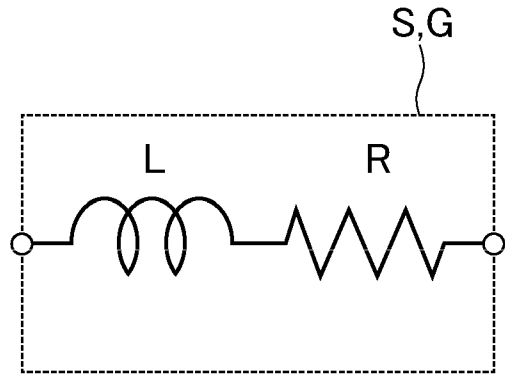


圖5

	等效電路		
間距 P1	S	G	C
間距 P2	S	G	C
間距 P3	S	G	C
⋮	⋮	⋮	⋮

圖6

連結數 =1	等效電路		
間距 P1	S	G	C
間距 P2	S	G	C
間距 P3	S	G	C
⋮	⋮	⋮	⋮

連結數 =2	等效電路		
間距 P1	S	G	C
間距 P2	S	G	C
間距 P3	S	G	C
⋮	⋮	⋮	⋮

連結數 =3	等效電路		
間距 P1	S	G	C
間距 P2	S	G	C
間距 P3	S	G	C
⋮	⋮	⋮	⋮

⋮

圖7

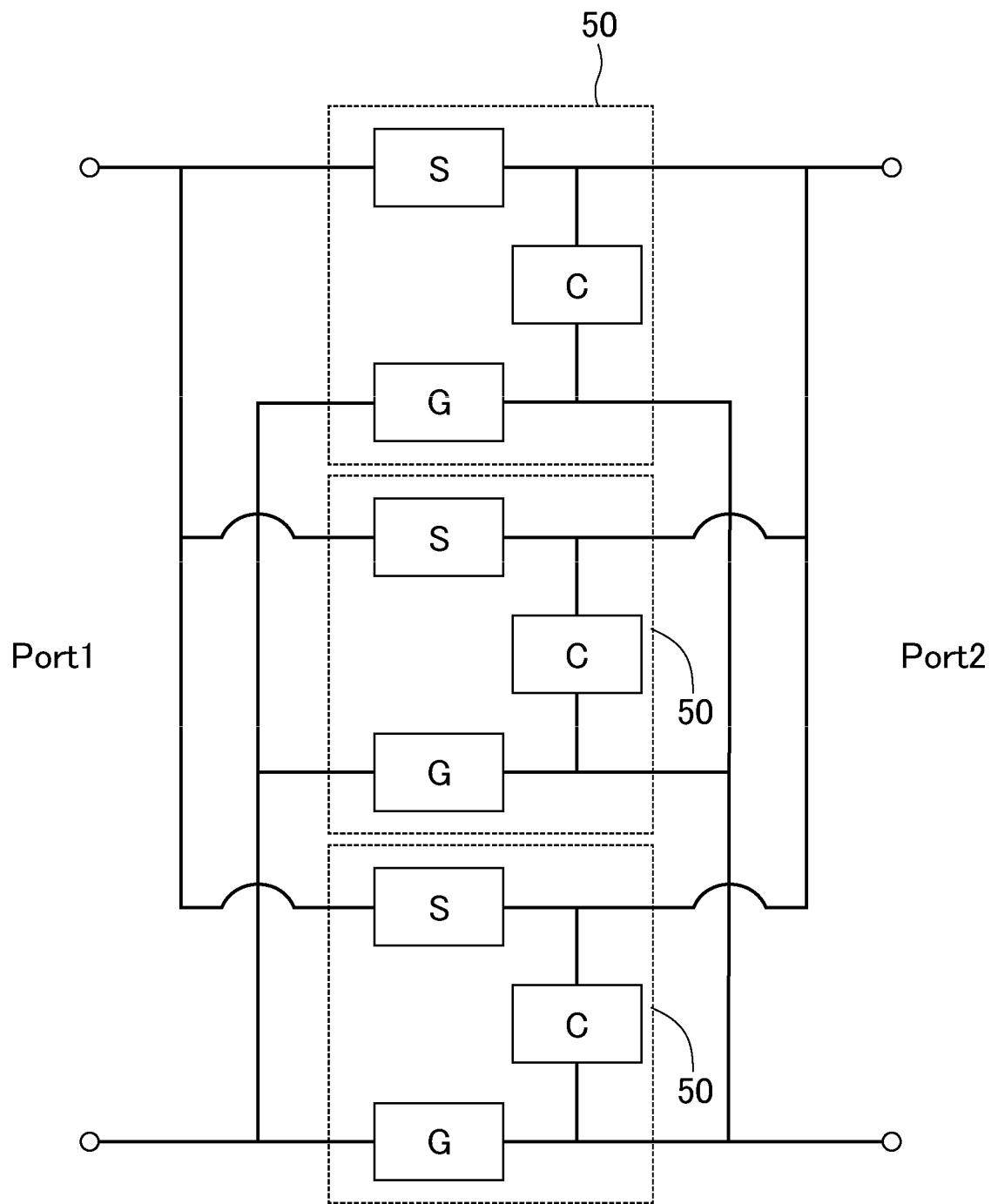


圖8

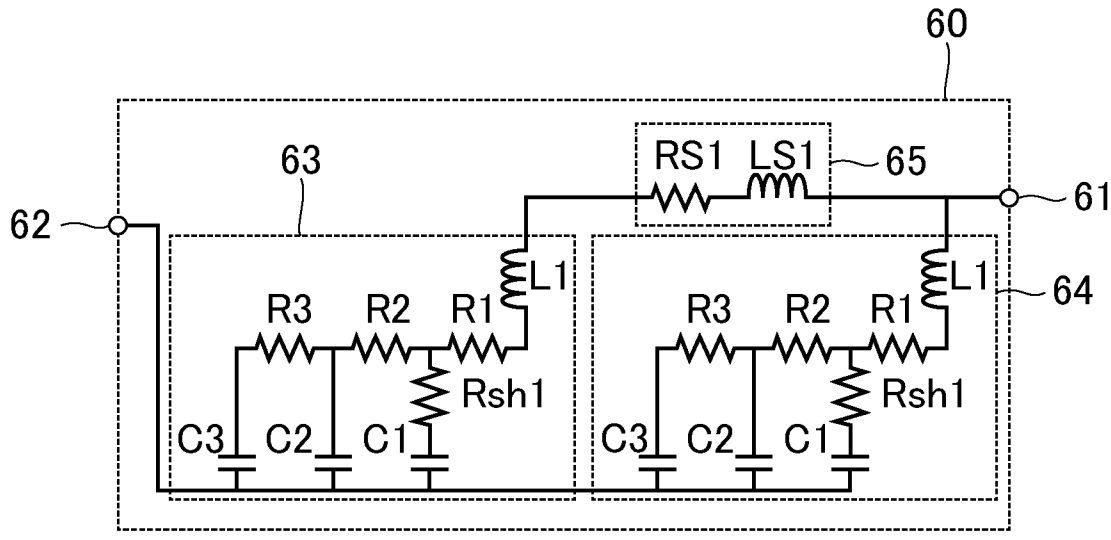


圖9

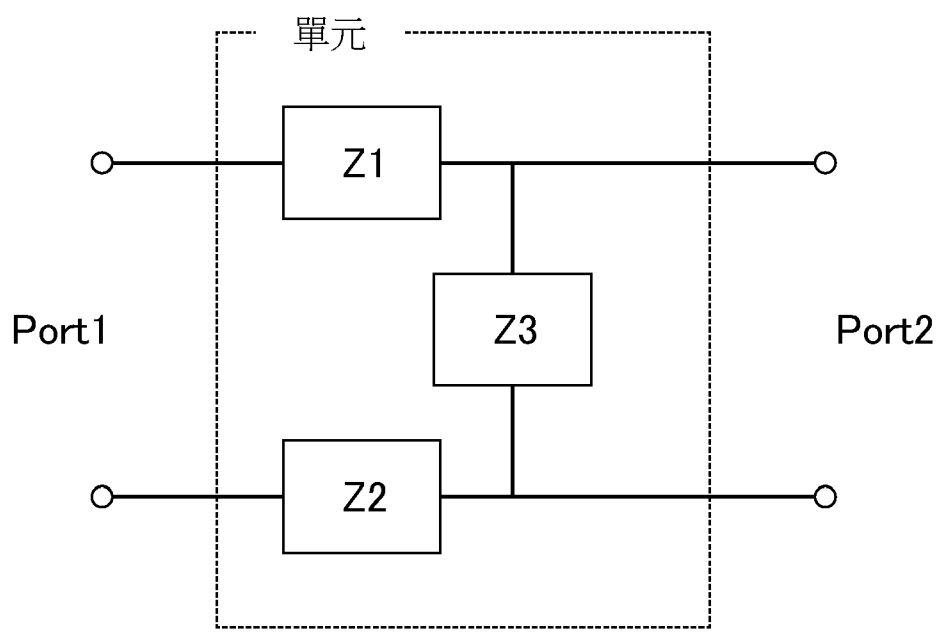


圖10A

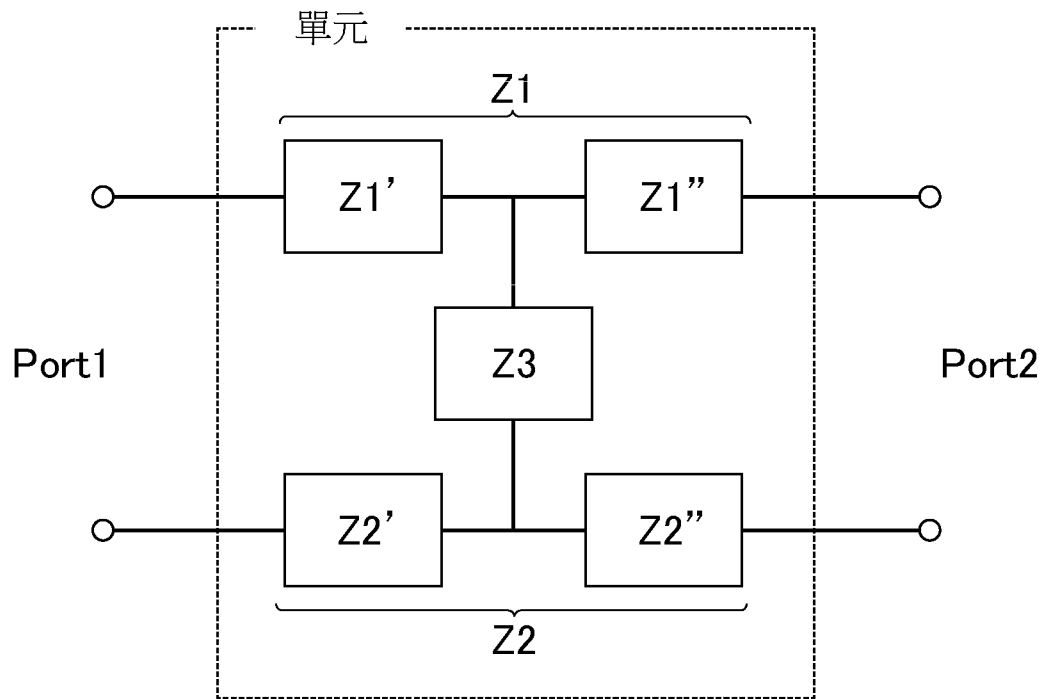


圖10B

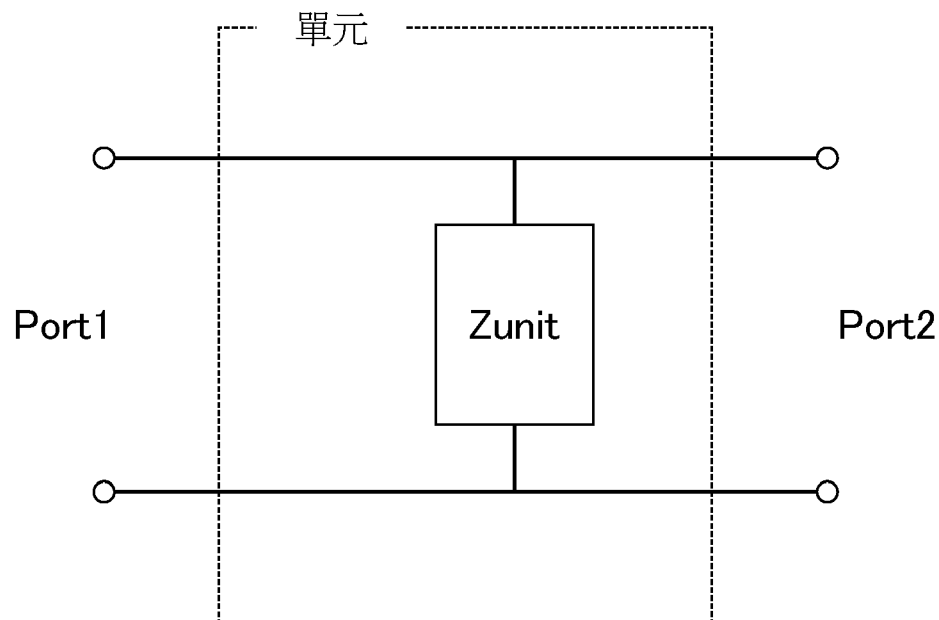


圖11

	參數		
間距 P1	Z1	Z2	Z3
間距 P2	Z1	Z2	Z3
間距 P3	Z1	Z2	Z3
⋮	⋮	⋮	⋮

圖12

	參數
間距 P1	Zunit
間距 P2	Zunit
間距 P3	Zunit
⋮	⋮

圖13

	等效電路	參數	
間距 P1	C	Z1	Z2
間距 P2	C	Z1	Z2
間距 P3	C	Z1	Z2
⋮	⋮	⋮	⋮

圖14

	等效電路			參數
間距 P1				Zunit
間距 P2	S	G	C	
間距 P3				Zunit
⋮	⋮	⋮	⋮	⋮

圖15

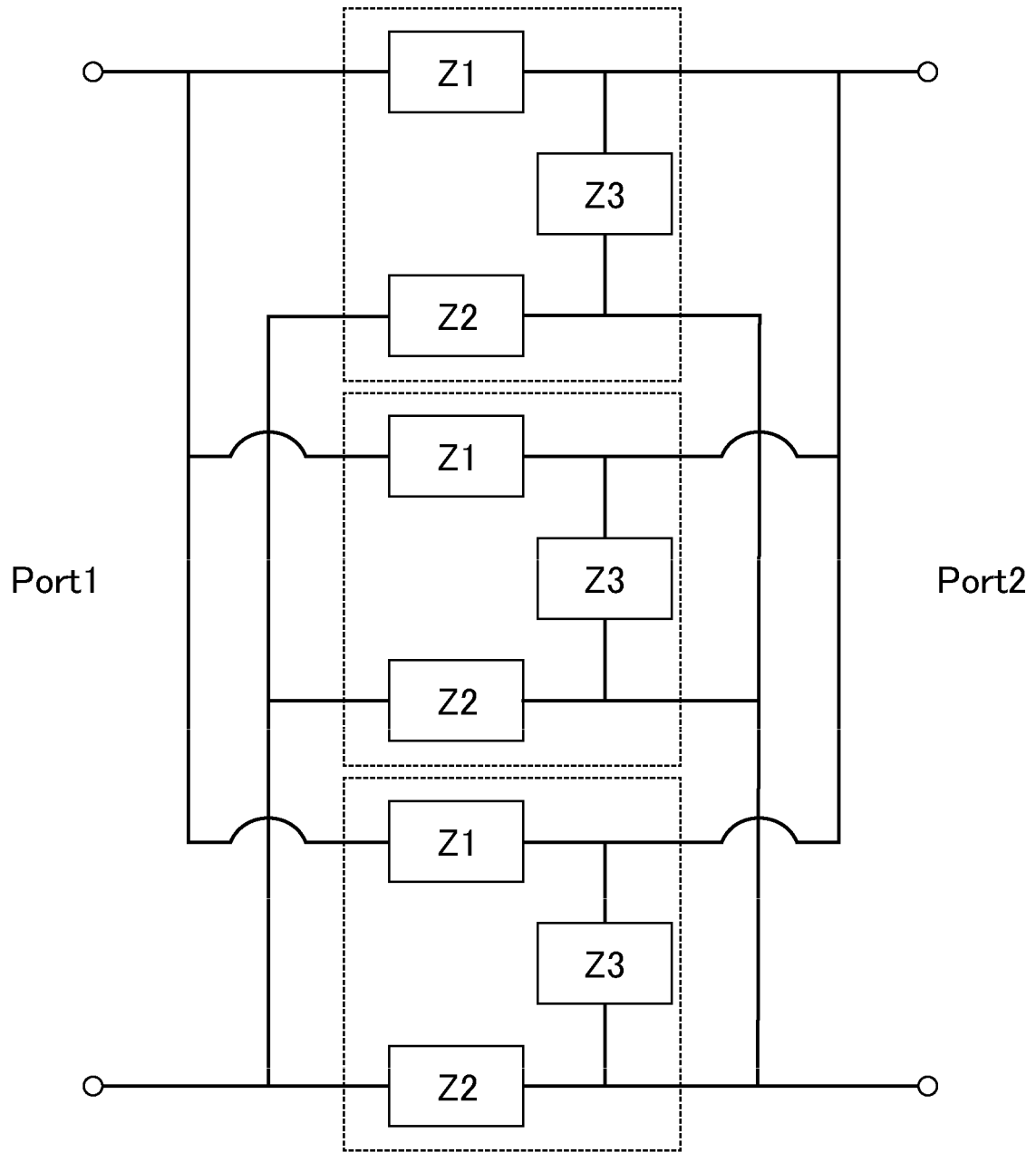


圖16

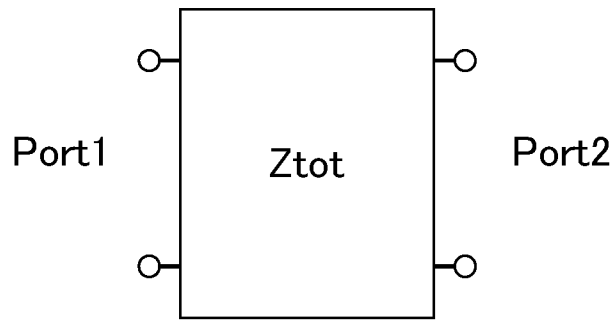


圖17

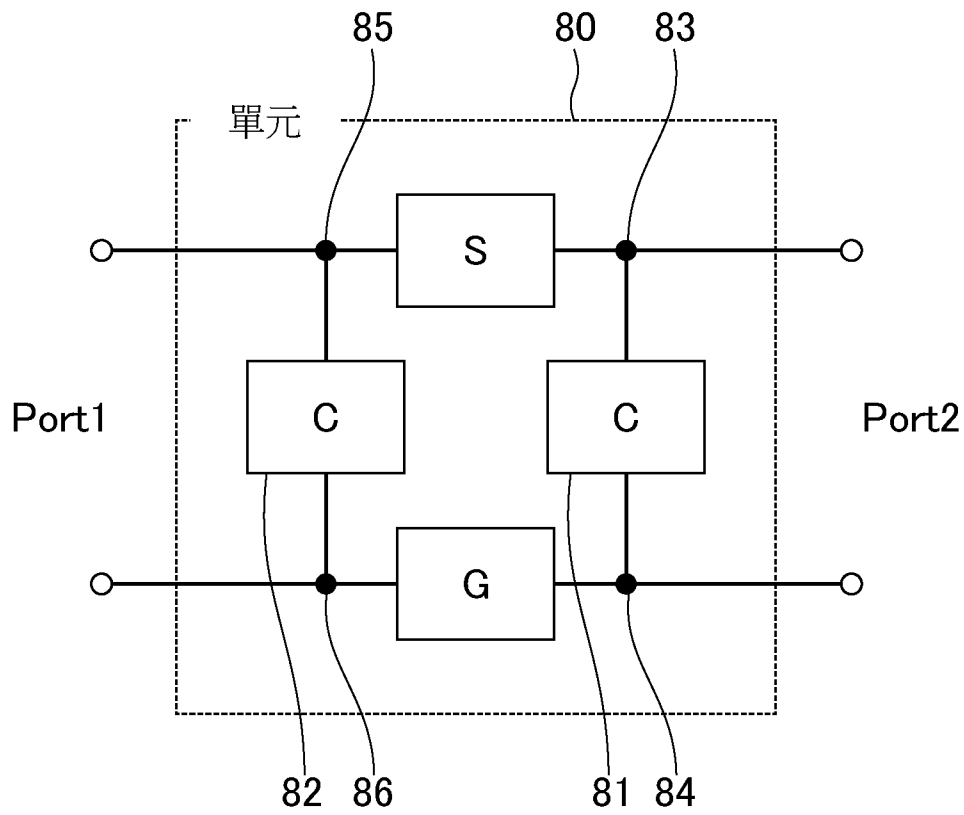


圖18

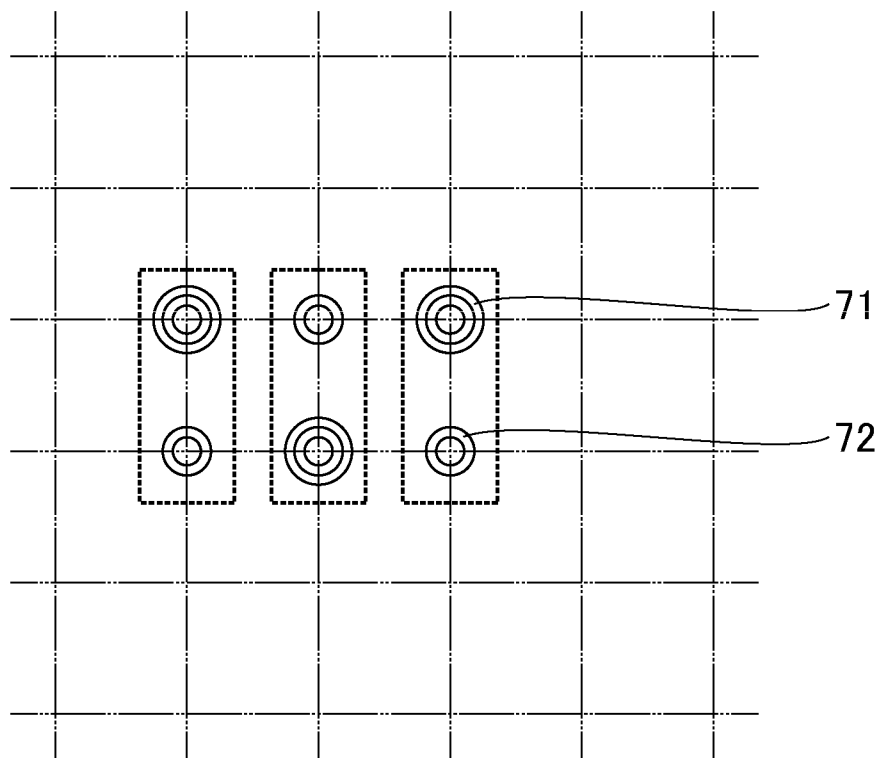


圖19

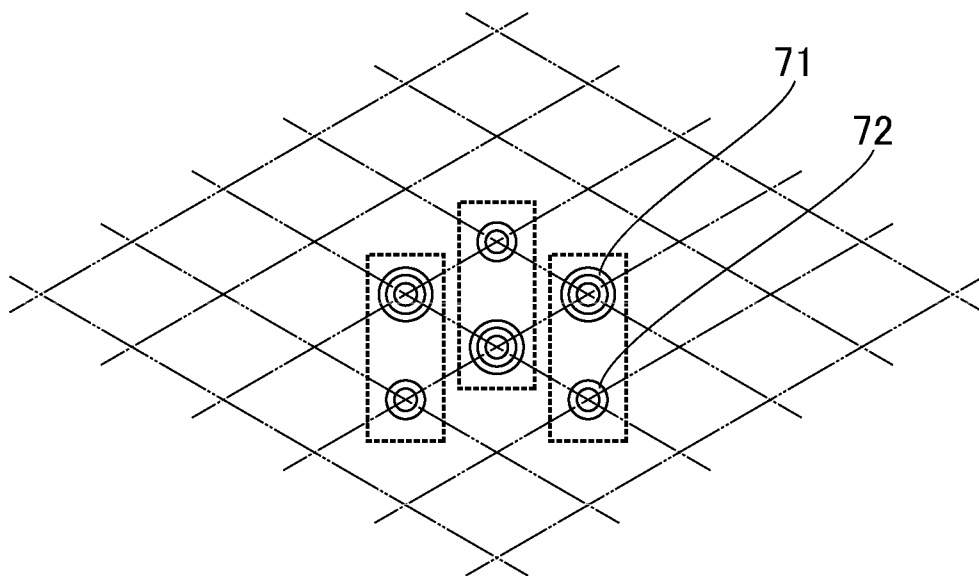


圖20

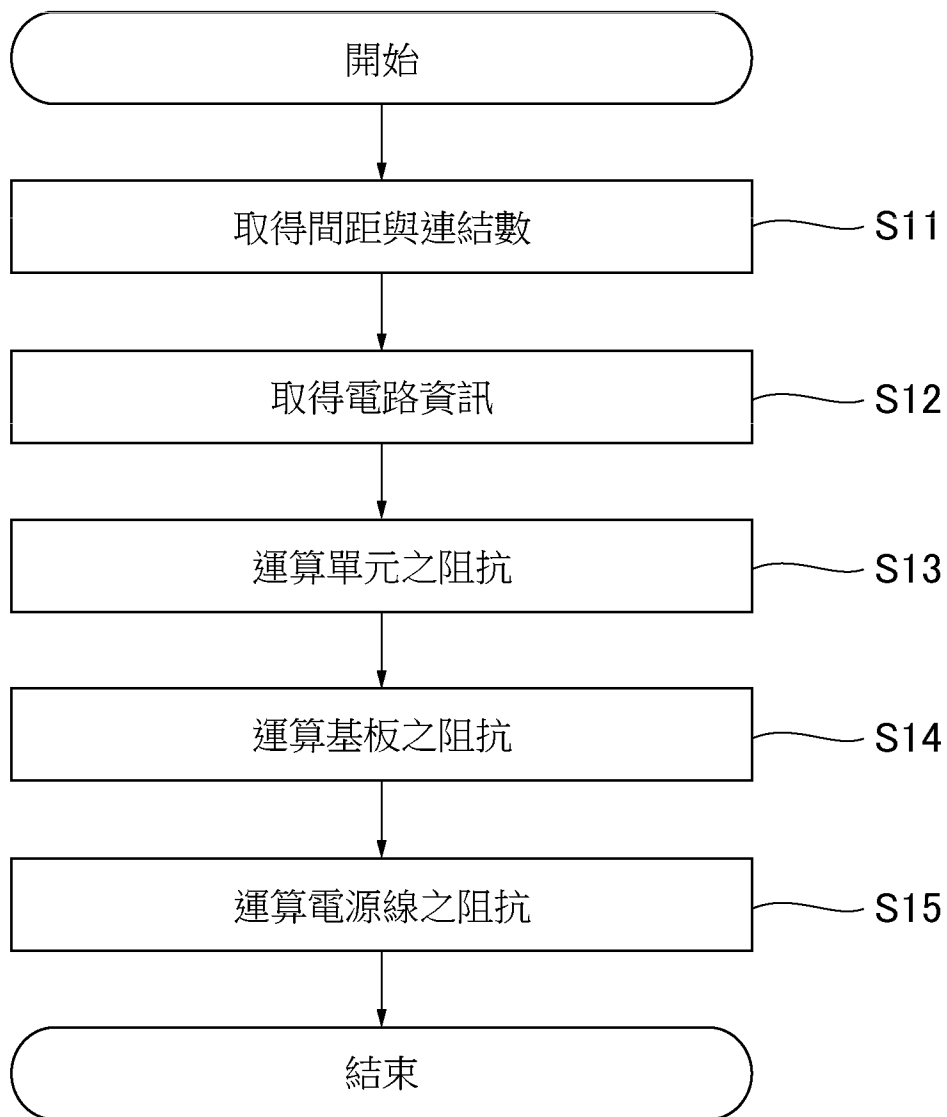


圖21