

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月1日(01.04.2010)

PCT

(10) 国際公開番号
WO 2010/035558 A1

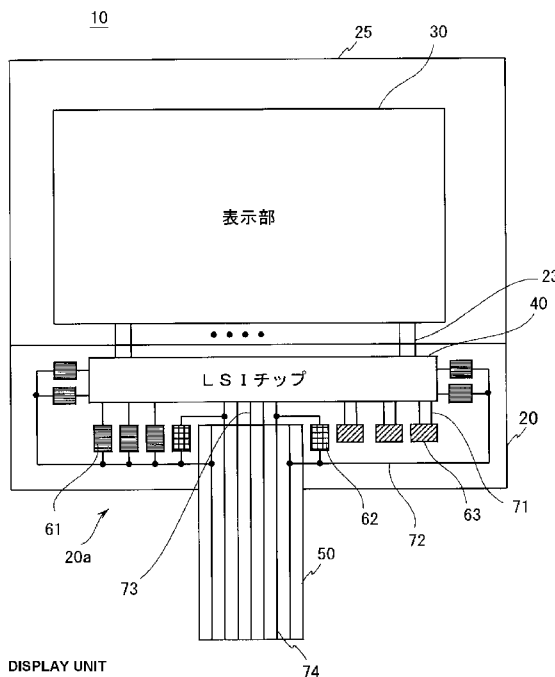
- (51) 国際特許分類:
G09F 9/00 (2006.01) G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2009/061200
- (22) 国際出願日: 2009年6月19日(19.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-250224 2008年9月29日(29.09.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 飛田 泰宏
(HIDA, Yasuhiro). 長岡 元(NAGAOKA, Gen). 梅
川 一郎(UMEKAWA, Ichiro). 塩田 素二(SHIO-
TA, Motoji). 清水 行男(SHIMIZU, Yukio).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図3]



30 DISPLAY UNIT
40 LSI CHIP

(57) Abstract: A stabilizing capacitor (61), bypass capacitor (62), and a boost capacitor (63) which have been conventionally mounted on an FPC substrate (50) in a liquid crystal display device (10) are arranged to be adjacent to the longer sides and the shorter sides of an input side of an LSI chip (40) mounted on a protrusion (20a) of a glass substrate (20) so as to be respectively connected to the input terminal of the LSI chip (40) by a capacitor wire (71). This can reduce the width of the FPC substrate (50) connected to the liquid crystal device (10). Thus, it is possible to provide a small-size liquid crystal display device (10) while reducing the manufacturing cost including the mounting cost of the FPC substrate (50) and the material cost.

(57) 要約: 液晶表示装置 (10) において、従来 FPC 基板 (50) に実装されていた安定化コンデンサ (61)、バイパスコンデンサ (62)、昇圧コンデンサ (63) が、ガラス基板 (20) の張出部 (20a) に実装された LSI チップ (40) の入力側の長辺および短辺に隣接して配置され、それぞれコンデンサ用配線 (71) によって LSI チップ (40) の入力端子に接続される。これにより、液晶表示装置 (10) に接続される FPC 基板 (50) の幅を狭くすることができるので、FPC 基板 (50) の実装コストおよび材料費などの製造コストを低減しつつ小型化された液晶表示装置 (10) が提供される。

WO 2010/035558 A1

WO 2010/035558 A1



CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 添付公開書類:
TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、外部から映像信号やクロック信号などを与えるための配線基板を備えた表示装置に関する。

背景技術

[0002] 図8は、携帯電話などに搭載される従来の液晶表示装置310の模式平面図である。図8に示すように、液晶表示装置310は、対向して配置された2枚のガラス基板320、325と、LSIチップ340と、FPC基板350と、コンデンサなどの複数個の個別電子部品360とを備えている。以下、本明細書において液晶表示装置とは、対向して配置された2枚のガラス基板、ガラス基板に実装されたLSIチップ、FPC基板、および、コンデンサなどの個別電子部品を含み、バックライトおよび偏光板を含まないものをいう。

[0003] 2枚のガラス基板320、325に挟まれた空間には、シール材（図示しない）によって液晶（図示しない）が封止され、ガラス基板325に表示部330が形成されている。また、ガラス基板320の張出部320aには、液晶を駆動するために必要なドライバ機能を有する大規模集積回路（Large Scale Integration：以下「LSI」という）チップ340や、電子機器のメインボード390と接続された可撓性のプリント配線（Flexible Printed Circuit：以下、「FPC」という）基板350が実装されている。メインボード390からFPC基板350を介してLSIチップ340に映像信号が与えられると、LSIチップ340は表示部330に映像を表示する。

[0004] LSIチップ340は、表示部330を駆動するために、画素数に応じて多数の出力端子を必要とするので、表示部330に平行な方向に長辺を有する細長い形状になる。このため、このようなLSIチップ340にメインボード390から映像信号やクロック信号などを供給するFPC基板350の

幅も、ＬＳＩチップ３４０の長辺の長さと同程度であった。

[0005] また、映像信号やクロック信号などは、このような幅の広いＦＰＣ基板３５０を介して、メインボード３９０からＬＳＩチップ３４０の対応する入力端子にそれぞれ与えられるので、張出部３２０aに空きスペースがほとんどなかった。このため、ＬＳＩチップ３４０の動作に必要な昇圧コンデンサや安定化コンデンサなどの個別電子部品３６０は、スペースに余裕があるＦＰＣ基板３５０に半田実装されていた。

[0006] このような液晶表示装置３１０が搭載された携帯電話などの電子機器では、より一層の小型化を目的として、搭載される各電子部品を小型化するだけでなく、電子部品が実装されたプリント基板の間隔を狭くすることが検討されている。

[0007] 従来、プリント基板の間隔を狭くするために、ガラス基板３２０の張出部３２０aに接続されたＦＰＣ基板３５０を折り曲げて、ＦＰＣ基板３５０の見かけ上の幅を狭くし、ＦＰＣ基板３５０の周囲に確保した空きスペースにプリント基板を収納していた。図９は、ガラス基板３２０の張出部３２０aに接続されたＦＰＣ基板３５０の折り曲げ方の手順を示す図（Ａ～Ｃ）である。まず、図９（Ａ）に示すように、張出部３２０aにＬＳＩチップ３４０の長辺の長さと同程度の幅を有するＦＰＣ基板３５０を、異方性導電膜（Anisotropic Conductive Film：以下、「ＡＣＦ」という）（図示しない）を用いて熱圧着により接続する。次に、ＦＰＣ基板３５０をガラス基板３２０の上側の端部に沿って紙面の手前から奥に向かって折り曲げる。次に、図９（Ｂ）に示すように、ガラス基板３２０の左右にはみ出したＦＰＣ基板３５０を、ガラス基板３２０の左右の端部に沿って紙面の奥から手前に向かって折り曲げる。そして、図９（Ｃ）に示すように、折り曲げた部分をテープ（図示しない）でガラス基板３２０に固定する。このようにして、幅の広いＦＰＣ基板３５０を折り曲げてＦＰＣ基板３５０の実質的な幅Wを狭くすることにより、ＦＰＣ基板３５０の周囲に、他のプリント基板を収納できる空きスペースを確保していた。

[0008] また、特許文献 1 には、L S I チップに内蔵された電源回路とともに使用される平滑コンデンサを、ガラス基板上に形成された配線を介して電源回路に接続した液晶表示装置が開示されている。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開平 7 - 2 6 1 1 9 1 号公報

発明の概要

発明が解決しようとする課題

[0010] しかし、L S I チップ 3 4 0 の長辺とほぼ同じ幅の F P C 基板 3 5 0 を折り曲げてガラス基板 3 2 0 に巻きつけ、巻きつけた F P C 基板 3 5 0 をガラス基板 3 2 0 にテープで固定する場合、F P C 基板 3 5 0 を折り曲げたり、テープで固定したりする工程が必要になるので、実装コストが高くなるという問題がある。また、L S I チップ 3 4 0 の長辺とほぼ同じ幅の F P C 基板 3 5 0 を使用するので、F P C 基板 3 5 0 の材料費および加工費などのコストが高くなるという問題もある。さらに、個別電子部品 3 6 0 が接続される F P C 基板 3 5 0 上の配線層が長くなるので、L S I チップ 3 4 0 は、放射電磁雑音 (Electro Magnetic Interference : 以下「E M I」という) の影響を受け、その動作が不安定になりやすいという問題もある。

[0011] また、特許文献 1 に開示された液晶表示装置では、平滑コンデンサと L S I チップとを接続する配線の長さについては全く考慮されていない。このため、配線の長さが長くなれば、配線抵抗が大きくなって電圧降下が生じ、電源回路が正常に動作しなくなるという問題がある。

[0012] そこで、本発明は、F P C 基板の実装コストおよび材料費などの製造コストを低減しつつ小型化を図るとともに、安定した動作をする表示装置を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の第 1 の局面は、外部から与えられる映像信号に基づいて映像を表

示する表示装置であって、

第 1 の絶縁性基板と、

前記第 1 の絶縁性基板に形成され、映像を表示する表示部と、

前記第 1 の絶縁性基板に配置され、前記映像信号に基づいて前記表示部を駆動する駆動回路と、

前記第 1 の絶縁性基板に配置され、前記駆動回路の動作に必要な個別電子部品と、

前記第 1 の絶縁性基板に形成され、前記駆動回路と前記個別電子部品とを接続する部品用配線と、

外部から与えられる信号および基準電位を前記駆動回路に与える配線層を有し、前記配線層を前記第 1 の絶縁性基板に形成された入力用配線に接続することによって前記第 1 の絶縁性基板に固着される配線基板とを備え、

前記個別電子部品は、前記駆動回路に隣接して配置され、前記部品用配線によって前記駆動回路の前記個別電子部品に対応する端子に接続されることを特徴とする。

[0014] 本発明の第 2 の局面は、本発明の第 1 の局面において、

前記個別電子部品は、異方性導電接着剤によって前記部品用配線と接続されることを特徴とする。

[0015] 本発明の第 3 の局面は、本発明の第 1 の局面において、

前記第 1 の絶縁性基板は張出部を有し、

前記駆動回路は、前記張出部に形成された、前記表示部を駆動する駆動回路と前記表示部に必要な電圧を与える電源生成回路とを含む第 1 の駆動回路であり、

前記個別電子部品は、前記第 1 の駆動回路の少なくとも長辺に隣接して前記張出部に配置され、前記部品用配線によって前記第 1 の駆動回路に接続されることを特徴とする。

[0016] 本発明の第 4 の局面は、本発明の第 3 の局面において、

前記第 1 の駆動回路は、その表面にバンプ電極が形成された第 1 の集積回

路チップであり、

前記個別電子部品は、前記部品用配線と前記バンプ電極との間に挟まれた異方性導電接着剤によって前記第 1 の集積回路チップに接続されることを特徴とする。

[0017] 本発明の第 5 の局面は、本発明の第 1 の局面において、

前記第 1 の絶縁性基板と所定の間隔で対向して配置される第 2 の絶縁性基板をさらに備え、

前記第 1 の絶縁性基板は張出部を有し、

前記駆動回路は、前記第 1 の絶縁性基板に配置された、前記表示部を駆動する駆動回路を含む第 2 の駆動回路と、前記第 2 の絶縁性基板と対向する前記第 1 の絶縁性基板に前記表示部とともに形成された、前記表示部に必要な電圧を与える薄膜電源生成回路とを含み、

前記個別電子部品は、前記第 2 の駆動回路の動作に必要な第 1 の個別電子部品と、前記薄膜電源生成回路の動作に必要な第 2 の個別電子部品とを含み、

前記部品用配線は、前記第 2 の駆動回路と前記第 1 の個別電子部品とを接続する第 1 の部品用配線と、前記薄膜電源生成回路と前記第 2 の個別電子部品とを接続する第 2 の部品用配線とを含み、

前記第 1 の個別電子部品は、前記第 2 の駆動回路の少なくとも長辺に隣接して前記張出部に配置され、前記第 1 の部品用配線によって前記第 2 の駆動回路に接続され、

前記第 2 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 2 の部品用配線によって前記薄膜電源生成回路に接続されることを特徴とする。

[0018] 本発明の第 6 の局面は、本発明の第 5 の局面において、

前記第 2 の駆動回路は、その表面にバンプ電極が形成された第 2 の集積回路チップであり、

前記第 1 の個別電子部品は、前記第 1 の部品用配線と前記バンプ電極との

間に挟まれた異方性導電接着剤によって前記第 2 の集積回路チップに接続されることを特徴とする。

- [0019] 本発明の第 7 の局面は、本発明の第 1 の局面において、
- 前記第 1 の絶縁性基板と所定の間隔で対向して配置される第 2 の絶縁性基板をさらに備え、
- 前記第 1 の絶縁性基板は張出部を有し、
- 前記駆動回路は、前記第 2 の絶縁性基板と対向する前記第 1 の絶縁性基板に前記表示部とともに形成された、前記表示部を駆動する薄膜駆動回路と前記表示部に必要な電圧を与える薄膜電源生成回路とを含み、
- 前記個別電子部品は、前記薄膜駆動回路の動作に必要な第 1 の個別電子部品と、前記薄膜電源生成回路の動作に必要な第 2 の個別電子部品とを含み、
- 前記部品用配線は、前記薄膜駆動回路と前記第 1 の個別電子部品とを接続する第 1 の部品用配線と、前記薄膜電源生成回路と前記第 2 の個別電子部品とを接続する第 2 の部品用配線とを含み、
- 前記第 1 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 1 の部品用配線によって前記薄膜駆動回路に接続され、
- 前記第 2 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 2 の部品用配線によって前記薄膜電源生成回路に接続されることを特徴とする。

- [0020] 本発明の第 8 の局面は、本発明の第 1 の局面において、
- 前記個別電子部品は、前記部品用配線の配線抵抗が前記駆動回路の動作に影響を与えない抵抗値になるように前記駆動回路に近づけて配置されることを特徴とする。

- [0021] 本発明の第 9 の局面は、本発明の第 8 の局面において、
- 前記部品用配線は前記表示部内の配線と同じ材料で形成されることを特徴とする。

- [0022] 本発明の第 10 の局面は、本発明の第 1 の局面において、

前記個別電子部品は、少なくともチップコンデンサ、チップ抵抗器、チップコイル、発光ダイオードおよびダイオードのいずれかを含むことを特徴とする。

[0023] 本発明の第 11 の局面は、本発明の第 10 の局面において、

前記第 1 の絶縁性基板上に形成され、基準電位を与えられた接地線をさらに含み、

前記チップコンデンサは、

前記表示部に与える所定電圧値の電圧を前記駆動回路とともに生成し、いずれの端子も前記駆動回路の対応する端子に接続される昇圧コンデンサと、

前記駆動回路の内部で生成された電圧に重畳されたノイズを除去し、一端は前記駆動回路の対応する端子に接続され、他端は前記接地線に接続される安定化コンデンサと、

前記配線基板の前記配線層を介して外部から与えられる信号に重畳されたノイズを除去し、一端は前記駆動回路の対応する端子に接続され、他端は前記接地線に接続されるバイパスコンデンサとを含むことを特徴とする。

[0024] 本発明の第 12 の局面は、本発明の第 1 の局面において、

前記配線基板は可撓性配線基板であり、

前記可撓性配線基板の前記配線層は、異方性導電接着剤によって前記第 1 の絶縁性基板上に形成された前記入力用配線に接続されることを特徴とする。

[0025] 本発明の第 13 の局面は、本発明の第 1 の局面において、

前記第 1 の絶縁性基板上に形成された前記入力用配線に異方性導電接着剤によって接続されたコネクタをさらに備え、

前記配線基板は剛性のリジッド配線基板であり、

前記リジッド配線基板に形成された前記配線層は前記コネクタによって前記入力用配線に接続されることを特徴とする。

[0026] 本発明の第 14 の局面は、本発明の第 1 の局面において、

前記駆動回路は、前記配線基板に形成された前記配線層に対応する入力端

子が連続して形成されていることを特徴とする。

- [0027] 本発明の第 15 の局面は、本発明の第 1 の局面において、
前記表示部に封止された液晶をさらに備え、
前記駆動回路は、前記配線基板を介して外部から与えられる前記映像信号に基づき前記液晶を駆動して前記表示部に映像を表示することを特徴とする。

発明の効果

- [0028] 本発明の第 1 の局面によれば、駆動回路の動作に必要な個別電子部品を、第 1 の絶縁性基板に形成された部品用配線によって駆動回路に接続するとき、個別電子部品は、駆動回路の個別電子部品に対応する端子に隣接して配置されるので、部品用配線の抵抗値を低く抑えることができる。この結果、部品用配線の抵抗値が高いために生じる電圧降下や、信号の立ち上がりおよび立ち下りの遅延を防止することにより、駆動回路を正常に動作させることができる。また、個別電子部品は、配線基板ではなく第 1 の絶縁性基板に実装されるので、配線基板の幅を狭くすることができる。この結果、配線基板の周囲に空きスペースを確保することができるので表示装置を搭載する電子機器を小型化できるとともに、それによって配線基板の材料費、加工費などのコストを低減することができる。さらに幅の狭い配線基板を使用することによって、配線基板を表示装置に実装するためのコストを低減することができる。また、部品用配線の長さを短くすることができるので、EMIによって駆動回路の動作が不安定化することを防止することができる。
- [0029] 本発明の第 2 の局面によれば、個別電子部品は異方性導電接着剤によって部品用配線に接続されるので、個別電子部品の実装密度を高くすることができる。
- [0030] 本発明の第 3 の局面によれば、個別電子部品は、第 1 の駆動回路の少なくとも長辺に隣接して配置され、第 1 の駆動回路と接続される。このため、表示装置は、第 1 の局面と同様の効果を有する。
- [0031] 本発明の第 4 の局面によれば、駆動回路はその表面にバンプ電極が形成さ

れた第1の集積回路チップであり、個別電子部品は、フェイスダウンボンディングされた第1の集積回路チップのバンプ電極と接続される。このため、第1の集積回路チップの実装面積を小さくすることによって、第1の絶縁性基板を小さくすることができる。

[0032] 本発明の第5の局面によれば、駆動回路は、駆動回路を含む第2の駆動回路と、薄膜電源生成回路とからなる。第2の駆動回路に接続される第1の個別電子部品は、第2の駆動回路の少なくとも長辺に隣接して配置され、第1の部品用配線によって第2の駆動回路に接続される。また、薄膜電源生成回路に接続される第2の個別電子部品は、第2の絶縁性基板の端部に隣接した張出部に配置され、第2の部品用配線によって薄膜電源生成回路に接続される。このため、表示装置は、第1の局面と同様の効果を有する。

[0033] 本発明の第6の局面によれば、第2の駆動回路はその表面にバンプ電極が形成された第2の集積回路チップであり、個別電子部品はフェイスダウンボンディングされた第2の集積回路チップのバンプ電極と接続される。このため、第2の集積回路チップの実装面積を小さくすることによって、第1の絶縁性基板を小さくすることができる。

[0034] 本発明の第7の局面によれば、駆動回路は、表示部とともに形成される薄膜駆動回路と薄膜電源生成回路とからなる。薄膜駆動回路に接続される第1の個別電子部品、および、薄膜電源生成回路に接続される第2の個別電子部品は、第2の絶縁性基板の端部に隣接した張出部に配置され、第1および第2の部品用配線によってそれぞれ薄膜駆動回路および薄膜電源回路に接続される。このため、表示装置は、第1の局面と同様の効果を有する。

[0035] 本発明の第8の局面によれば、部品用配線の配線抵抗が駆動回路の動作に影響を与えない抵抗値になるように、個別電子部品と駆動回路とを近づけて配置する。この場合、駆動回路に与えられる信号の立ち上がりや立ち下がりが遅延したり、電圧降下が生じたりすることはない。このため、駆動回路を正常に動作させることができる。

[0036] 本発明の第9の局面によれば、駆動回路と個別電子部品とを接続する部品

用配線を、表示部内の配線と同じ材料で形成できるので、部品用配線を表示部内の配線と同時に形成することができる。このため、表示装置の製造工程を簡略化することができる。

[0037] 本発明の第 10 の局面によれば、少なくともチップコンデンサ、チップ抵抗器、チップコイル、発光ダイオードおよびダイオードのいずれかを第 1 の絶縁性基板上に形成するので、その分だけ配線基板の幅を狭くすることができる。

[0038] 本発明の第 11 の局面によれば、第 1 の絶縁性基板に接地線を形成する空きスペースが十分にあるので、接地線の幅を広くして、その配線抵抗を小さくすることができる。また、そのような接地線に安定化コンデンサとバイパスコンデンサの一端を接続するので、信号や電圧に重畳されたノイズを接地線に逃がして、ノイズによる駆動回路の誤動作を防止することができる。昇圧コンデンサは、電源生成回路とともに表示部を駆動するのに必要な電圧を生成することができる。

[0039] 本発明の第 12 の局面によれば、配線基板は可撓性配線基板であるので、配線基板を折り曲げることにより表示装置を電子機器内に搭載することができる。このため、電子機器を小型化することができる。

[0040] 本発明の第 13 の局面によれば、配線基板はリジッド配線基板であり、リジッド配線基板はコネクタによって第 1 の絶縁性基板に形成された入力用配線と接続される。このため、何回でもリジッド配線基板をコネクタに装着したり取り外したりすることができる。

[0041] 本発明の第 14 の局面によれば、駆動回路の入力端子は、配線基板に形成された入力用配線に対応する端子が連続して形成され、それらの端子間に個別電子部品に接続される端子は形成されないので、配線基板の幅を狭くすることができる。

[0042] 本発明の第 15 の局面によれば、外部から与えられた映像信号に基づいて表示部に封止された液晶を駆動し、表示部に映像を表示することができる。

図面の簡単な説明

[0043] [図1] コンデンサが実装された F P C 基板を含む液晶表示装置の模式平面図である。

[図2] 幅の狭い F P C 基板 4 5 0 を含む液晶表示装置 4 1 0 の模式平面図である。

[図3] 本発明の第 1 の実施形態に係る液晶表示装置の構成を示す模式平面図である。

[図4] 図 3 に示す液晶表示装置の斜視図 (A)、(A) の矢線 A-A に沿った液晶表示装置の断面図 (B)、および、(A) の矢線 B-B に沿った液晶表示装置の断面図 (C) である。

[図5] 本発明の第 2 の実施形態に係る液晶表示装置の構成を示す模式平面図である。

[図6] 本発明の第 3 の実施形態に係る液晶表示装置の構成を示す模式平面図である。

[図7] リジッド配線基板を取り付けた液晶表示装置における斜視図 (A)、および、(A) の C-C 線に沿った液晶表示装置の断面図 (B) である。

[図8] 従来の液晶表示装置の模式平面図である。

[図9] ガラス基板の張出部に接続された F P C 基板の折り曲げ方の手順を示す図 (A~C) である。

発明を実施するための形態

[0044] < 1. 基礎検討 >

図 1 は、コンデンサ 3 6 3 が実装された F P C 基板 3 5 0 を含む液晶表示装置 3 1 0 の模式平面図である。図 1 に示すように、F P C 基板 3 5 0 にはコンデンサ 3 6 3 を接続するための配線層 3 7 1 と、外部から L S I チップ 3 4 0 に映像信号やクロック信号などを与えるための配線層 3 7 4 とが形成されている。このため、F P C 基板 3 5 0 は、L S I チップ 3 4 0 の長辺の長さと同程度の幅の広い基板となる。

[0045] F P C 基板 3 5 0 に実装されていたコンデンサ 3 6 3 を取り外すと、F P C 基板 3 5 0 の配線層のうち、コンデンサ 3 6 3 に接続されていた配線層 3

71は不要になる。そこで、不要になった配線層371をFPC基板350から除けば、FPC基板350の幅を狭くすることができる。配線層371を除くことによって幅が狭くなったFPC基板350を張出部320aに接続すれば、張出部320aに空きスペースが生じる。そこで、生じた空きスペースに、FPC基板350から取り外したコンデンサ363を実装することができる。

[0046] 図2は、幅の狭いFPC基板450を含む液晶表示装置410の模式平面図である。図2に示す液晶表示装置410のうち、図1に示す液晶表示装置310と同一または対応する構成要素については同一の参照符号を付し、液晶表示装置310との相違点を中心に説明する。

[0047] 図2に示すように、コンデンサ363は、それぞれガラス基板320に形成された配線471によってLSIチップ340の対応する各端子にそれぞれ接続される。しかし、コンデンサ363がLSIチップ340から離れた場所に実装される場合、配線471の長さが長くなるので、その配線抵抗が高くなる。このように配線471の配線抵抗が高くなると、電圧降下が生じるので、LSIチップ340は正常に動作しなくなるおそれがある。

[0048] そこで、液晶表示装置410の張出部320a上に形成される配線471の抵抗値について、FPC基板450の配線層374の抵抗値と比較しながら検討する。FPC基板450の配線層374は、厚みが $8\mu\text{m}$ 以上の銅箔(Cu)によって形成される。銅の 0°C における比抵抗は $1.55 \times 10^{-8}\Omega\text{m}$ なので、そのシート抵抗は $0.002\Omega/\square$ 以下と十分低い値である。

[0049] しかし、銅は、エッチングによる加工が困難であるため、液晶表示装置410の製造プロセスでは使用されない。そこで、液晶表示装置410の製造プロセスでも使用されるタンタル(Ta)またはアルミニウム(Al)を用いて配線471を形成する場合について検討する。タンタルおよびアルミニウムの厚みを $0.2 \sim 0.4\mu\text{m}$ とした場合に、タンタルおよびアルミニウムのシート抵抗を求める。 0°C におけるタンタルの比抵抗は $12.3 \times 10^{-8}\Omega\text{m}$ なので、そのシート抵抗は $0.3 \sim 0.6\Omega/\square$ になる。また 0°C にお

けるアルミニウムの比抵抗は $2.5 \times 10^{-8} \Omega \text{m}$ なので、そのシート抵抗は $0.06 \sim 0.12 \Omega / \square$ になる。このようにタンタルおよびアルミニウムのシート抵抗は、銅のシート抵抗に比べて数十倍から数百倍も高くなる。

[0050] 次に、銅、タンタル、アルミニウムの各配線について、その抵抗値を同じとしたときの各配線の長さを比較する。各配線の幅を $50 \mu\text{m}$ 、その許容抵抗値を 50Ω とした場合、厚み $8 \mu\text{m}$ の銅配線の長さは、 1250mm まで許容される。これに対して、厚み $0.2 \sim 0.4 \mu\text{m}$ のタンタルおよびアルミニウム配線の許容される長さは $5 \sim 25 \text{mm}$ と、銅配線に比べて非常に短いことがわかる。

[0051] 近年、LSIチップ340に形成されるバンプ電極のファインピッチ化に伴い、張出部320aに形成される配線の幅も $20 \sim 30 \mu\text{m}$ とより狭くなり、許容される抵抗値も $10 \sim 30 \Omega$ とより小さくなっている。したがって、配線抵抗を小さくするためには、配線の長さを 1mm でも短くする必要がある。

[0052] このように、FPC基板350に半田実装されていたコンデンサ363を張出部320aに実装するためには、コンデンサ363とLSIチップ340の対応する端子とを接続する、タンタルまたはアルミニウムからなる配線471の長さを考慮して、張出部320aにおけるコンデンサ363の位置を決めなければならないことがわかる。

[0053] <2. 第1の実施形態>

<2. 1 液晶表示装置の構成>

図3は、本発明の第1の実施形態に係る液晶表示装置10の構成を示す模式平面図である。液晶表示装置10は、図3に示すように、対向して配置された2枚のガラス基板20、25と、LSIチップ40と、FPC基板50と、7個の安定化コンデンサ61と、2個のバイパスコンデンサ62と、3個の昇圧コンデンサ63とを備えている。

[0054] 2枚のガラス基板20、25に挟まれた空間に、シール材（図示しない）を用いて液晶（図示しない）が封止され、ガラス基板25に表示部30が形

成されている。ガラス基板 20 の張出部 20a には、液晶を駆動するために必要なドライバ機能を有する LSI チップ 40 や、外部のメインボードなどに接続される FPC 基板 50 が実装されている。外部から FPC 基板 50 を介して LSI チップ 40 に映像信号が与えられると、LSI チップ 40 は表示部 30 に映像を表示する。

[0055] LSI チップ 40 は、ゲートドライバ、ソースドライバおよび DC/DC コンバータの回路パターンが、微細加工技術を用いてシリコン基板の表面に形成されるとともに、それらの回路パターンを外部に接続するための接続端子となる高さ約 $15\ \mu\text{m}$ のバンプ電極が形成されたベアチップ（パッケージングを行う前のチップ）である。なお、本明細書ではゲートドライバ、ソースドライバをまとめて駆動回路といい、DC/DC コンバータを電源生成回路ということがある。

[0056] FPC 基板 50 は、厚み $12\sim 50\ \mu\text{m}$ の可撓性の絶縁性フィルム 51 の片面に、厚み $8\sim 50\ \mu\text{m}$ の銅箔からなる複数本の配線層 74 が形成された基板であり、自由に折り曲げられる。なお、配線層 74 は、絶縁性フィルム 51 の片面だけでなく、両面に形成されていてもよい。

[0057] 安定化コンデンサ 61 は、LSI チップ 40 によって生成された電圧に重畳されたノイズを除去して、ノイズによる LSI チップ 40 の誤動作を防止するために用いられるコンデンサで、その一端は LSI チップ 40 の端子に接続され、他端は張出部 20a に形成された接地線 72 に接続されている。

[0058] バイパスコンデンサ 62 は、外部から FPC 基板 50 を介して与えられる映像信号、クロック信号、基準電圧などに重畳されているノイズを除去して、ノイズによる LSI チップ 40 の誤動作を防止するために用いられるコンデンサで、その一端は、配線層 74 と LSI チップ 40 とを接続する FPC 配線 73 に接続され、他端は接地線 72 に接続されている。

[0059] 昇圧コンデンサ 63 は、LSI チップ 40 に内蔵された昇圧回路（チャージポンプ回路）とともに電圧を昇圧させるために用いられるコンデンサで、その端子はいずれも LSI チップ 40 の端子に接続されている。

[0060] 例えば2インチのQVGA (Quarter Video Graphics Array) の液晶表示装置では、安定化コンデンサ61、バイパスコンデンサ62および昇圧コンデンサ63は、いずれも容量1~2.2 μ F、耐圧6.3~16V、サイズ1.0mm×0.5mmのセラミックチップコンデンサであり、張出部20aに合計10~20個程度実装されている。

[0061] また、安定化コンデンサ61およびバイパスコンデンサ62の他端が接続される接地線72は、タンタルまたはアルミニウムの薄膜で形成されている。張出部20aには、接地線72を形成するのに十分な空きスペースがあるので、その配線抵抗が問題とならない程度にその幅を広くすることができる。また、接地線72は、ACFを用いて、後述するFPC基板50を張出部20aに接続するとき、同時にFPC基板50の配線層74のうち接地電位を与える配線層とACFによって接続されるので、その電位は接地電位に固定される。

[0062] 図4は、図3に示す液晶表示装置10の斜視図(A)、(A)の矢線A-Aに沿った液晶表示装置10の断面図(B)、および、(A)の矢線B-Bに沿った液晶表示装置10の断面図(C)である。なお、図4(A)の液晶表示装置10では、簡略化のため、張出部20aに実装されているコンデンサのうち安定化コンデンサ61のみが図示されているが、バイパスコンデンサおよび昇圧コンデンサも実装されている。なお、以下の説明では、説明を簡略化するために、安定化コンデンサ61のみについて説明し、バイパスコンデンサおよび昇圧コンデンサについての説明を省略するが、それらも安定化コンデンサ61の場合と同様である。

[0063] 図4(B)に示すように、LSIチップ40では、ACF81を用いたフェイスダウンボンディングにより、その表面に形成されたバンプ電極40aが、張出部20aに形成されたFPC用配線73の一端および表示部30に延びる配線層23と接続されている。また、FPC基板50の絶縁性フィルム51に形成された配線層74も、ACF82を用いてFPC用配線73の他端に接続されている。このようにして、FPC基板50の配線層74とL

S I チップ 4 0 の入力端子とが F P C 用配線 7 3 を介して接続されるので、外部から F P C 基板 5 0 の各配線層 7 4 に与えられる映像信号、クロック信号などの信号、基準電圧などはそれぞれ L S I チップ 4 0 の対応する入力端子に与えられる。

[0064] また、図 4 (C) に示すように、張出部 2 0 a に形成されたコンデンサ用配線 7 1 の一端に A C F 8 3 を用いて安定化コンデンサ 6 1 の一方の端子が接続され、安定化コンデンサ 6 1 の他方の端子が接地線 7 2 が接続されている。なお、本実施の形態では、安定化コンデンサ 6 1、バイパスコンデンサ 6 2 および昇圧コンデンサ 6 3 が接続される配線 7 1 をコンデンサ用配線 7 1 という。

[0065] このような接続に用いられる A C F 8 1 ~ 8 3 は、エポキシ系樹脂などの熱硬化性樹脂に微細な導電性粒子を混ぜ合わせてフィルム状に成型したものである。A C F 8 3 を用いて、安定化コンデンサ 6 1 とコンデンサ用配線 7 1 とを接続する場合について説明する。コンデンサ用配線 7 1 の上に A C F 8 3 を供給し、安定化コンデンサ 6 1 の一方の端子がコンデンサ用配線 7 1 の一端の上方に位置し、他方の端子が接地線 7 2 の上方に位置するようにアライメントを行なった後に、チップマウンタを用いて安定化コンデンサ 6 1 を A C F 8 3 の表面に仮圧着する。

[0066] 次に、A C F 8 3 を所定の温度に加熱しながら安定化コンデンサ 6 1 の上面から所定の時間、所定の圧力を加えると、安定化コンデンサ 6 1 の端子とコンデンサ用配線 7 1 および接地線 7 2 とに挟まれた A C F 8 3 のみに圧力が加わる。その結果、A C F 8 3 内に分散していた導電性粒子が接触しながら重なって導電経路を形成する。このとき、圧力が加わらなかった A C F 8 3 内の導電性粒子は導電経路を形成しないので、面内では絶縁性が保持される。圧力を加えながら A C F 8 3 を加熱すれば、A C F 8 3 に含まれる熱硬化性樹脂が硬化するので、加圧終了後も A C F 8 3 内に形成された導電経路はそのまま維持される。なお、A C F 8 3 の代わりに、A C F 8 3 のようなフィルム状ではなく、ペースト状の熱硬化性樹脂内に導電性粒子を混ぜ合わ

せた異方性導電ペースト（Anisotropic Conductive Paste）を使用してもよい。そこで本明細書では、異方性導電膜と異方性導電ペーストをまとめて異方性導電接着剤という。

[0067] また、張出部 20a に実装される安定化コンデンサ 61、バイパスコンデンサ 62、昇圧コンデンサ 63（以下、「コンデンサ 61～63」ということがある）の高さがそれぞれ異なっている、ゴムなどの弾性体を用いて各コンデンサ 61～63 の上面に圧力を加えることにより、各コンデンサをほぼ等しい大きさの圧力で同時に押さえることができる（例えば日本国特開 2000-68633 号公報参照）。この結果、高さの異なるこれらのコンデンサ 61～63 を、同一工程で張出部 20a のコンデンサ用配線 71 に同時に接続することができるので、液晶表示装置 10 の製造工程を簡略化することができる。

[0068] さらに、コンデンサ用配線 71、接地線 72、FPC 用配線 73 は、表示部 30 の形成に使用されるタンタルまたはアルミニウムを用いて形成されるので、これらの配線 71～73 を表示部 30 内の配線と同じ工程で形成することができる。このため、液晶表示装置 10 の製造工程をさらに簡略化することができる。

[0069] < 2. 2 コンデンサと LSI チップとの位置関係 >

次に、安定化コンデンサ 61、バイパスコンデンサ 62 および昇圧コンデンサ 63 と LSI チップ 40 との位置関係について説明する。基礎検討で説明したように、ガラス基板 20 の張出部 20a に形成されるコンデンサ用配線 71 の抵抗を小さくするため、その長さを 1mm でも短くする必要がある。

[0070] そのためには、図 3 に示すように、安定化コンデンサ 61 およびバイパスコンデンサ 62 の一方の端子を、それぞれ LSI チップ 40 の対応する各端子に隣接させて配置するとともに、昇圧コンデンサ 63 の両端子をそれぞれ LSI チップ 40 の対応する端子に隣接させて配置し、それぞれコンデンサ用配線 71 によって LSI チップ 40 に接続する。これらのコンデンサ 61

～63の端子が接続されるLSIチップ40のバンプ電極は、LSIチップ40の長辺に沿って設けられている。そこで、各コンデンサ61～63の端子とLSIチップ40のバンプ電極40aとをそれぞれ接続するコンデンサ用配線71の幅は、LSIチップ40の長辺の長さを実装されるコンデンサ61～63の個数によって決まる。

[0071] 一方、コンデンサ用配線71の長さは、配線抵抗が許容値以下となるように決められる。例えば、配線材料としてタンタルを使用し、コンデンサ用配線71の許容抵抗値が $50\ \Omega$ 以下、配線の幅が $50\ \mu\text{m}$ 、配線の厚みが $0.3\ \mu\text{m}$ の場合、コンデンサ用配線71の長さは 6mm 以下でなければならない。そこで、コンデンサ用配線71の長さが 6mm 以下になるように、安定化コンデンサ61、バイパスコンデンサ62および昇圧コンデンサ63をLSIチップ40の入力側の長辺に沿って一列に並べて実装すればよいことがわかる。

[0072] 尚、図3では、LSIチップ40の短辺側にも安定化コンデンサ61を接続するためのバンプ電極が配置されている。そこで、一部の安定化コンデンサ61をLSIチップ40の短辺に沿って一列に並べて実装することにより、短辺側のコンデンサ用配線71の長さも許容抵抗値以下になるように決めることができる。このように、LSIチップ40の短辺側にもコンデンサ61～63と接続するためのバンプ電極が配置されている場合には、LSIチップ40の長辺だけではなく、さらに短辺に沿ってもコンデンサ61～63を実装することができる。

[0073] 配線材料としてアルミニウムを使用する場合、基礎検討で示したように、アルミニウムのシート抵抗はタンタルに比べて約 $1/5$ とかなり小さい。そこで、アルミニウムからなるコンデンサ用配線71の配線抵抗の許容値および配線の厚みが、タンタルからなるコンデンサ用配線71のそれと同じ場合、アルミニウムからなるコンデンサ用配線71の長さは、タンタルからなるコンデンサ用配線71の長さの約5倍、すなわち 30mm 程度まで許容される。したがって、安定化コンデンサ61、バイパスコンデンサ62および昇

圧コンデンサ 6 3 を実装する場合には、タンタルからなるコンデンサ用配線 7 1 を使用する場合よりも、アルミニウムからなるコンデンサ用配線 7 1 を使用する場合の方が、コンデンサ 6 1 ~ 6 3 の配置の自由度が高くなる。

[0074] 次に、L S I チップ 4 0 の入力側の好ましい端子配列（バンプ電極の配列）について説明する。L S I チップ 4 0 の入力側には、映像信号の入力端子、クロック信号の入力端子、基準電位などが入力される端子、各コンデンサ 6 1 ~ 6 3 に接続される端子などが配置されている。そこで、これらの端子のうち、映像信号の入力端子、クロック信号の入力端子、基準電位が入力される端子を連続して配置し、それらの端子の間にコンデンサ 6 1 ~ 6 3 に接続される端子が配置されないように L S I チップ 4 0 を設計すれば、F P C 基板 5 0 の幅をより狭くすることができる。

[0075] また、従来、L S I チップ 4 0 では、電源電圧を入力する端子（電源入力端子）はその端部に設けられていた。そこで、電源電圧を与える配線を F P C 基板 5 0 の端部に配置しておき、F P C 基板 5 0 を張出部 2 0 a に接続する際に、F P C 基板 5 0 の電源電圧を与える配線を張出部 2 0 a に形成された電源用配線を介して L S I チップ 4 0 の電源入力端子に接続していた。この場合、コンデンサ 6 1 ~ 6 3 を L S I チップ 4 0 の長辺に沿って実装することにより、張出部 2 0 a に空きスペースができる。そこで、この空きスペースを利用して、幅の広い電源用配線を形成し、電源電圧の電圧降下を防止していた。

[0076] しかし、L S I チップ 4 0 の入力側に、映像信号などを入力する端子と隣接して電源入力端子を配置し、それらの端子間にコンデンサ 6 1 ~ 6 3 に接続される端子が配置されないように L S I チップ 4 0 を設計することもできる。この場合、映像信号などと同様に、電源電圧を F P C 用配線 7 3 を介して、F P C 基板 5 0 から L S I チップ 4 0 に与えることができる。このため、電源用配線を張出部 2 0 a に形成する必要がなくなり、液晶表示装置 1 0 の製造コストを低減することができる。

[0077] < 2. 3 効果 >

上記実施の形態によれば、ガラス基板 20 に接続された F P C 基板 50 を折り曲げたり、折り曲げた F P C 基板 50 をテープで固定したりすることなく、F P C 基板 50 の幅を狭くすることができる。このため、F P C 基板 50 が実装された液晶表示装置 10 を搭載する電子機器を小型化することができる。また、F P C 基板 50 を折り曲げたりテープで固定したりする工程が不要になるので、実装コストを低減することができるとともに、F P C 基板 50 の材料費および加工費などの製造コストを低減することができる。さらに、安定化コンデンサ 61、バイパスコンデンサ 62 および昇圧コンデンサ 63 を L S I チップ 40 に隣接させて配置することにより、コンデンサ用配線 71 の長さが短くなる。このため、L S I チップ 40 は E M I の影響を受けにくくなり、またコンデンサ用配線 71 の配線抵抗による電源電圧の電圧降下が防止される。

[0078] < 3. 第 2 の実施形態 >

図 5 は、本発明の第 2 の実施形態に係る液晶表示装置 110 の構成を示す模式平面図である。図 5 に示す液晶表示装置 110 のうち、第 1 の実施形態に係る液晶表示装置 10 と同一または対応する構成要素については同一の参照符号を付し、液晶表示装置 10 との相違点を中心に説明する。

[0079] 液晶表示装置 10 では、D C / D C コンバータは、ゲートドライバおよびソースドライバとともに L S I チップ 40 に内蔵されていた。しかし、本実施形態に係る液晶表示装置 110 では、D C / D C コンバータ 42 は、ガラス基板 25 で覆われたガラス基板 20 上の、表示部 30 に隣接した領域に連続粒界結晶シリコン（C G シリコン：Continuous Grain Silicon）、アモルファスシリコンまたは多結晶シリコンなどの薄膜を用いて、表示部 30 とともに形成される。そこで本明細書では、D C / D C コンバータ 42 を薄膜 D C / D C コンバータ 42 または薄膜電源生成回路という。

[0080] また、L S I チップ 40 に内蔵されていた D C / D C コンバータが薄膜 D C / D C コンバータ 42 として別に設けられたことにより、L S I チップ 40 の代わりにゲートドライバとソースドライバが内蔵された液晶ドライバチ

チップ 41 が張出部 20a に実装される。

[0081] 薄膜 DC/DC コンバータ 42 に接続される安定化コンデンサ 61 および昇圧コンデンサ 63 は、張出部 20a に実装され、タンタルまたはアルミニウムによって張出部 20a に形成されたコンデンサ用配線 71 を介してそれぞれ薄膜 DC/DC コンバータ 42 に接続される。この場合、薄膜 DC/DC コンバータ 42 を正常に動作させるには、基礎検討で示したように、コンデンサ用配線 71 の配線抵抗が所定の値よりも小さくなるようにその配線の長さを短くする必要がある。そこで、張出部 20a に形成されたコンデンサ用配線 71 の長さを可能な限り短くするため、薄膜 DC/DC コンバータ 42 に接続される安定化コンデンサ 61 および昇圧コンデンサ 63 は、ガラス基板 25 の端部に隣接する張出部 20a に一列に並べて実装される。

[0082] また、液晶ドライバチップ 41 の入力側の端子に接続される安定化コンデンサ 61、バイパスコンデンサ 62 および昇圧コンデンサ 63 は、第 1 の実施形態に係る液晶表示装置 10 の場合と同様に、液晶ドライバチップ 41 の入力側の端子が配列された長辺、または、長辺および短辺に隣接して実装される。

[0083] なお、本実施形態に係る液晶表示装置 110 による効果は、第 1 の実施形態に係る液晶表示装置 10 の効果と同一であるため、その説明を省略する。

[0084] < 4. 第 3 の実施形態 >

図 6 は、本発明の第 3 の実施形態に係る液晶表示装置 210 の構成を示す模式平面図である。図 6 に示す液晶表示装置 210 のうち、第 1 の実施形態に係る液晶表示装置 10 と同一または対応する構成要素については同一の参照符号を付し、液晶表示装置 10 との相違点を中心に説明する。

[0085] 液晶表示装置 10 では、ゲートドライバ、ソースドライバおよび DC/DC コンバータはいずれも LSI チップ 40 に内蔵されていた。しかし、本実施形態に係る液晶表示装置 210 では、DC/DC コンバータ、ソースドライバおよびゲートドライバはいずれも、ガラス基板 25 で覆われたガラス基板 20 の、表示部 30 に隣接した領域に連続粒界結晶シリコン（CG シリコ

ン：Continuous Grain Silicon）、アモルファスシリコンまたは多結晶シリコンなどの薄膜を用いて、表示部 30 とともに形成される。そこで本明細書ではソースドライバおよびゲートドライバをそれぞれ薄膜ソースドライバ 43 および薄膜ゲートドライバ 44 といい、薄膜ソースドライバ 43 と薄膜ゲートドライバ 44 とをまとめて薄膜駆動回路という。また、液晶表示装置 210 では、薄膜 DC/DC コンバータ 42、薄膜ソースドライバ 43 および薄膜ゲートドライバ 44 が形成されているので、それらと同じ機能を有する LSI チップは張出部 20a に実装されていない。

[0086] したがって、安定化コンデンサ 61、バイパスコンデンサ 62 および昇圧コンデンサ 63 はいずれも、張出部 20a に実装され、タンタルまたはアルミニウムを用いて形成された各コンデンサ用配線 71 を介して薄膜 DC/DC コンバータ 42、薄膜ソースドライバ 43 および薄膜ゲートドライバ 44 のいずれかに接続される。

[0087] 薄膜 DC/DC コンバータ 42、薄膜ソースドライバ 43 および薄膜ゲートドライバ 44 を正常に動作させるには、基礎検討で示したように、コンデンサ用配線 71 の配線抵抗が所定の値よりも小さくなるようにその配線の長さを短くする必要がある。そこで、張出部 20a に形成されたコンデンサ用配線 71 の長さを可能な限り短くするため、安定化コンデンサ 61、バイパスコンデンサ 62 および昇圧コンデンサ 63 はすべてガラス基板 25 の端部に隣接する張出部 20a に一列に並べて実装される。

[0088] なお、本実施形態に係る液晶表示装置 210 による効果は、第 1 の実施形態に係る液晶表示装置 10 の効果と同一であるため、その説明を省略する。

[0089] < 5. 変形例 >

上記第 1 ～ 第 3 の実施形態に共通する変形例について説明する。なお、以下の変形例は、説明の都合上第 1 の実施形態の変形例として説明するが、他の実施形態についても同様に適用することができる。

[0090] < 5. 1 第 1 の変形例 >

第 1 の実施形態に係る液晶表示装置 10 では、絶縁性フィルム 51 として

薄く柔軟性のある絶縁性材料を用いた可撓性配線基板であるFPC基板50を、ACF84を用いて張出部20aに接続している。しかし、FPC基板50の代わりに柔軟性の乏しい基板を用いたリジッド配線基板53が用いられる場合がある。そこで本明細書では、FPC基板50のような可撓性配線基板とリジッド配線基板53をまとめて配線基板という。

[0091] 図7は、リジッド配線基板53を取り付けた液晶表示装置の斜視図(A)、および、(A)のC-C線に沿った液晶表示装置の断面図(B)である。図7(A)および図7(B)において、第1の実施形態に係る液晶表示装置10と同一または対応する構成要素については同一の参照符号を付し、液晶表示装置10との相違点を中心に説明する。

[0092] 図7(B)に示すように、B to B(Board to Board)コネクタ55が、ガラス基板20の張出部20aに、ACF84によって取り付けられている。B to Bコネクタ55の出力側の端子は、LSIチップ40の入力側の端子に接続された各コネクタ用配線75に接続されている。また、B to Bコネクタ55の入力側には、リジッド配線基板53が挿入される。その結果、外部から与えられる映像信号、クロック信号、基準電圧などは、リジッド基板54に形成された配線層76およびコネクタ用配線75を介してLSIチップ40に与えられる。

[0093] リジッド配線基板53は、FPC基板50とは異なり、柔軟性に欠けるので、小型化の必要な電子機器には適さない。しかし、リジッド配線基板53をB to Bコネクタ55に挿入するときにACFを用いる必要がないので、何回でもB to Bコネクタ55にリジッド配線基板53を装着したり、B to Bコネクタ55からリジッド配線基板53を取り外したりすることができる。

[0094] <5. 2 第2の変形例>

第1の実施形態に係る液晶表示装置10では、張出部20aに実装される個別電子部品はチップコンデンサであるとして説明した。しかし、張出部20aに実装される個別電子部品は、チップコンデンサに限定されず、チップ

抵抗器、チップコイルなどの他の受動部品であってもよく、さらに発光ダイオード（ＬＥＤ）やダイオードなどの能動部品であってもよい。液晶表示装置に実装された発光ダイオードは、例えばバックライト光源として使用される。このように、本明細書の個別電子部品には、受動部品だけでなく能動部品も含まれる。

[0095] 個別電子部品によっては、配線の長さを短くすることによって、信号の立ち上がりや立ち下りの遅延を防止して、ＬＳＩチップ４０を正常に動作させることができる。また、本明細書では、個別電子部品とＬＳＩチップ４０（後述の駆動回路）とを接続する、コンデンサ用配線７１のような配線を部品用配線という。

[0096] 液晶表示装置１０に実装されたＬＳＩチップ４０はベアチップであり、張出部２０ａにフェイスダウンボンディングされている。この場合、ＬＳＩチップ４０の実装面積を小さくすることができ、ひいてはガラス基板の面積を小さくすることができる。しかし、ＬＳＩチップ４０を表面実装型のパッケージにパッケージングしたＬＳＩデバイスをガラス基板上に実装してもよい。本明細書では、ＬＳＩデバイス、ＬＳＩチップ、薄膜駆動回路および薄膜電源生成回路をまとめて駆動回路という。

[0097] なお、チップコンデンサは、セラミックチップコンデンサだけではなく、タンタルチップコンデンサ、酸化ニオブチップコンデンサなどでもよい。また、液晶表示装置１０では、ガラス基板２０、２５を用いるとして説明したが、透明なプラスチック基板などの絶縁性基板を用いてもよい。

[0098] < ５．３ 第３の変形例 >

第１の実施形態では、携帯電話などに搭載される液晶表示装置１０について説明したが、液晶表示装置に限定されず、本発明は、有機または無機のＥＬ（Electro Luminescence）ディスプレイ、プラズマディスプレイパネル（Plasma Display Panel；ＰＤＰ）、真空蛍光ディスプレイ（Vacuum Fluorescent Display）、電子ペーパーなどの各種表示装置にも同様に適用することができる。そこで本明細書では、第１～第３の実施形態に係る液晶表示装置１０

、１１０、２１０および前述の各種表示装置を含めて表示装置という。

産業上の利用可能性

[0099] 本発明の表示装置は、電子部品が実装されたプリント基板の間隔を狭くすることによって、小型化されるので、携帯端末などの小型の電子機器の表示装置として利用することができる。

符号の説明

[0100] １０、１１０、２１０…液晶表示装置
２０、２５…ガラス基板
２０a…張出部
３０…表示部
４０…ＬＳＩチップ
４０a…バンプ電極
４１…液晶ドライバ
４２…薄膜ＤＣ／ＤＣコンバータ
４３…薄膜ソースドライバ
４４…薄膜ゲートドライバ
５０…ＦＰＣ基板
５３…リジッド配線基板
５５…Ｂ ｔ ｏ Ｂコネクタ
６１…安定化コンデンサ
６２…バイパスコンデンサ
６３…昇圧コンデンサ
７１…コンデンサ用配線
７２…接地線
７３…ＦＰＣ用配線
７４、７６…ＦＰＣ基板の配線層
７５…コネクタ用配線
８１～８４…ＡＣＦ（異方性導電膜）

請求の範囲

- [請求項1] 外部から与えられる映像信号に基づいて映像を表示する表示装置であって、
- 第1の絶縁性基板と、
- 前記第1の絶縁性基板に形成され、映像を表示する表示部と、
- 前記第1の絶縁性基板に配置され、前記映像信号に基づいて前記表示部を駆動する駆動回路と、
- 前記第1の絶縁性基板に配置され、前記駆動回路の動作に必要な個別電子部品と、
- 前記第1の絶縁性基板に形成され、前記駆動回路と前記個別電子部品とを接続する部品用配線と、
- 外部から与えられる信号および基準電位を前記駆動回路に与える配線層を有し、前記配線層を前記第1の絶縁性基板に形成された入力用配線に接続することによって前記第1の絶縁性基板に固着される配線基板とを備え、
- 前記個別電子部品は、前記駆動回路に隣接して配置され、前記部品用配線によって前記駆動回路の前記個別電子部品に対応する端子に接続されることを特徴とする、表示装置。
- [請求項2] 前記個別電子部品は、異方性導電接着剤によって前記部品用配線と接続されることを特徴とする、請求項1に記載の表示装置。
- [請求項3] 前記第1の絶縁性基板は張出部を有し、
- 前記駆動回路は、前記張出部に形成された、前記表示部を駆動する駆動回路と前記表示部に必要な電圧を与える電源生成回路とを含む第1の駆動回路であり、
- 前記個別電子部品は、前記第1の駆動回路の少なくとも長辺に隣接して前記張出部に配置され、前記部品用配線によって前記第1の駆動回路に接続されることを特徴とする、請求項1に記載の表示装置。
- [請求項4] 前記第1の駆動回路は、その表面にバンプ電極が形成された第1の

集積回路チップであり、

前記個別電子部品は、前記部品用配線と前記バンプ電極との間に挟まれた異方性導電接着剤によって前記第 1 の集積回路チップに接続されることを特徴とする、請求項 3 に記載の表示装置。

[請求項 5]

前記第 1 の絶縁性基板と所定の間隔で対向して配置される第 2 の絶縁性基板をさらに備え、

前記第 1 の絶縁性基板は張出部を有し、

前記駆動回路は、前記第 1 の絶縁性基板に配置された、前記表示部を駆動する駆動回路を含む第 2 の駆動回路と、前記第 2 の絶縁性基板と対向する前記第 1 の絶縁性基板に前記表示部とともに形成された、前記表示部に必要な電圧を与える薄膜電源生成回路とを含み、

前記個別電子部品は、前記第 2 の駆動回路の動作に必要な第 1 の個別電子部品と、前記薄膜電源生成回路の動作に必要な第 2 の個別電子部品とを含み、

前記部品用配線は、前記第 2 の駆動回路と前記第 1 の個別電子部品とを接続する第 1 の部品用配線と、前記薄膜電源生成回路と前記第 2 の個別電子部品とを接続する第 2 の部品用配線とを含み、

前記第 1 の個別電子部品は、前記第 2 の駆動回路の少なくとも長辺に隣接して前記張出部に配置され、前記第 1 の部品用配線によって前記第 2 の駆動回路に接続され、

前記第 2 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 2 の部品用配線によって前記薄膜電源生成回路に接続されることを特徴とする、請求項 1 に記載の表示装置。

[請求項 6]

前記第 2 の駆動回路は、その表面にバンプ電極が形成された第 2 の集積回路チップであり、

前記第 1 の個別電子部品は、前記第 1 の部品用配線と前記バンプ電極との間に挟まれた異方性導電接着剤によって前記第 2 の集積回路チ

ップに接続されることを特徴とする、請求項 5 に記載の表示装置。

[請求項 7]

前記第 1 の絶縁性基板と所定の間隔で対向して配置される第 2 の絶縁性基板をさらに備え、

前記第 1 の絶縁性基板は張出部を有し、

前記駆動回路は、前記第 2 の絶縁性基板と対向する前記第 1 の絶縁性基板に前記表示部とともに形成された、前記表示部を駆動する薄膜駆動回路と前記表示部に必要な電圧を与える薄膜電源生成回路とを含み、

前記個別電子部品は、前記薄膜駆動回路の動作に必要な第 1 の個別電子部品と、前記薄膜電源生成回路の動作に必要な第 2 の個別電子部品とを含み、

前記部品用配線は、前記薄膜駆動回路と前記第 1 の個別電子部品とを接続する第 1 の部品用配線と、前記薄膜電源生成回路と前記第 2 の個別電子部品とを接続する第 2 の部品用配線とを含み、

前記第 1 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 1 の部品用配線によって前記薄膜駆動回路に接続され、

前記第 2 の個別電子部品は、前記第 2 の絶縁性基板の端部に隣接する前記張出部に配置され、前記第 2 の部品用配線によって前記薄膜電源生成回路に接続されることを特徴とする、請求項 1 に記載の表示装置。

[請求項 8]

前記個別電子部品は、前記部品用配線の配線抵抗が前記駆動回路の動作に影響を与えない抵抗値になるように前記駆動回路に近づけて配置されることを特徴とする、請求項 1 に記載の表示装置。

[請求項 9]

前記部品用配線は前記表示部内の配線と同じ材料で形成されることを特徴とする、請求項 8 に記載の表示装置。

[請求項 10]

前記個別電子部品は、少なくともチップコンデンサ、チップ抵抗器、チップコイル、発光ダイオードおよびダイオードのいずれかを含む

ことを特徴とする、請求項 1 に記載の表示装置。

[請求項11]

前記第 1 の絶縁性基板上に形成され、基準電位を与えられた接地線をさらに含み、

前記チップコンデンサは、

前記表示部に与える所定電圧値の電圧を前記駆動回路とともに生成し、いずれの端子も前記駆動回路の対応する端子に接続される昇圧コンデンサと、

前記駆動回路の内部で生成された電圧に重畳されたノイズを除去し、一端は前記駆動回路の対応する端子に接続され、他端は前記接地線に接続される安定化コンデンサと、

前記配線基板の前記配線層を介して外部から与えられる信号に重畳されたノイズを除去し、一端は前記駆動回路の対応する端子に接続され、他端は前記接地線に接続されるバイパスコンデンサとを含むことを特徴とする、請求項 10 に記載の表示装置。

[請求項12]

前記配線基板は可撓性配線基板であり、

前記可撓性配線基板の前記配線層は、異方性導電接着剤によって前記第 1 の絶縁性基板上に形成された前記入力用配線に接続されることを特徴とする、請求項 1 に記載の表示装置。

[請求項13]

前記第 1 の絶縁性基板上に形成された前記入力用配線に異方性導電接着剤によって接続されたコネクタをさらに備え、

前記配線基板は剛性のリジッド配線基板であり、

前記リジッド配線基板に形成された前記配線層は前記コネクタによって前記入力用配線に接続されることを特徴とする、請求項 1 に記載の表示装置。

[請求項14]

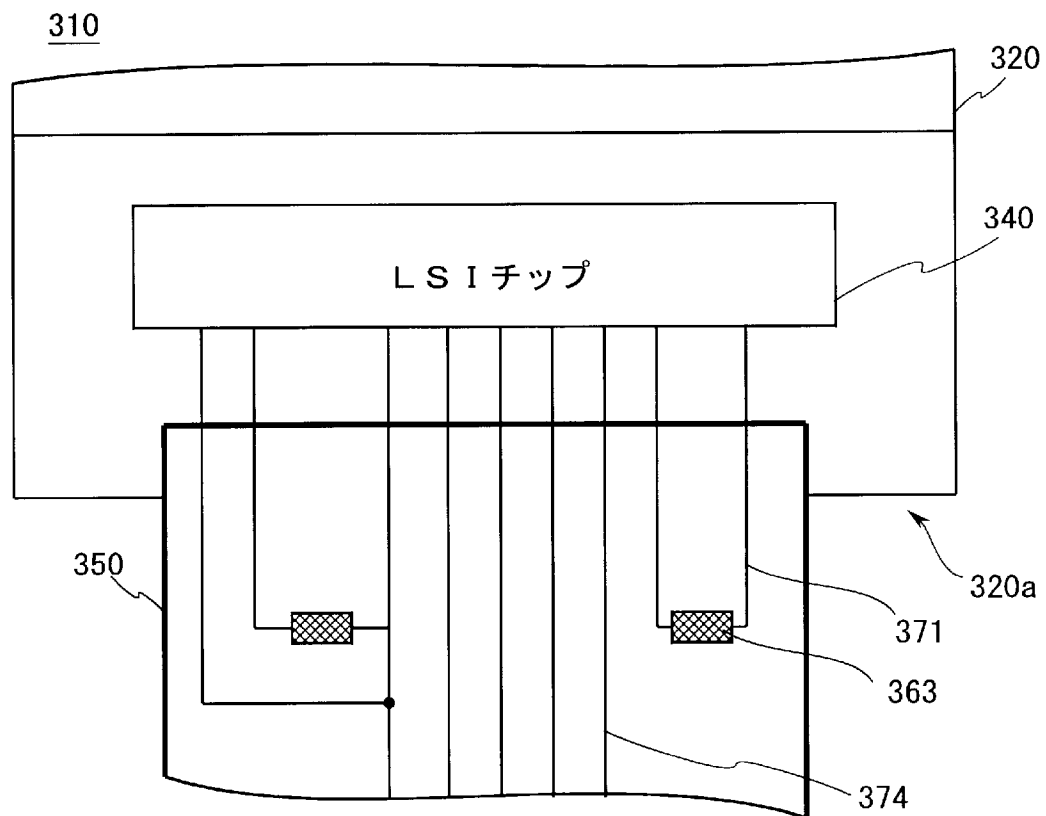
前記駆動回路は、前記配線基板に形成された前記配線層に対応する入力端子が連続して形成されていることを特徴とする、請求項 1 に記載の表示装置。

[請求項15]

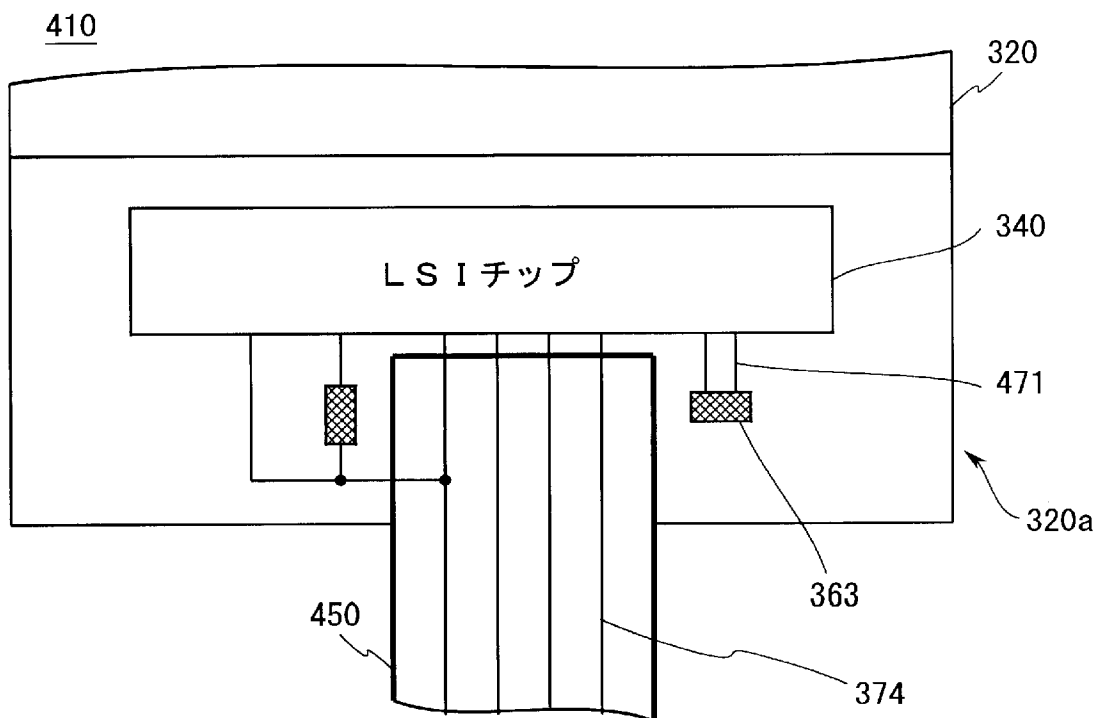
前記表示部に封止された液晶をさらに備え、

前記駆動回路は、前記配線基板を介して外部から与えられる前記映像信号に基づき前記液晶を駆動して前記表示部に映像を表示することを特徴とする、請求項 1 に記載の表示装置。

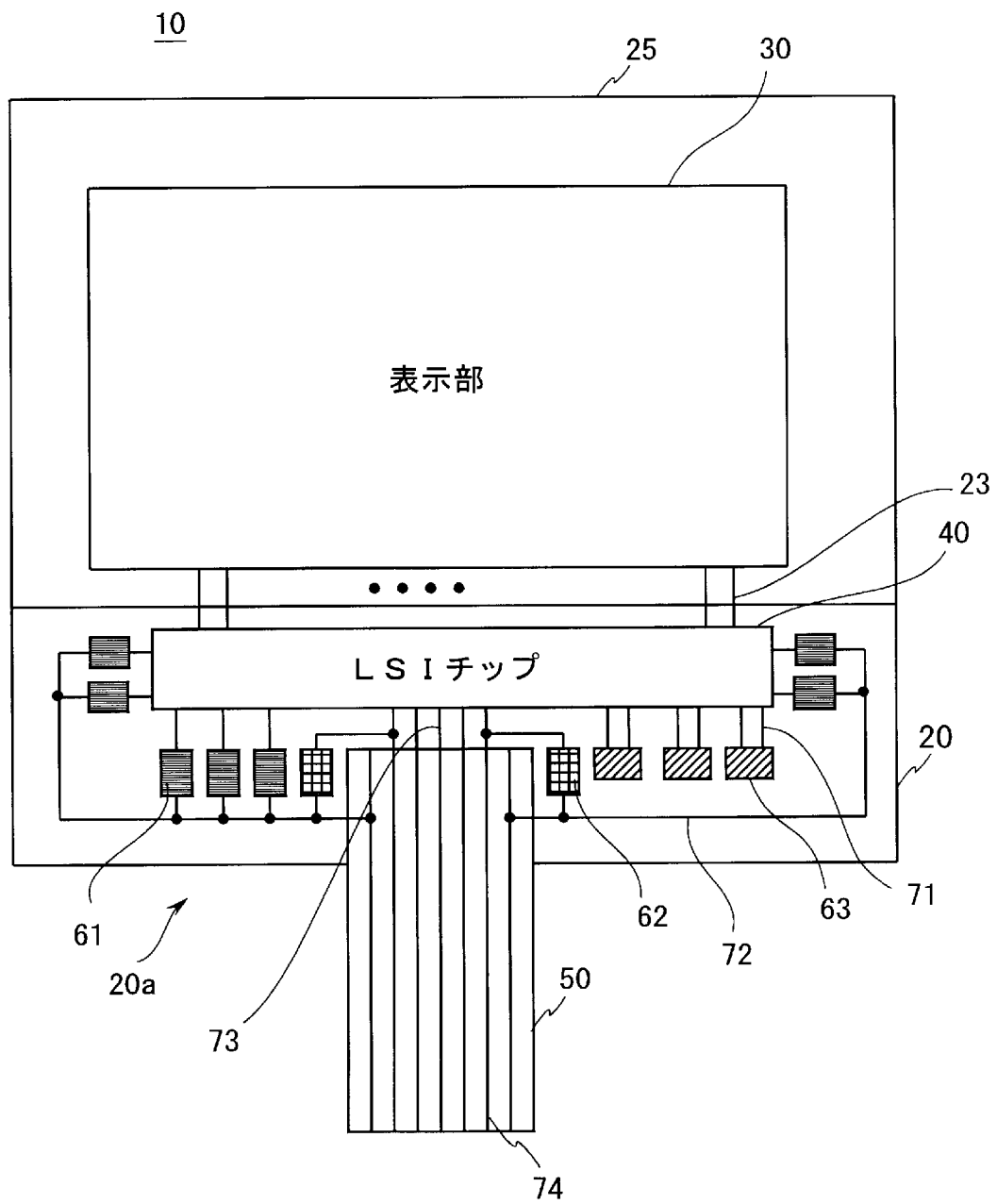
[図1]



[図2]

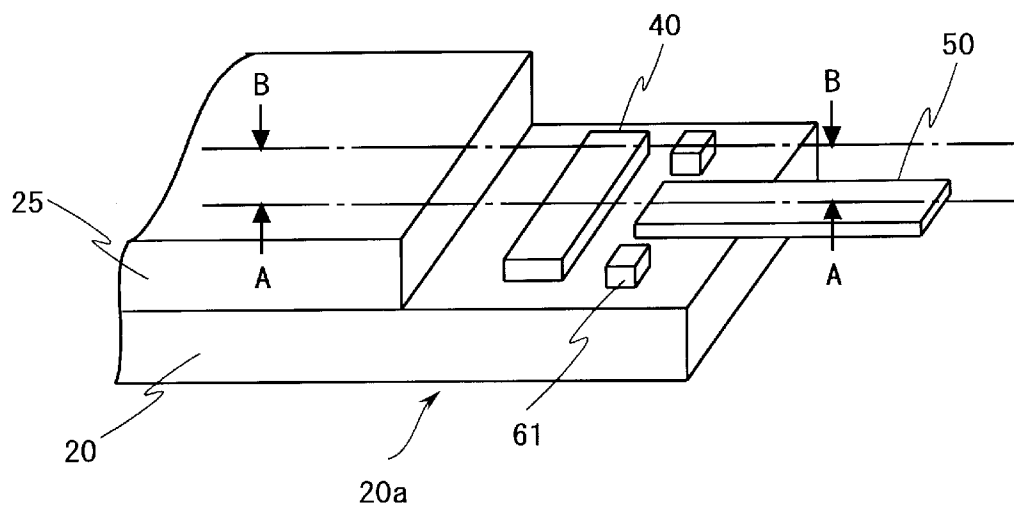


[図3]

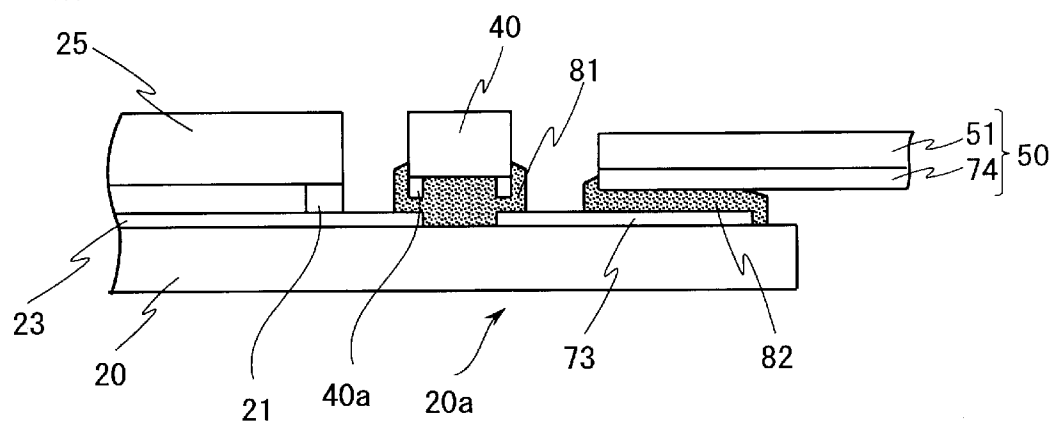


[図4]

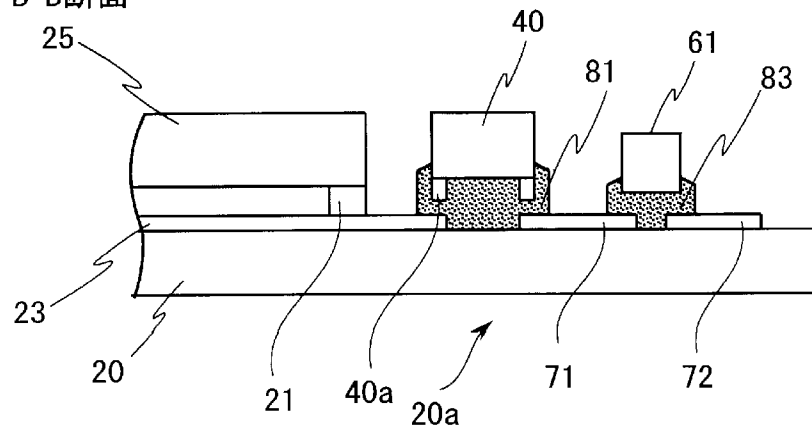
(A)



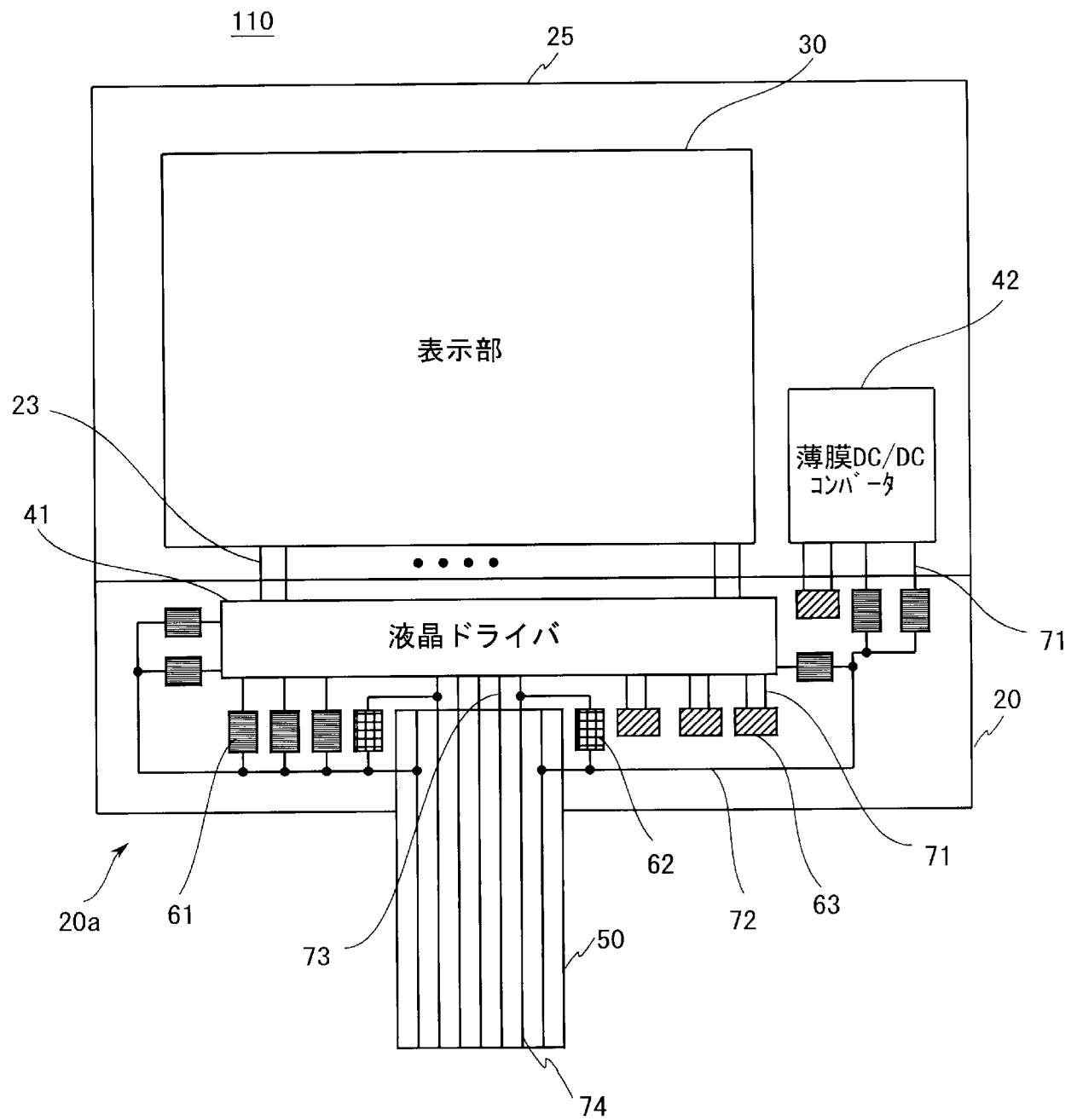
(B) A-A断面

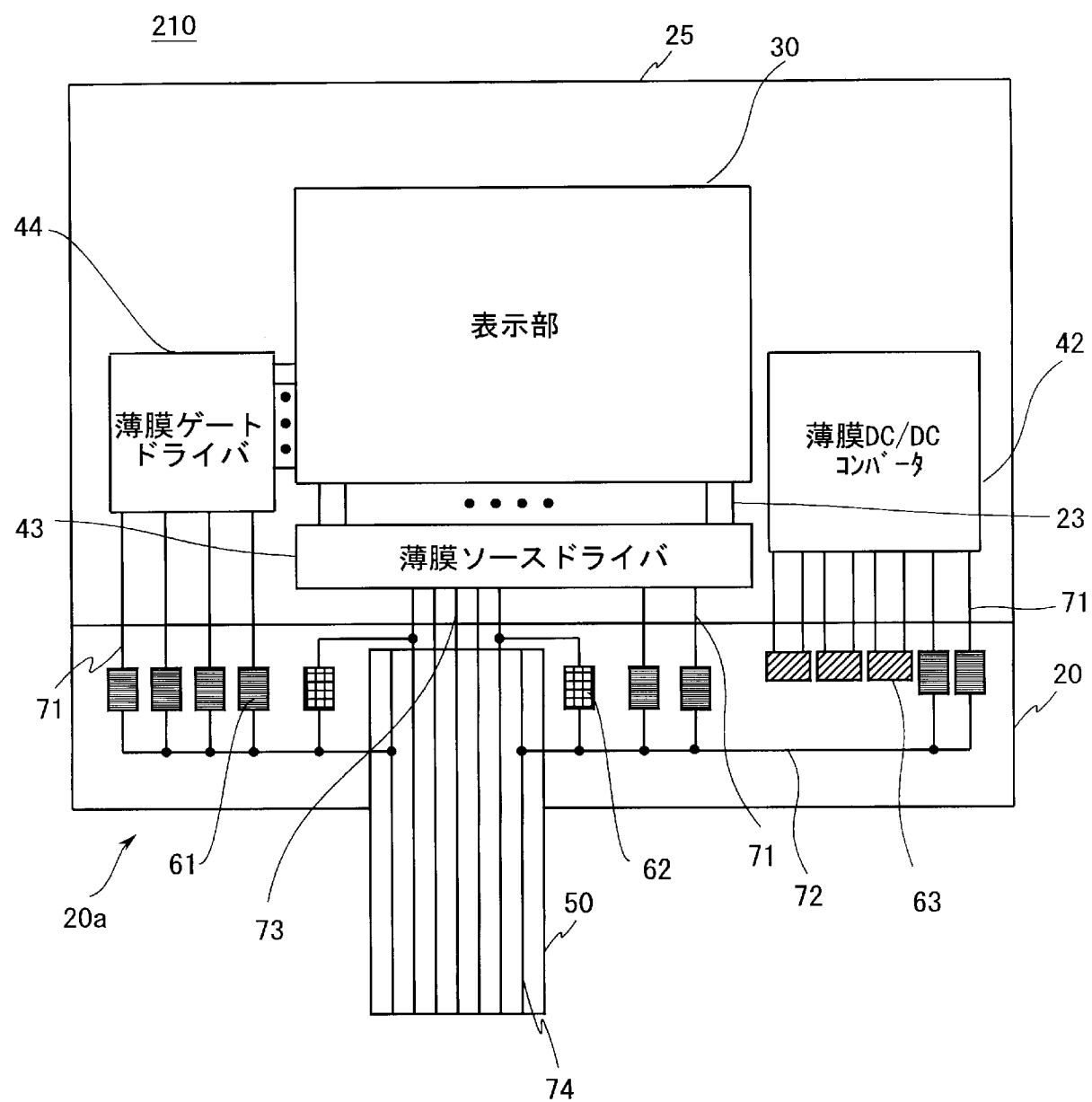


(C) B-B断面



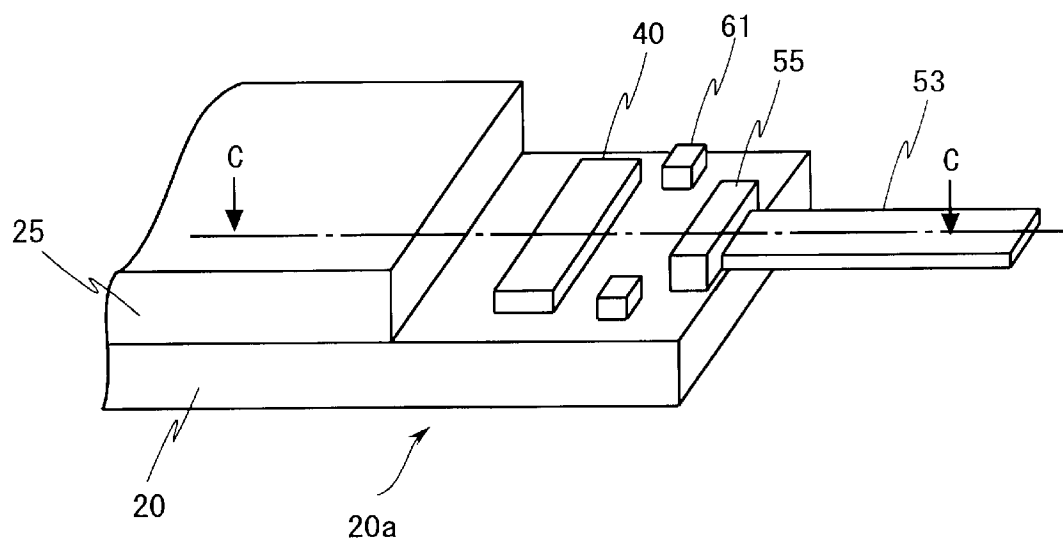
[図5]



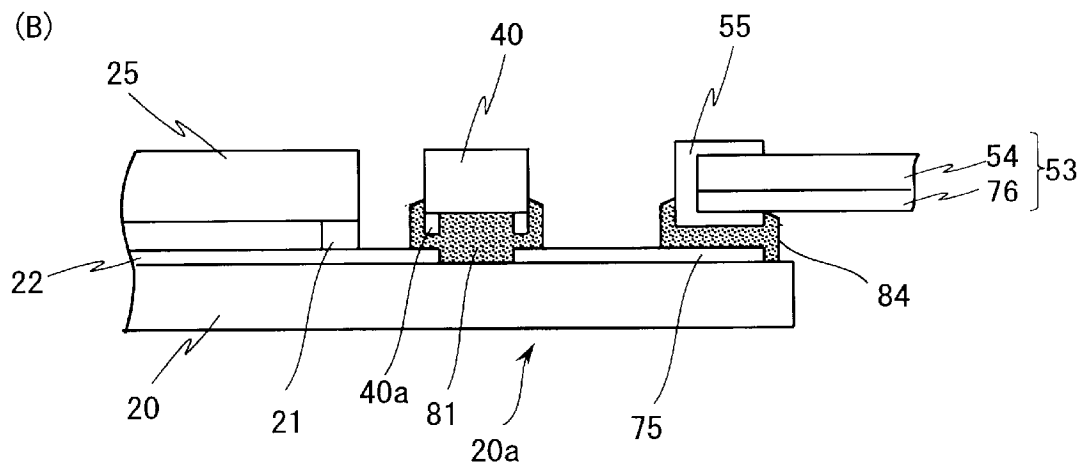


[図7]

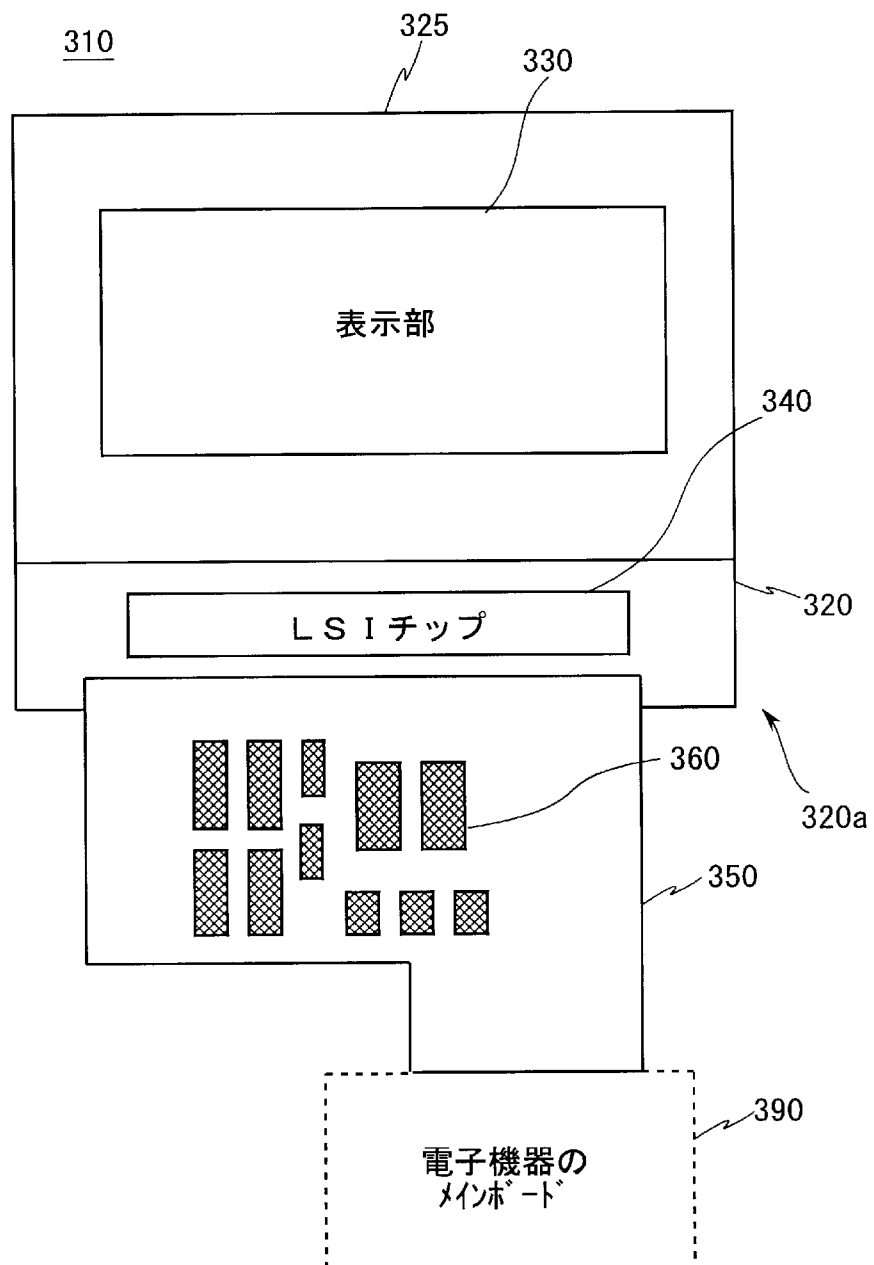
(A)



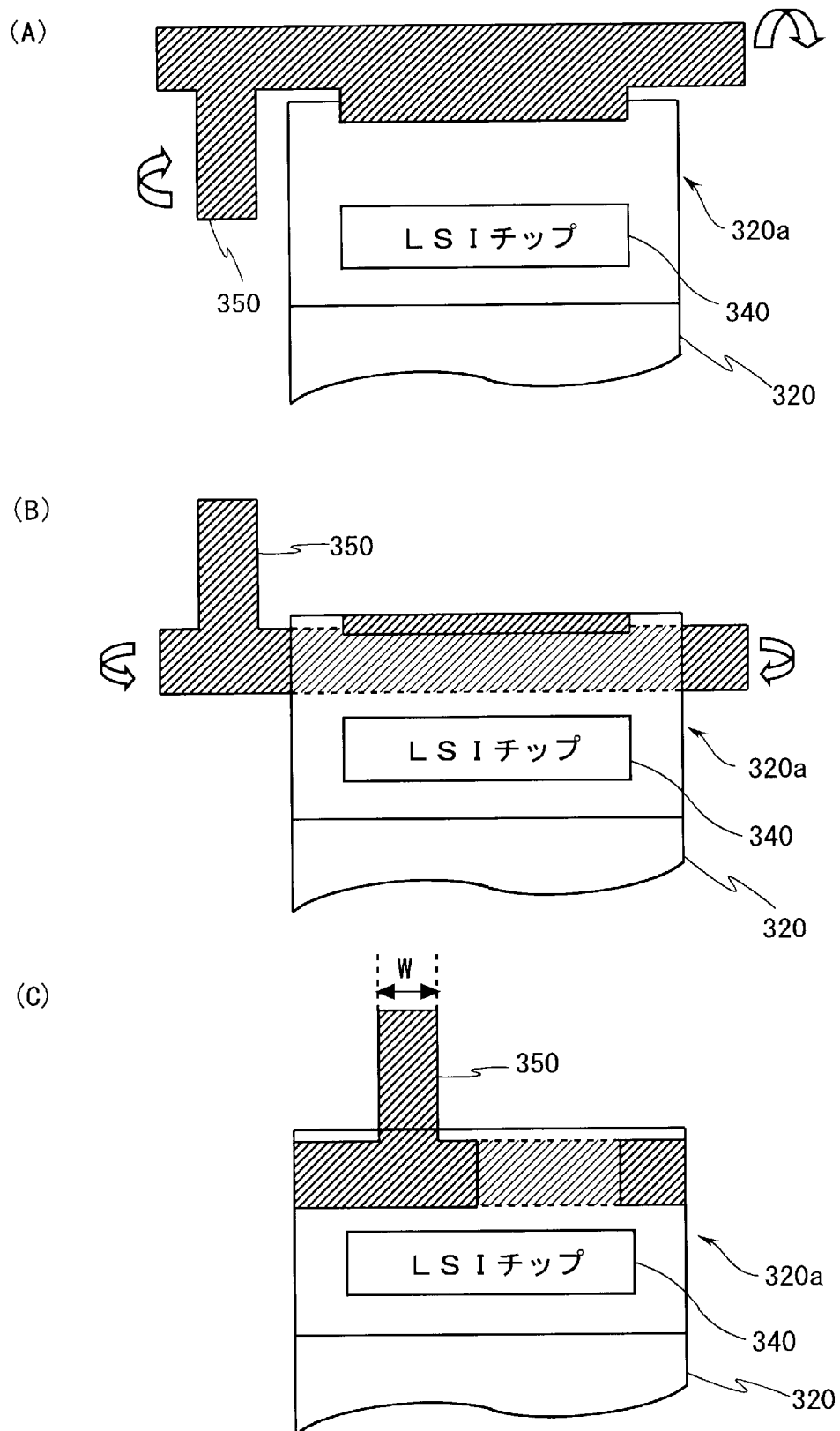
(B)



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/061200

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/00(2006.01) i, G02F1/1345(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00, G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-279574 A (Seiko Epson Corp.), 07 October, 2004 (07.10.04), Par. Nos. [0011] to [0028]; Figs. 1 to 4 (Family: none)	1, 8-10, 12, 14, 15 2-7, 11, 13
Y	JP 2001-242799 A (Seiko Epson Corp.), 07 September, 2001 (07.09.01), Par. No. [0005]; Fig. 9 (Family: none)	2, 4
Y	JP 2008-170758 A (Epson Imaging Devices Corp.), 24 July, 2008 (24.07.08), Par. Nos. [0014] to [0021], [0044] to [0051]; Figs. 2, 13 (Family: none)	3-7, 11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 July, 2009 (21.07.09)

Date of mailing of the international search report
28 July, 2009 (28.07.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/061200

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-233324 A (Rohm Co., Ltd.), 22 August, 2003 (22.08.03), Par. Nos. [0003] to [0008], [0022] to [0035]; Fig. 1 (Family: none)	5-7
Y	JP 2008-003591 A (Samsung Electronics Co., Ltd.), 10 January, 2008 (10.01.08), Par. Nos. [0010] to [0027]; Figs. 1, 2 & US 2007/0291042 A1 & KR 10-2007-0120229 A & CN 101093303 A	11
Y	JP 10-083873 A (Omron Corp.), 31 March, 1998 (31.03.98), Par. Nos. [0038] to [0044]; Fig. 5 (Family: none)	13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/061200

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: JP 2004-279574 A (Seiko Epson Corp.), 07 October 2004 (07.10.04), [0011]-[0028], Figs. 1-4

The search has revealed that the invention of claim 1 is not novel since it is disclosed in Document 1 (Document 1 discloses "a first substrate (110)," "a driver IC (150)," "a capacitor (180)," "boost/drop wire (116, 116r)," "input wires (114, 114p)," and "a flexible wire substrate (160)" which are equivalent to "first insulating substrate," "drive circuit," "separate electronic parts," "part wire," "input wire," and "wire substrate" in claim 1, respectively).

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/061200

Continuation of Box No.III of continuation of first sheet (2)

Accordingly, the technical feature of claim 1 makes no contribution over the prior art and cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. Consequently, there is no technical relationship among the inventions of claims 1-15 involving one or more of the same or corresponding special technical features. Therefore, the inventions are not so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/00(2006.01)i, G02F1/1345(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00, G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-279574 A（セイコーエプソン株式会社）2004.10.07, 【0011】 - 【0028】、図1 - 4（ファミリーなし）	1, 8-10, 12, 14, 15
Y		2-7, 11, 13
Y	JP 2001-242799 A（セイコーエプソン株式会社）2001.09.07, 【0005】、図9（ファミリーなし）	2, 4

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 7 . 2 0 0 9

国際調査報告の発送日

2 8 . 0 7 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 博之

電話番号 03-3581-1101 内線 3273

2 I

4 0 7 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-170758 A (エプソンイメージングデバイス株式会社) 2008.07.24, 【0014】－【0021】、【0044】－【0051】、図2、13 (ファミリーなし)	3-7, 11
Y	JP 2003-233324 A (ローム株式会社) 2003.08.22, 【0003】－【0008】、【0022】－【0035】、図1 (ファミリーなし)	5-7
Y	JP 2008-003591 A (三星電子株式会社) 2008.01.10, 【0010】－【0027】、図1、2 & US 2007/0291042 A1 & KR 10-2007-0120229 A & CN 101093303 A	11
Y	JP 10-083873 A (オムロン株式会社) 1998.03.31, 【0038】－【0044】、図5 (ファミリーなし)	13

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

文献1：JP 2004-279574 A（セイコーエプソン株式会社）2004.10.07，【0011】－【0028】、図1－4
請求項1に係る発明は、文献1に記載されており、新規でないことが明らかになった（文献1には、「第1基板110」、「ドライバIC150」、「コンデンサ180」、「昇降圧配線116、116r」、「入力配線114、114p」、「フレキシブル配線基板160」が記載されており、それぞれ、請求項1における「第1の絶縁性基板」、「駆動回路」、「個別電子部品」、「部品用配線」、「入力用配線」、「配線基板」に相当する。）。
したがって、請求項1に記載された事項は、先行技術に対する貢献をもたらすものではなく、PCT規則13.2の第2文の意味における特別な技術的特徴ではない。よって、請求項1－15に係る発明は、一又は二以上の同一の又は対応する特別な技術的特徴を含む技術的關係にないため、単一の一般的発明概念を形成するように連関していない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。