



(12) 发明专利

(10) 授权公告号 CN 101261995 B

(45) 授权公告日 2012.06.06

(21) 申请号 200810092022.X

CN 1119346 A, 1996.03.27,

(22) 申请日 2008.01.10

US 7170788 B1, 2007.01.30,

(30) 优先权数据

审查员 黄道许

10-2007-0002974 2007.01.10 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416 番地

(72) 发明人 李丞哲 崔炳镛 李忠浩 李根浩

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 黄启行 穆德骏

(51) Int. Cl.

H01L 27/115(2006.01)

H01L 23/522(2006.01)

H01L 21/8247(2006.01)

(56) 对比文件

US 4962481 A, 1990.10.09,

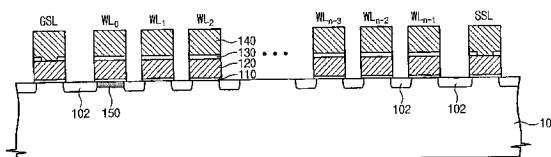
权利要求书 2 页 说明书 6 页 附图 11 页

(54) 发明名称

非易失性存储器件及其形成方法

(57) 摘要

一种非易失性存储器件包括第一导电类型的半导体衬底、在半导体衬底上的多条字线, 每一条字线包括第二导电类型的浮栅。地选择线和串选择线位于字线的各侧。第二导电类型的掺杂区位于与地选择线相邻的第一字线之下。该器件还可以进一步包括第二导电类型的第二掺杂区, 其位于与串选择线相邻的第二字线之下。在其它实施方式中, 该器件可以进一步包括第二导电类型的第三掺杂区, 其位于第一字线和第二字线之间的各第三字线之下。而且还提供了形成此类器件的方法。



1. 一种非易失性存储器件,包括:
第一导电类型的半导体衬底;
位于所述半导体衬底上的多条字线,所述多条字线中的每一条包括第二导电类型的浮栅;
位于所述字线的各侧的所述衬底上的地选择线和串选择线;以及
位于与所述地选择线相邻的第一字线下面的第二导电类型的掺杂区,
其中所述第一字线的沟道区通过所述掺杂区与所述半导体衬底的上表面分开。
2. 根据权利要求 1 所述的非易失性存储器件,其中所述第一导电类型为 p 型并且所述第二导电类型为 n 型。
3. 根据权利要求 1 所述的非易失性存储器件,其中所述掺杂区包括第一掺杂区,并且还包含第二掺杂区,所述第二掺杂区为第二导电类型,且位于与所述串选择线相邻的第二字线下面。
4. 根据权利要求 2 所述的非易失性存储器件,进一步包括第二导电类型的第三掺杂区,所述第三掺杂区位于所述第一字线和所述第二字线之间的各第三字线下面。
5. 一种形成非易失性存储器件的方法,包括:
在第一导电类型的半导体衬底上形成多条字线,所述多条字线中的每一条包括第二导电类型的浮栅;
在所述字线的各侧的衬底上,形成地选择线和串选择线;以及
在与所述地选择线相邻的第一字线下面,形成第二导电类型的掺杂区,
其中所述第一字线的沟道区通过所述掺杂区与所述半导体衬底的上表面分开。
6. 根据权利要求 5 所述的方法,其中所述第一导电类型为 p 型,并且其中所述第二导电类型为 n 型。
7. 根据权利要求 5 所述的方法,其中所述形成掺杂区包括:
使用所述字线作为掩模执行斜向离子注入,以形成与所述第一字线相邻的初步掺杂区;以及
对所述半导体衬底进行退火,以从所述初步掺杂区形成所述掺杂区。
8. 根据权利要求 7 所述的方法,其中所述字线之间的距离小于所述第一字线和所述地选择线之间的距离,并且其中以使杂质离子注入到所述第一字线和所述地选择线之间的所述半导体衬底内而不注入到所述字线之间的所述半导体衬底内的角度来执行所述斜向离子注入处理。
9. 根据权利要求 7 所述的方法,其中执行斜向离子注入是通过形成光致抗蚀剂图案进行的,所述光致抗蚀剂图案覆盖所述串选择线和与所述串选择线相邻的所述第二字线,并且其中执行斜向离子注入包括使用所述光致抗蚀剂图案作为离子注入掩模来执行所述斜向离子注入。
10. 根据权利要求 5 所述的方法,其中所述掺杂区包括第一掺杂区,并且还包含形成第二掺杂区,所述第二掺杂区为第二导电类型,且位于与所述串选择线相邻的第二字线下面。
11. 根据权利要求 10 所述的方法,其中形成第二掺杂区包括:
使用所述字线作为掩模执行斜向离子注入处理,以形成与所述第二字线相邻的初步掺杂区;以及

对所述半导体衬底进行退火,以从所述初步掺杂区形成所述第二掺杂区。

12. 根据权利要求 11 所述的方法,其中所述字线之间的距离小于所述第二字线和所述串选择线之间的距离,并且其中以使杂质离子注入到所述第二字线和所述串选择线之间的所述半导体衬底内而不注入到所述字线之间的所述半导体衬底内的角度执行来所述斜向离子注入处理。

13. 根据权利要求 11 所述的方法,其中执行斜向离子注入处理是通过形成光致抗蚀剂图案进行的,所述光致抗蚀剂图案覆盖所述地选择线和所述第一字线,并且其中执行斜向离子注入包括使用所述光致抗蚀剂图案作为离子注入掩模来执行所述斜向离子注入。

14. 一种形成非易失性存储器件的方法,包括:

在第一导电类型的半导体衬底内形成第二导电类型的掺杂区;

在所述各掺杂区上形成字线,每一条字线包括第二导电类型的浮栅;

在所述字线的各侧的所述衬底上,形成地选择线和串选择线;以及

在所述字线之间的所述半导体衬底内形成源极/漏极区,

其中所述字线的沟道区通过所述掺杂区与所述半导体衬底的上表面分开。

15. 根据权利要求 14 所述的方法,其中所述第一导电类型为 p 型,并且其中所述第二导电类型为 n 型。

16. 根据权利要求 14 所述的方法,包括:

在所述衬底内形成第二导电类型的掺杂区;以及

使用所述字线作为离子注入掩模将离子注入到所述衬底内,以形成所述掺杂区和所述源极/漏极区。

非易失性存储器件及其形成方法

[0001] 相关申请的交叉引用

[0002] 该专利申请要求于 2007 年 1 月 10 日申请的, 申请号为 2007-0002974 的韩国专利申请的优先权, 其全部内容通过整体引用结合在此。

技术领域

[0003] 本发明涉及半导体器件及其形成方法, 并且更具体地涉及非易失性半导体器件及其形成方法。

背景技术

[0004] 半导体存储器件可分为易失性半导体存储器件和非易失性半导体存储器件。典型地, 当中断其供电电源时, 易失性半导体存储器件存储的数据就会丢失, 而非易失性半导体存储器件的存储数据一直会保留, 即使其供电电源中断。

[0005] 典型地, 闪存是高度集成的非易失性器件, 其兼具可擦写可编程只读存储器 (EPROM) 和电可擦写可编程只读存储器 (EEPROM) 的优点。闪存器件的类型包括 NOR 型闪存器件和 NAND 型闪存器件。由于 NAND 型闪存器件的基本单位包括一串可共同控制的存储单元, 因此更有利于高度集成。

[0006] 图 1 和图 2 分别是传统的非易失性存储器件的电路图和截面图。参照图 1 和图 2, NAND 型闪存存储单元阵列包括串选择线 SSL 和地选择线 GSL。字线 WL_0 - WL_{n-1} 排列在串选择线 SSL 和地选择线之间。串选择线 SSL、地选择线 GSL 和字线 WL_0 - WL_{n-1} 可以包括隧道绝缘层 20, 浮栅 30, 栅间介电质 40, 和控制栅 50。示出了 NAND 闪存器件中选中的 MC_{1i} 存储单元的编程电压条件。地电压 GND 施加到已选中的位线 BL_1 , 并且电源电压 V_{CC} 施加到未选中的位线 BL_{i+1} 。电源电压 V_{CC} 施加到串选择线 SSL, 地电压 GND 施加到地选择线 GSL。地电压 GND 施加到共源极线 CSL。编程电压 V_{pgm} 施加到字线 WL_0 , 并且旁路电压 (pass voltage) V_{pass} 施加到未选中的字线 WL_1 - WL_{n-1} 。地电压 GND 施加到衬底。

[0007] 当进行这些操作时, 期望已选中的字线 WL_0 和未选中的位线 BL_{i+1} 的存储单元 MC_{1i+1} 不被编程。因此, 已选中的字线 WL_0 和未选中的位线 BL_{i+1} 的存储单元 MC_{1i+1} 的沟道电压被升压到高的电平来防止对连接到此的存储单元编程。

[0008] 由于地选择线 GSL 沟道区和被升压到高的电平的沟道区之间的电位不同, 因此会在地选择线 GSL 和字线 WL_0 之间的源极 / 漏极区 15 产生强电场, 并由此产生电子空穴对。电子空穴对中的空穴由于衬底偏置 (箭头 3) 会迁移到衬底, 并且电子空穴对中的电子由于地选择线 GSL 沟道电压和已选中的字线 WL_0 沟道电压之间产生的强水平电场作用 (箭头 1), 变成热电子。热电子会朝着已选中字线 WL_0 扩散并注入浮栅 30 (箭头 2)。这个现象也会发生在串选择线 SSL 和邻近的字线 WL_{n-1} 之间。因此导致编程扰动发生, 也就是, 禁止编程的存储单元可能被编程。

[0009] 可参考图 3A 和 3B 来描述编程扰动的电位影响, 在图中, 纵坐标表示阈值电压 V_{th} , 横坐标表示旁路电压 V_{pass} 。其中, 图 3A 是图解了有编程扰动发生的字线 WL_0 和字线 WL_{n-1}

的图示,图 3B 是图解了没有编程扰动发生的字线 WL_1-WL_{n-1} 的图示。图 3A 显示,随着编程数量 (NOP) 的增加,由于编程扰动,阈值电压也会升高。当旁路电压很高时,阈值电压会显著地升高。另一方面,图 3B 显示,即使编程数量 (NOP) 增加,阈值电压也不会有实质性地起伏。

发明内容

[0010] 根据本发明的一些实施方式,一种非易失性存储器件包括第一导电类型的半导体衬底和在半导体衬底上的多条字线,多条字线的每一条包括第二导电类型的浮栅。地选择线和串选择线在半导体衬底上位于字线的各侧。第二导电类型的掺杂区位于与地选择线相邻的第一字线之下。掺杂区可以插入到半导体衬底内的第一字线和下层的沟道区之间。第一导电类型可以为 p 型,并且第二导电类型可以为 n 型。

[0011] 在进一步的实施方式中,掺杂区包括第一掺杂区,并且还包含第二掺杂区,所述第二掺杂区为第二导电类型,且位于与串选择线相邻的第二字线之下。更进一步的实施方式中,器件可以进一步包括第二导电类型的第三掺杂区,所述第三掺杂区分别位于第一字线和第二字线之间的各第三字线之下。

[0012] 本发明的另外的实施方式提供了一种形成非易失性存储器件的方法,包括:在第一导电类型的半导体衬底上形成多条字线,多条字线的每一条包括第二导电类型的浮栅。在字线的各侧的衬底上形成地选择线和串选择线。在与地选择线相邻的第一字线之下形成第二导电类型的掺杂区。掺杂区可以插入到半导体衬底内的第一字线和下层的沟道区之间。第一导电类型可以为 p 型,并且第二导电类型可以为 n 型。

[0013] 在一些实施方式中,形成掺杂区包括使用字线作为掩模执行斜向离子注入,以形成与第一字线相邻的初步掺杂区,并且对半导体衬底进行退火,以从初步掺杂区形成掺杂区。字线之间的距离可以小于第一字线和地选择线之间的距离,并且斜向离子注入处理可以一角度执行,从而杂质离子被注入到第一字线和地选择线之间的半导体衬底内,而不注入到字线之间的半导体衬底内。在一些实施方式中,执行斜向离子注入是通过形成光致抗蚀剂图案进行,所述光致抗蚀剂图案覆盖串选择线和与串选择线相邻的第二字线,并且执行斜向离子注入包括使用光致抗蚀剂图案作为离子注入掩模来执行斜向离子注入。

[0014] 在进一步的实施方式中,掺杂区包括第一掺杂区,并且还包含第二导电类型的第二掺杂区,其位于与串选择线相邻的第二字线之下的沟道区上。形成第二掺杂区可以包括使用字线作为掩模执行斜向离子注入处理,以形成与第二字线相邻的初步掺杂区,并且对半导体衬底进行退火,以从初步掺杂区形成第二掺杂区。字线之间的距离可以小于第二字线和串选择线之间的距离,并且斜向离子注入处理可以一角度执行,从而杂质离子被注入到第二字线和串选择线之间的半导体衬底内,而不注入到字线之间的半导体衬底内。执行斜向离子注入处理可以通过形成光致抗蚀剂图案进行,所述光致抗蚀剂图案覆盖地选择线和第一字线,并且执行斜向离子注入可以包括使用光致抗蚀剂图案作为离子注入掩模来执行斜向离子注入。

[0015] 本发明进一步的实施方式提供了一种形成非易失性存储器件的方法,包括在第一导电类型的半导体衬底内形成第二导电类型的掺杂区并且在所述各掺杂区上形成字线,每一条字线包括第二导电类型的浮栅。在字线的各侧的半导体衬底上形成地选择线和串选择

线。在字线之间的半导体衬底内形成源极 / 漏极区。掺杂区可以插入到半导体衬底内的字线和各个沟道区之间。第一导电类型可以为 p 型, 第二导电类型可以为 n 型。本方法可以包括在衬底内形成第二导电类型的掺杂区, 使用字线作为离子注入掩模将离子注入到衬底内, 以形成掺杂区和源极 / 漏极区。

附图说明

[0016] 附图提供了对本发明的进一步的理解, 并且将其合并进来并组成本说明书的一部分。附图与说明书一起举例说明了本发明的实施方式, 旨在解释本发明的原理。附图中:

[0017] 图 1 是一种传统非易失性存储器件的示意图。

[0018] 图 2 是一种传统非易失性存储器件的截面图。

[0019] 图 3A 和 3B 显示根据传统非易失性存储器件的编程扰动。

[0020] 图 4 是一种根据本发明一些实施方式的非易失性存储器件的截面图。

[0021] 图 5 是一种根据本发明另外的实施方式的非易失性存储器件的截面图。

[0022] 图 6 是一种根据本发明另外的实施方式的非易失性存储器件的截面图。

[0023] 图 7A 到 7C 是图解根据本发明一些实施方式的形成非易失性存储器件的操作的截面图。

[0024] 图 8A 到 8D 是图解根据本发明另外的实施方式的形成非易失性存储器件的操作的截面图。

[0025] 图 9A 到 9B 是图解根据本发明另外的实施方式的形成非易失性存储器件的操作的截面图。

具体实施方式

[0026] 现在参考附图, 在后面对本发明进行更加全面描述, 在附图中图解了本发明的示例性实施方式。虽然本发明包含在不同的形式中, 但不应当仅局限在所提出的实施方式中。更恰当地, 提供这些实施方式应当是使得公开得更彻底和更完整, 并向本领域技术人员完整地传达本发明的范围。

[0027] 应当理解的是, 当元件或层“在 之上”、“连接到”和 / 或“耦合到”另一个元件或层时, 元件或层可能直接地在另一个元件之上、连接到和 / 或耦合到另一个元件或层, 也可能中间插入了其它元件或层。相反, 当元件是“直接在 之上”、“直接连接到”和 / 或“直接耦合到”另一个元件或层时, 则中间不会插入其它元件或层。此处用到的术语“和 / 或”包括一个或多个相关的所列项目的任何和所有组合。

[0028] 还应当理解的是, 尽管在此处描述各种元件、组件、区、层和 / 或部分时用到的术语“第一”、“第二”等等, 这些元件、组件、区、层和 / 或部分应当不仅限于这些术语。而使用这些术语仅仅便于将元件、组件、区、层和 / 或部分和其它元件、组件、区、层和 / 或部分区分开来。例如, 第一元件、组件、区、层和 / 或部分可以叫作第二元件、组件、区、层和 / 或部分而不会背离本发明的教导。

[0029] 可能使用空间相关的术语, 如“在 . . . 下面”、“在 . . . 下方”、“下面”、“在 . . . 上方”、“上面”、“顶”、“底”等等, 来描述元件和 / 或特征与其它元件 (多个) 和 / 或特征 (多个) 的关系, 如图中所表示的关系。应当理解的是, 空间相关术语除了图中所刻画的方向往往还

包括器件在使用或操作中的不同方向。例如,当图中的器件颠倒时,所描述的在其它元件或特征下面和 / 或下方的元件的方向就将位于其它元件或特征之上。器件可能处于其它方位(旋转 90 度或在其它方位),并且将对应地解释这里用到的空间相关描述。如此处用到的,“高度”指基本垂直到衬底表面的距离。

[0030] 此处用到的术语学仅仅是为了描述特定的实施方式,而不是限制本发明。如此处用到的,单数术语“一个(a, an)”、“该(the)”往往也包括了多个形式,除非文字明显地表明不是。需要进一步理解的是,术语“包括”、“包括有”、“包含”、“包含有”、“有”、“具有”和其中定义出现一定的特征、整体、步骤、操作、元件和 / 或组件的其它变化,并不排除出现和 / 或附加它的一个或多个其它的特征、整体、步骤、操作、元件和 / 或组件。

[0031] 本发明的实施方式可能参考截面图的图示进行说明,其是本发明的理想化实施方式的示意性图示。由此,应当期望图示形状的变化,例如,作为制造技术和 / 或公差的结果。因此,本发明的实施方式不应当被局限到在此图示的区的特定形状,而是应当包括由如制造引起的形状的误差。例如,图示为矩形的区可能具有圆形或曲线特征。因此,附图中图示的区是在性质方面的示意,而不会限制本发明的范围。整个说明书中,类似的附图标记指代类似元件。

[0032] 除非另外定义,此处用到的所有术语(包括技术和科学术语)具有由本发明所属领域技术普通人员之一一般理解的具有相同的意思。还需要理解的是,例如那些在普通常用字典中定义的术语,术语应当解释为与它们在本说明书上下文中的意思一致的意思,而不会解释为在一个理想化或超出形式意义的意义,除非此处如此明确地定义。

[0033] 在图中,为了清楚,夸大了层和区的厚度。还应当理解的是,当元件,例如层、区或衬底被定义为“在其它元件上”或“放到其它元件之上”时,它可能直接位于其它元件之上,也可能中间插入其它元件或层。整个说明书中,类似的附图标记指代类似元件。

[0034] 参照图 4,提供了半导体衬底 100。在半导体衬底 100 上布有字线 WL_0-WL_{n-1} 。半导体衬底 100 可具有第一导电类型(如, p 型)。每一条字线 WL_0-WL_{n-1} 都可能包括在半导体衬底 100 上的隧道绝缘层 110、在隧道绝缘层 110 上的浮栅 120、在浮栅 120 上的栅间介电质(intergatedielectric) 130 和在栅间介电质 130 上的控制栅 140。浮栅 120 可具有第二导电类型,例如可包括 n 型多晶硅。

[0035] 地选择线 GSL 和串选择线 SSL 位于字线 WL_0-WL_{n-1} 的各侧。在半导体衬底 100 内,字线 WL_0-WL_{n-1} 两两之间、地选择线 GSL 和字线 WL_0 之间、以及串选择线 SSL 和字线 WL_{n-1} 之间提供源极 / 漏极区 102。具有第二导电类型的(如, n 型)第一掺杂区 150 位于邻近地选择线 GSL 的字线 WL_0 之下。第一掺杂区 150 插入到第一字线 WL_0 和衬底 100 内的沟道区之间,即第一掺杂区可以防止与第一字线 WL_0 相联的沟道形成在半导体衬底 100 的表面附近。第一字线 WL_0 和其它字线 WL_1-WL_{n-1} 的阈值电压当在编程和擦除时可以控制在一预定的范围内。

[0036] 在图 4 的单位串中,可以升压字线 WL_0-WL_{n-1} 的沟道区来防止编程。将编程电压 V_{pgm} 施加到第一字线 WL_0 和将旁路电压 V_{pass} 施加到其它字线 WL_1-WL_{n-1} 。将地电压施加到地选择线 GSL。

[0037] 在地选择线 GSL 和字线 WL_0 之间的源极 / 漏极区可能产生电子空穴对。由于在第一字线 WL_0 的沟道区和地选择线 GSL 的沟道区之间产生的水平电场,导致对中的电子可能

变成热电子。第一字线 WL_0 的沟道区可以通过第一掺杂区 150 与半导体衬底 100 的上表面分开。因此,第一掺杂区 150 可以降低热电子注入到浮栅 120。

[0038] 参见图 5,提供了半导体衬底 200。半导体衬底 200 可具有第一导电类型(如, p 型)。在半导体衬底 200 上布有字线 WL_0 - WL_{n-1} 。字线 WL_0 - WL_{n-1} 中的每一条可能包括在半导体衬底 200 上的隧道绝缘层 210、在隧道绝缘层 210 上的浮栅 220、在浮栅 220 上的栅间介电质 230 和在栅间介电质 230 上的控制栅 240。浮栅 220 可具有第二导电类型,例如可包括 n 型多晶硅。

[0039] 地选择线 GSL 和串选择线 SSL 位于字线 WL_0 - WL_{n-1} 的各侧。在字线 WL_0 - WL_{n-1} 两两之间、地选择线 GSL 和第一字线 WL_0 之间、以及串选择线 SSL 和第二字线 WL_{n-1} 之间提供源极/漏极区 202。n 型的第一掺杂区 250 位于邻近地选择线 GSL 的第一字线 WL_0 之下。n 型的第二掺杂区 260 位于邻近串选择线 SSL 的第二字线 WL_{n-1} 之下。

[0040] 在图 5 的单位串中,可以升压字线 WL_0 - WL_{n-1} 的沟道区来防止编程。将编程电压 V_{pgm} 施加到第一字线 WL_0 并且将旁路电压 V_{pass} 施加到其它字线 WL_1 - WL_{n-1} 。将地电压施加到地选择线 GSL。

[0041] 在地选择线 GSL 和第一字线 WL_0 之间、和串选择线 SSL 和第二字线 WL_{n-1} 之间的源极/漏极区可能产生电子空穴对。由于在第一字线 WL_0 和地选择线 GSL 的沟道区之间产生的水平电场,导致对中的电子可能变成热电子。此外,由于在第二字线 WL_{n-1} 和串选择线 SSL 的沟道区之间产生的水平电场,导致对中的电子可能变成热电子。第一字线 WL_0 和第二字线 WL_{n-1} 的沟道区可以分别通过第一掺杂区 250 和第二掺杂区 260 与半导体衬底 200 的上表面分开。因此,第一掺杂区 250 和第二掺杂区 260 可以降低热电子注入到浮栅 120。

[0042] 参见图 6,提供了半导体衬底 300。半导体衬底 300 可具有第一导电类型(如, p 型)。在半导体衬底 300 上布有字线 WL_0 - WL_{n-1} 。字线 WL_0 - WL_{n-1} 中的每一条可能包括在半导体衬底 300 上的隧道绝缘层 310、在隧道绝缘层 310 上的浮栅 320、在浮栅 320 上的栅间介电质 330 和在栅间介电质 330 上的控制栅 340。浮栅 320 可具有第二导电类型,例如可包括 n 型多晶硅。

[0043] 地选择线 GSL 和串选择线 SSL 位于字线 WL_0 - WL_{n-1} 的各侧。在字线 WL_0 - WL_{n-1} 两两之间、地选择线 GSL 和第一字线 WL_0 之间、以及串选择线 SSL 和第二字线 WL_{n-1} 之间提供源极/漏极区 302。第二导电类型(例如 n 型)的掺杂区 350 位于字线 WL_0 - WL_{n-1} 之下。

[0044] 在图 6 的单位串中,可以升压字线 WL_0 - WL_{n-1} 的沟道区来防止编程。将编程电压 V_{pgm} 施加到第一字线 WL_0 并且将旁路电压 V_{pass} 施加到其它字线 WL_1 - WL_{n-1} 。将地电压施加到地选择线 GSL。

[0045] 在地选择线 GSL 和第一字线 WL_0 之间、和串选择线 SSL 和第二字线 WL_{n-1} 之间的源极/漏极区可能产生电子空穴对。由于在第一字线 WL_0 和地选择线 GSL 的沟道区之间产生的水平电场和在第二字线 WL_{n-1} 和串选择线 SSL 的沟道区之间产生的水平电场,导致对中的电子可能变成热电子。在第一字线 WL_0 和第二字线 WL_{n-1} 下的沟道可以通过掺杂区 350 与半导体衬底 300 的上表面分开。掺杂区 350 可以降低热电子注入到浮栅 320 以降低编程扰动。

[0046] 参照图 7A,提供了 P 型半导体衬底 100。在半导体衬底 100 上形成有字线 WL_0 - WL_{n-1} 。地选择线 GSL 和串选择线 SSL 位于字线 WL_0 - WL_{n-1} 的各侧。对半导体衬底 100 应用离子注入

处理,其施加到字线 WL_0 - WL_{n-1} 、地选择线 GSL 和串选择线 SSL 之间以形成源极 / 漏极区 102。

[0047] 参照图 7B,在半导体衬底 100 上形成光致抗蚀剂图案 170。使用字线 WL_0 - WL_{n-1} 和光致抗蚀剂图案 170 作为掩模执行斜向离子注入处理,以在半导体衬底 100 上形成初步掺杂区 150a,其与和地选择线 GSL 相邻布置的第一字线 WL_0 相邻。光致抗蚀剂图案 170 防止离子注入到串选择线 SSL 和与串选择线 SSL 相邻的第二字线 WL_{n-1} 之间的半导体衬底 100 内。由于字线 WL_0 - WL_{n-1} 两两之间的距离小于地选择线 GSL 和第一字线 WL_0 之间的距离,第一初步掺杂区 150a 不会形成在字线 WL_0 - WL_{n-1} 两两之间的半导体衬底 100 内。参照图 7C,对半导体衬底 100 应用退火处理以扩大第一字线 WL_0 之下的初步掺杂区 150a。因此,形成掺杂区 150,其可以降低编程扰动的弱点 (vulnerability)。

[0048] 参照图 8A,提供了 P 型半导体衬底 200。在半导体衬底 200 上形成了多条字线 WL_0 - WL_{n-1} 。地选择线 GSL 和串选择线 SSL 形成在衬底 200 上,位于字线 WL_0 - WL_{n-1} 的各侧。对半导体衬底 200 应用离子注入处理,其施加到字线 WL_0 - WL_{n-1} 、地选择线 GSL 和串选择线 SSL 之间,以形成源极 / 漏极区 202。

[0049] 参照图 8B,在半导体衬底 200 上形成第一光致抗蚀剂图案 270a。使用字线 WL_0 - WL_{n-1} 和第一光致抗蚀剂图案 270a 作为掩模执行斜向离子注入处理,以在半导体衬底 200 上与第一字线 WL_0 相邻处形成第一初步掺杂区 250a。第一光致抗蚀剂图案 270a 可以防止离子注入到串选择线 SSL 和与串选择线 SSL 相邻的第二字线 WL_{n-1} 之间的半导体衬底 200 内。由于字线 WL_0 - WL_{n-1} 两两之间的距离小于地选择线 GSL 和第一字线 WL_0 之间的距离,掺杂区不会形成在字线 WL_0 - WL_{n-1} 两两之间的半导体衬底 200 内。

[0050] 参照图 8C,在半导体衬底 200 上形成第二光致抗蚀剂图案 270b。使用字线 WL_0 - WL_{n-1} 和第二光致抗蚀剂图案 270b 作为掩模执行斜向离子注入处理,以在半导体衬底 200 上与第二字线 WL_{n-1} 相邻处形成第二初步掺杂区 260a。第二光致抗蚀剂图案 270b 可以防止离子注入到地选择线 GSL 和第一字线 WL_0 之间的半导体衬底 200 内。

[0051] 参照图 8D,对半导体衬底 200 应用退火处理以扩大分别在第一字线 WL_0 和第二字线 WL_{n-1} 之下的第一初步掺杂区 250a 和第二初步掺杂区 260a。因此,形成第一掺杂区 250 和第二掺杂区 260,其可以降低编程扰动的弱点。

[0052] 参照图 9A,提供了 P 型半导体衬底 300。执行离子注入处理以在半导体衬底 300 的上面部分形成第一导电类型 (例如 n 型) 区 350。特别是,掺杂区 350 可位于多条字线将要形成的位置。参照图 9B,在半导体衬底 300 上形成有多条字线 WL_0 - WL_{n-1} 。地选择线 GSL 和串选择线 SSL 形成在半导体衬底 300 上,位于字线 WL_0 - WL_{n-1} 的各侧。对半导体衬底 300 应用离子注入处理,其施加到字线 WL_0 - WL_{n-1} 、地选择线 GSL 和串选择线 SSL 之间以形成源极 / 漏极区 302。掺杂区 350 因此可形成在字线 WL_0 - WL_{n-1} 的下方,并在源极 / 漏极区 302 之间。

[0053] 上述是对本发明的举例说明,并且不构成对其的限制。尽管已经描述了本发明的几种实施方式,本领域技术人员应当容易地明白在没有实质地脱离本发明新的教导和优势的前提下,实施例的许多修改是可能的。因此,所有这样的修改往往包含在权利要求所定义的本发明的范围内。本发明通过所附权利要求进行限定。

(现有技术)

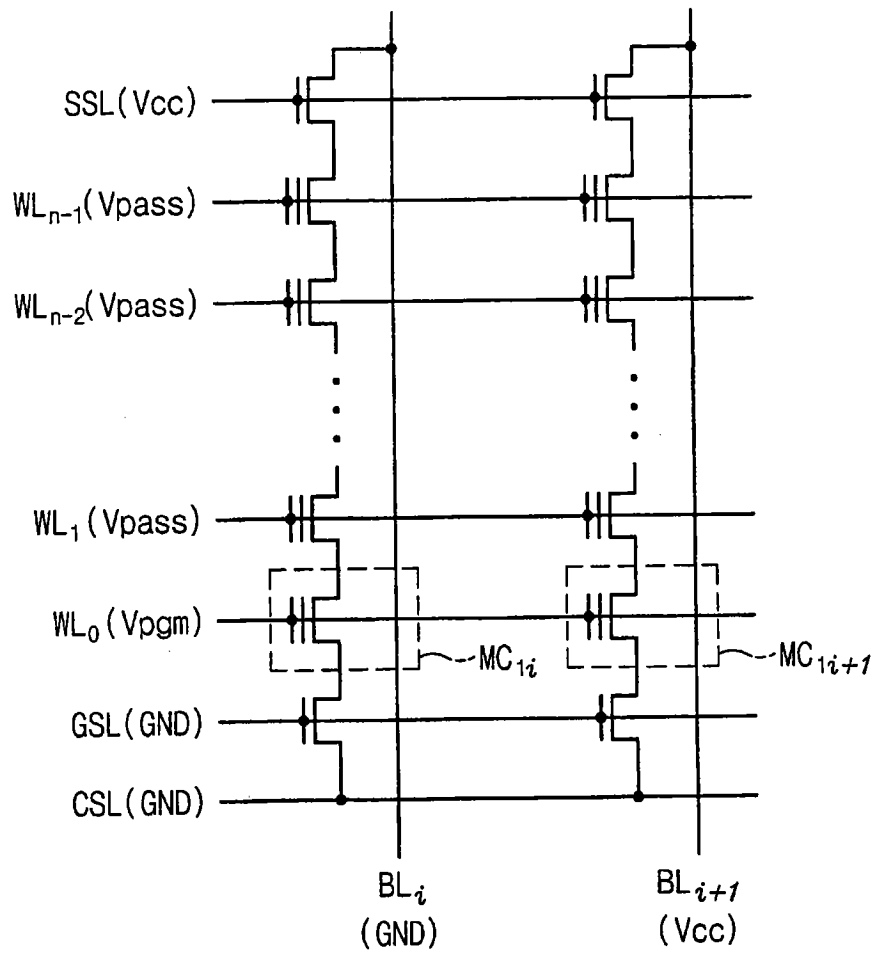


图 1

(现有技术)

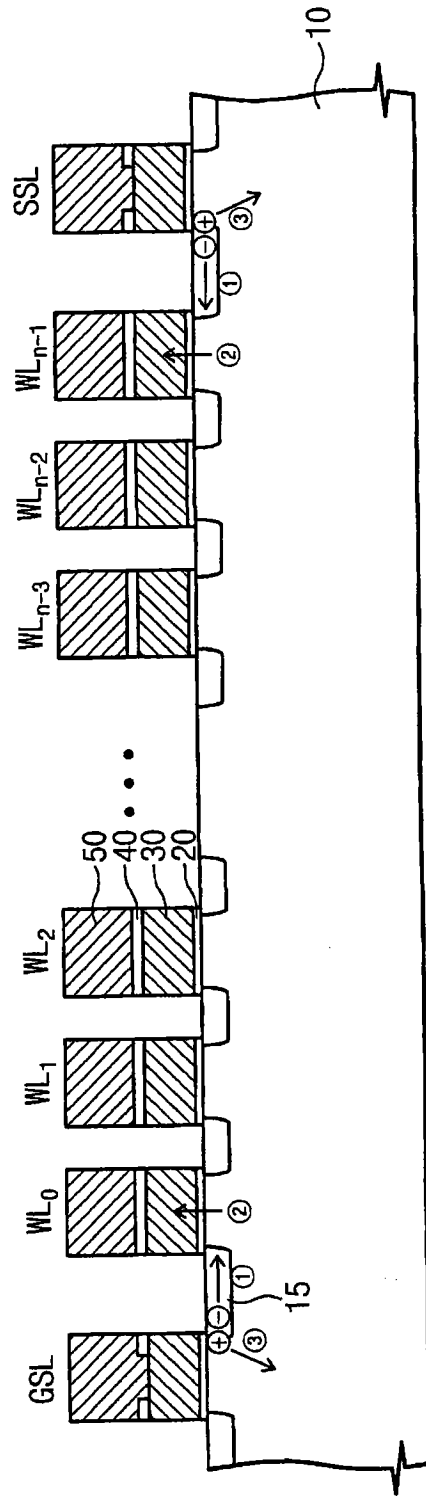


图2

(现有技术)

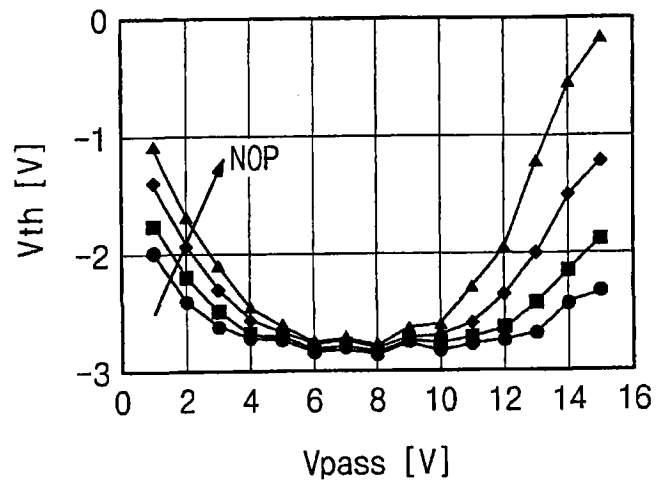


图 3A

(现有技术)

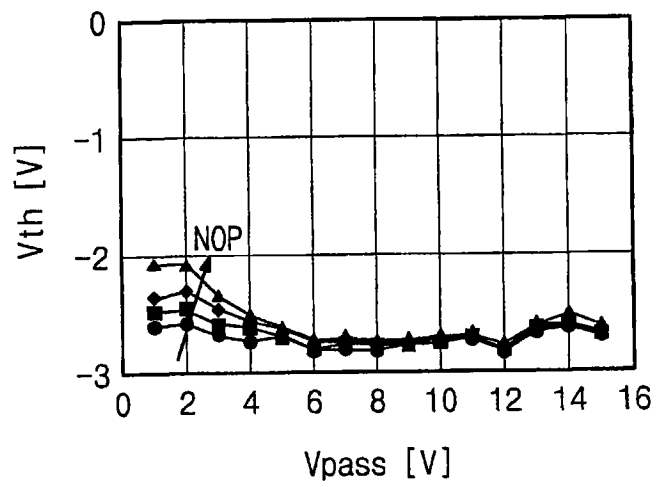


图 3B

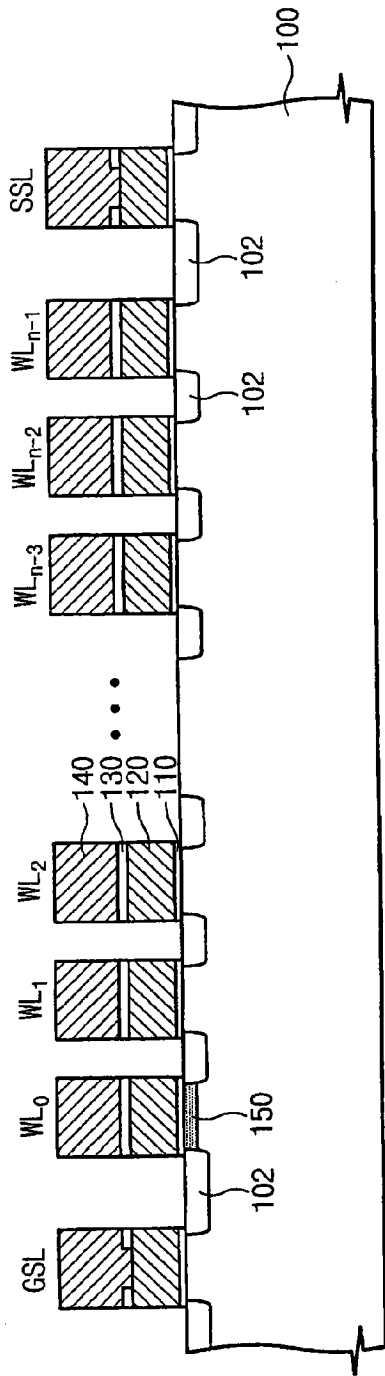


图4

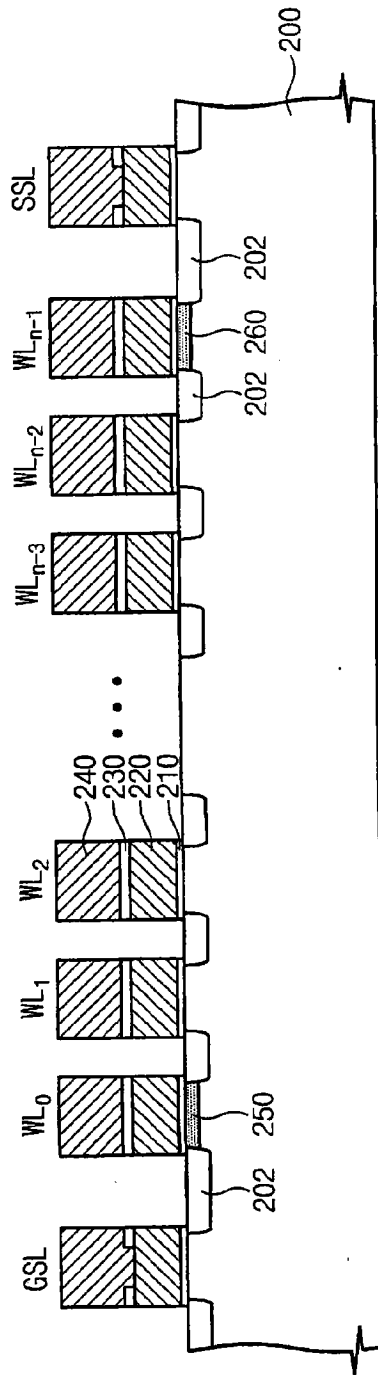


图5

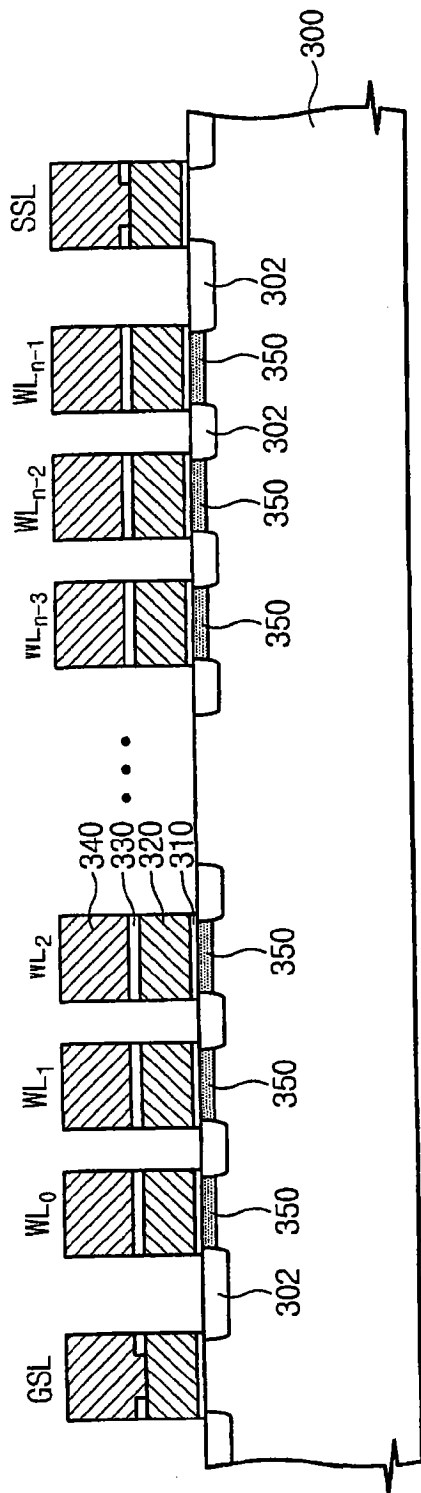


图6

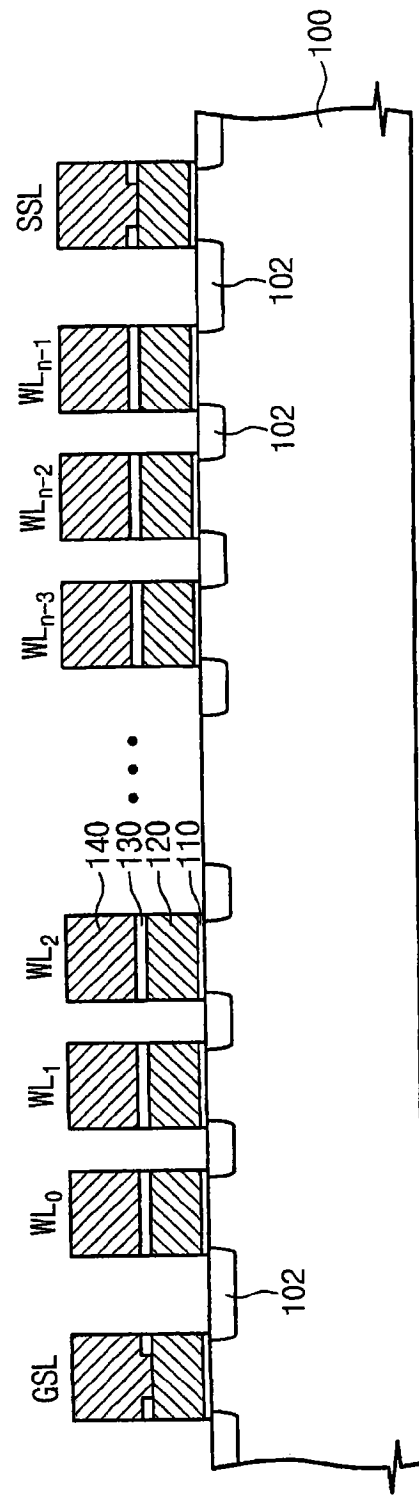


图7A

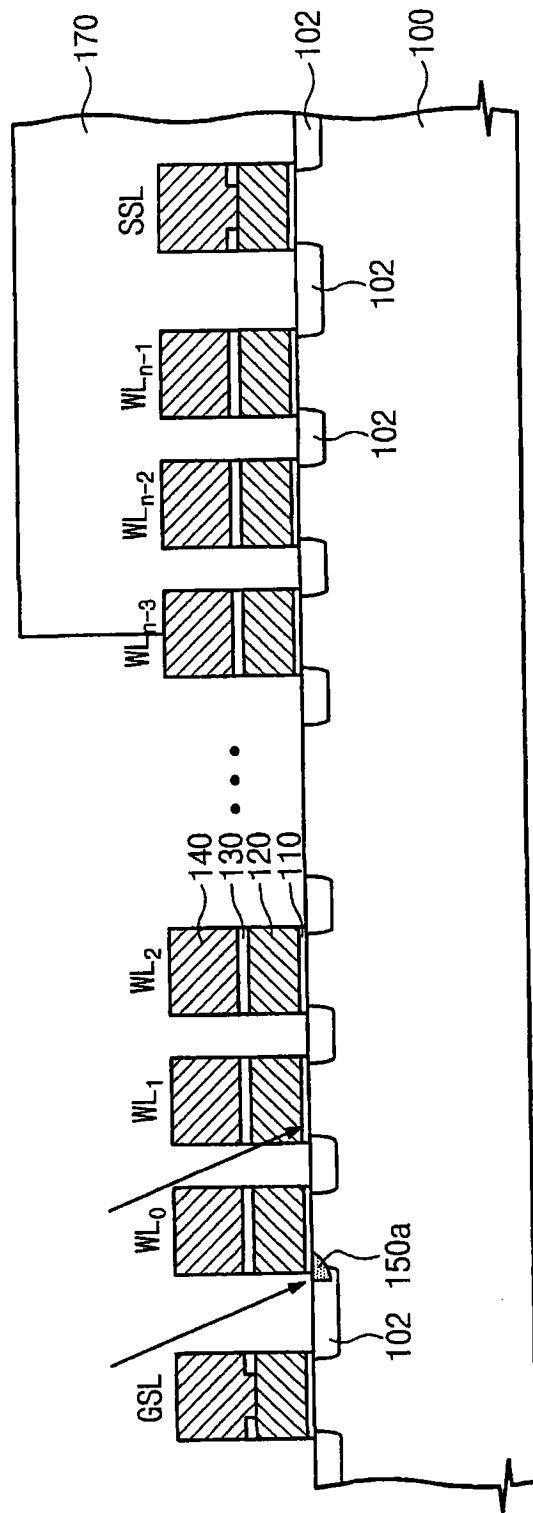


图7B

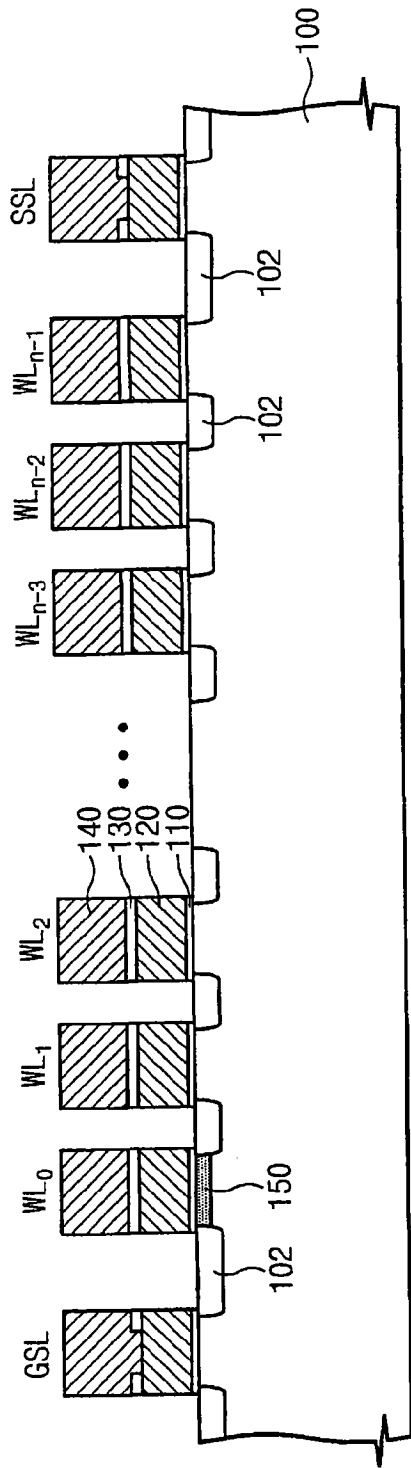


图7C

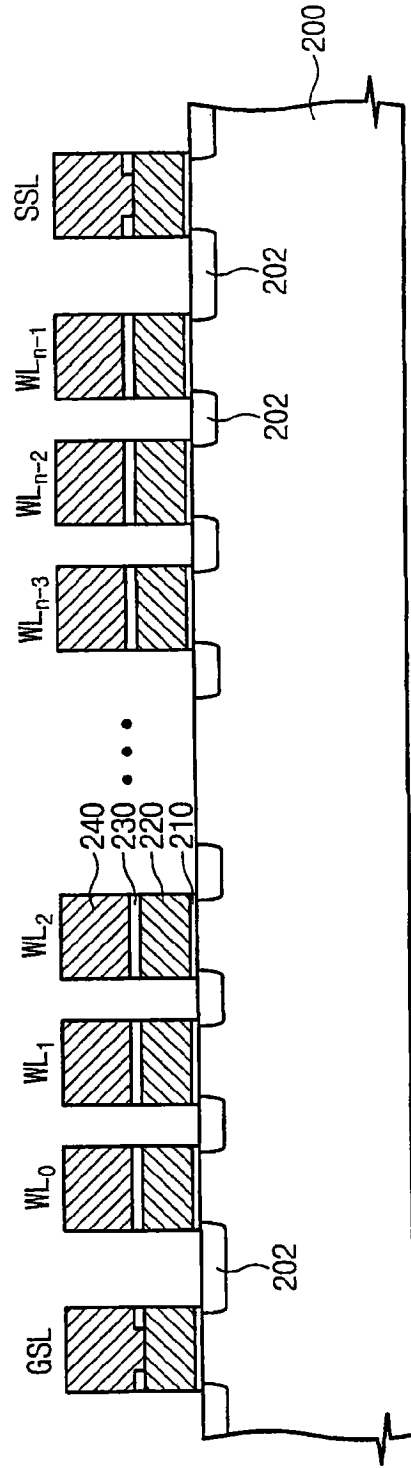


图8A

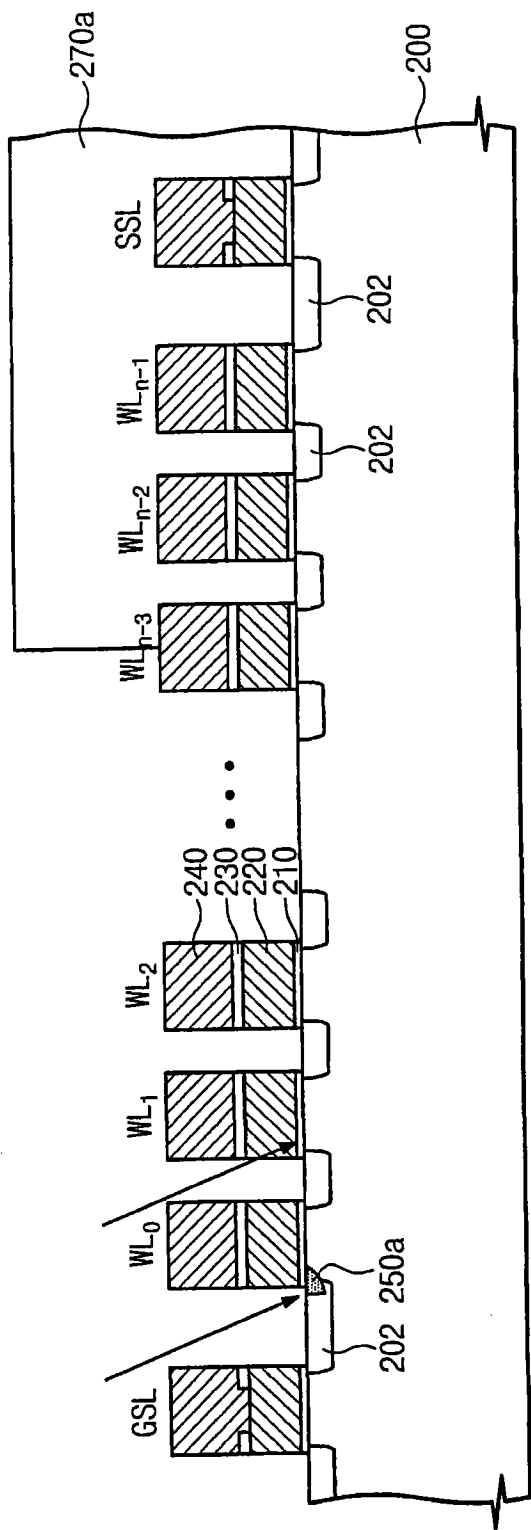


图8B

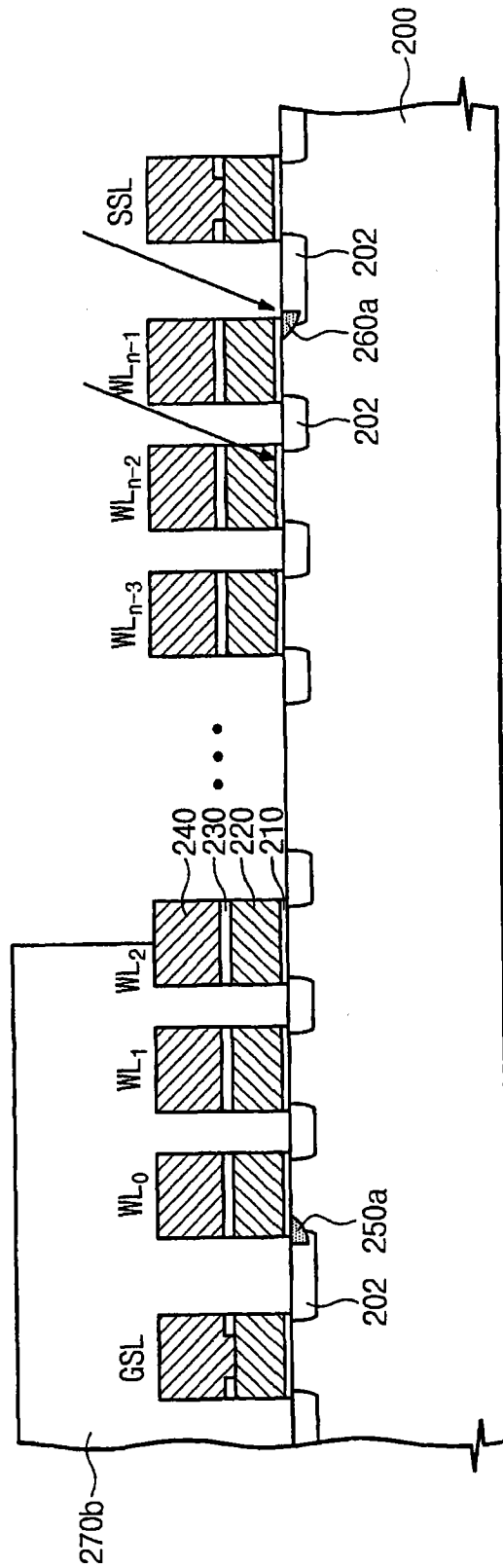


图8C

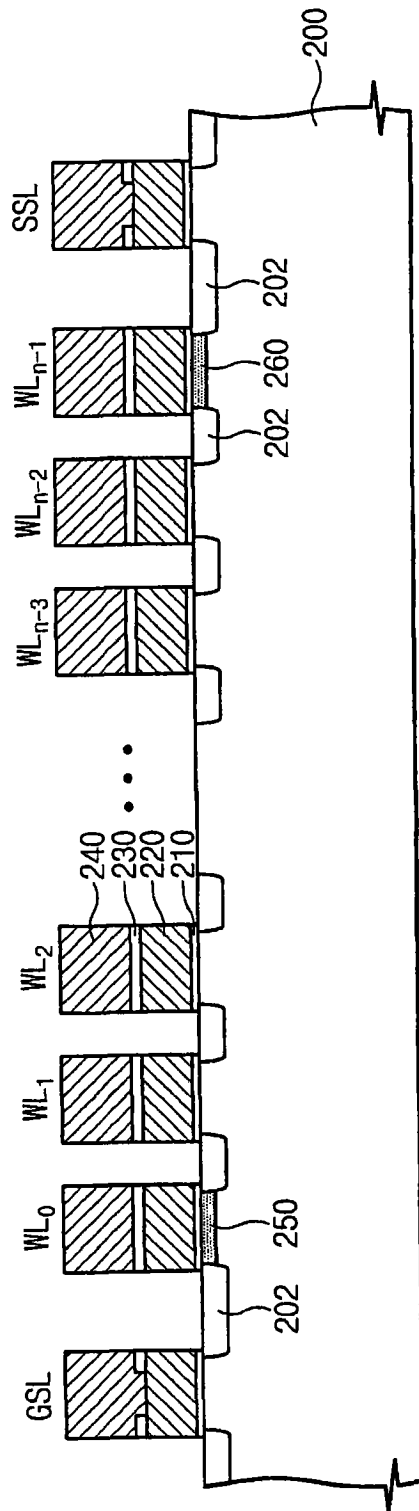


图8D

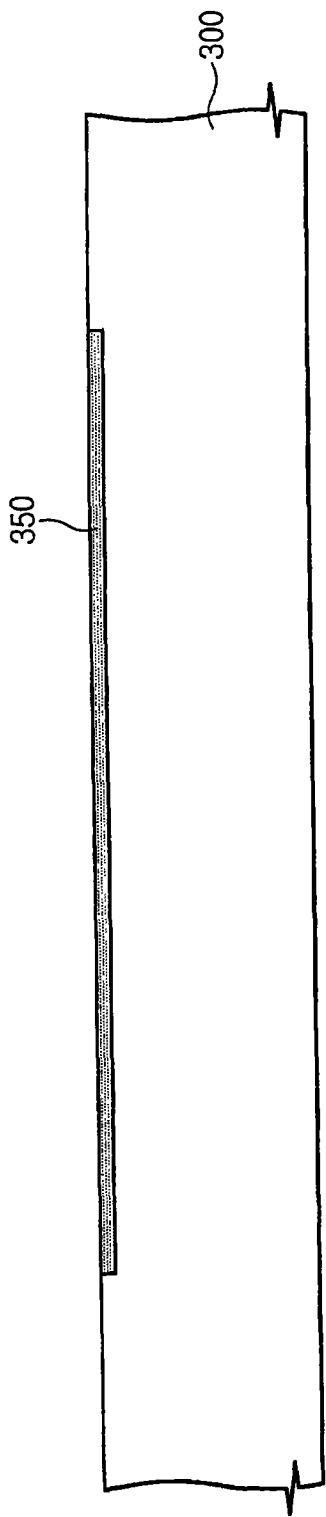


图9A

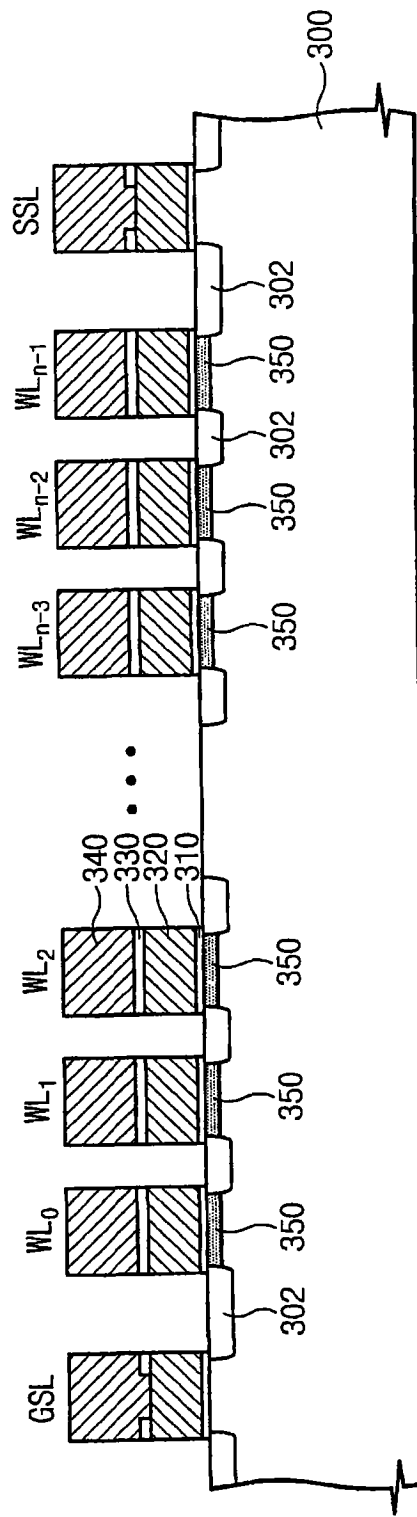


图9B