

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 25 年 3 月 7 日 (2013.3.7)

【公開番号】特開 2011-40733 (P2011-40733A)

【公開日】平成 23 年 2 月 24 日 (2011.2.24)

【年通号数】公開・登録公報 2011-008

【出願番号】特願 2010-161201 (P2010-161201)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

【 F I 】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 25 年 1 月 18 日 (2013.1.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体材料の基板にメモリセルの少なくとも一つのアレイを備えた不揮発性メモリを製造する方法であって、この方法は、

a) シリコン基板 (1) を提供する工程と、

b) メモリセルのアレイを提供する工程と、ここで、各メモリセルは、基板 (1) の上端にトンネル酸化物層 (3) のスタックと、トンネル酸化物層 (3) の上端にフローティングゲート層 (4) とを備え、メモリセルは、互いに自己整合されかつ高さ方向 (Y) において基板 (1) 内へ及び上方へ延在する S T I (Shallow Trench Isolation) 構造により互いから分離される、

c) トンネル酸化物層 (3) の上方の高さ位置で、その高さ位置の上方でフローティングゲート (7) が薄くされることになる高さ位置 (k 1、k 3) まで S T I 構造 (2) を部分的にエッチングバックすることによりフローティングゲート (7) の側壁の上部を露出する工程と、

d) フローティングゲート (7) の露出部 (8) の酸化によりフローティングゲート層 (4) の上部を薄くする工程と、それにより、犠牲酸化物 (9) を形成し、犠牲酸化物 (9) を除去し、それにより、メモリセルのアレイ (X Y) に沿った断面において逆 T 形状を有するフローティングゲート (7) を生成し、

e) フローティングゲート (7) の上端及び側面に共重合体誘電体層 (5) を形成する工程と、

f) 共重合体誘電体層 (5) の上端にコントロールゲート (6) を形成する工程と、ここで共重合体誘電体層 (5) は、フローティングゲート (7) からコントロールゲート (6) を分離する、

の各工程を備えた製造方法。

【請求項 2】

工程 b ) において、さらに、高さ方向 ( Y ) におけるフローティングゲート層 ( 4 ) の薄肉化を防ぐために、フローティングゲート層 ( 4 ) の上端にハードマスク ( 1 0 ) が設けられ、 S T I 構造 ( 2 ) とともに自己整合される、請求項 1 記載の製造方法。

【請求項 3】

フローティングゲート層 ( 4 ) はシリコンで作製され、 S T I 構造 ( 2 ) は酸化シリコンで作製されている、請求項 1 記載の製造方法。

【請求項 4】

犠牲酸化物層 ( 9 ) の除去と同じ工程 d ) において、 S T I 構造 ( 2 ) は、共重合体誘電体層 ( 5 ) によってさらに除去された S T I 構造の置換を可能にするため、トンネル酸化物層 ( 3 ) の上方の第 2 高さ ( k 2 b ) までさらに除去される、請求項 1 記載の製造方法。

【請求項 5】

工程 d ) は、フローティングゲート ( 7 ) とコントロールゲート ( 6 ) との間の共重合体誘電体層 ( 5 ) の下端層 ( 1 1 ) を形成するために、フローティングゲート ( 7 ) の露出部 ( 8 ) を 2 回目の酸化をすることをさらに備える、請求項 1 記載の製造方法。