

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6388867号
(P6388867)

(45) 発行日 平成30年9月12日 (2018.9.12)

(24) 登録日 平成30年8月24日 (2018.8.24)

(51) Int. Cl.	F I
H03K 5/156 (2006.01)	H03K 5/156 M
H04B 1/59 (2006.01)	H04B 1/59
G06K 7/10 (2006.01)	G06K 7/10 216
H03K 5/00 (2006.01)	H03K 5/00 P

請求項の数 30 (全 31 頁)

(21) 出願番号	特願2015-534594 (P2015-534594)	(73) 特許権者	595020643
(86) (22) 出願日	平成25年9月24日 (2013.9.24)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2016-500216 (P2016-500216A)		QUALCOMM INCORPORATED
(43) 公表日	平成28年1月7日 (2016.1.7)		アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(86) 国際出願番号	PCT/US2013/061351	(74) 代理人	100108855
(87) 国際公開番号	W02014/052291		弁理士 蔵田 昌俊
(87) 国際公開日	平成26年4月3日 (2014.4.3)	(74) 代理人	100109830
審査請求日	平成28年8月25日 (2016.8.25)		弁理士 福原 淑弘
(31) 優先権主張番号	61/706,581	(74) 代理人	100158805
(32) 優先日	平成24年9月27日 (2012.9.27)		弁理士 井関 守三
(33) 優先権主張国	米国 (US)	(74) 代理人	100194814
(31) 優先権主張番号	13/800,065		弁理士 奥村 元宏
(32) 優先日	平成25年3月13日 (2013.3.13)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 NFC イニシエータ送信波形を生成するためのパルス整形

(57) 【特許請求の範囲】

【請求項 1】

複数のビットパターンを記憶するように構成されたメモリユニットと、
前記複数のビットパターンのうちの第1の選択された1つを使用して第1の信号を生成するように構成され、前記複数のビットパターンのうちの第2の選択された1つに対応する第2の信号を生成するように構成された第1の回路と、
前記第1の回路に結合され、前記第1の信号と前記第2の信号との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成するように構成された増幅器とを備えるワイヤレス通信のための装置。

【請求項 2】

ニアフィールド通信 (NFC) 送信信号を生成するために前記パルス幅変調信号のより高次の高調波をフィルタするように構成された第2の回路をさらに備える、請求項1に記載の装置。

【請求項 3】

前記複数のビットパターンは、各プロトコル、変調インデックス、およびデータレート組合せについて、より高次の高調波を低減するために前記パルス幅変調信号を整形するビットパターンを備える、請求項1に記載の装置。

【請求項 4】

前記増幅器がD級電力増幅器である、請求項1に記載の装置。

【請求項 5】

10

20

前記複数のビットパターンのうちの前記第 1 の選択された 1 つは、送信コード化ビットが 0 であるか 1 であるかに基づいて選択され、前記複数のビットパターンのうちの前記第 2 の選択された 1 つは、送信コード化ビットが 0 であるか 1 であるかに基づいて選択される、請求項 1 に記載の装置。

【請求項 6】

前記第 1 の回路が、前記キャリア周波数の各サイクルについて前記複数のビットパターンのうちの 1 つを選択するようにさらに構成された、請求項 1 に記載の装置。

【請求項 7】

前記複数のビットパターンが、50%未満のデューティサイクルをもつ少なくとも 1 つのビットパターンを含む、複数の異なるデューティサイクルをもつビットパターンを含む、請求項 1 に記載の装置。

10

【請求項 8】

前記複数のビットパターンが、第 1 の位相から第 2 の位相への遷移における異なる位相ステップに対応するビットパターンを含む、請求項 1 に記載の装置。

【請求項 9】

前記第 2 の回路に動作可能に結合された送信機をさらに備え、前記送信機が、前記ニアフィールド通信 (NFC) 送信信号を送信するように構成された、請求項 2 に記載の装置。

【請求項 10】

前記第 2 の回路が整合ネットワークフィルタである、請求項 2 に記載の装置。

20

【請求項 11】

前記ニアフィールド通信 (NFC) 送信信号が、128 に分周されたキャリア周波数のデータレートおよび 90% ~ 100% の変調インデックス、64 に分周されたキャリア周波数のデータレートおよび 25% ~ 100% の変調インデックス、32 に分周されたキャリア周波数のデータレートおよび 25% ~ 100% の変調インデックス、または 16 に分周されたキャリア周波数のデータレートおよび 25% ~ 100% の変調インデックスのうちの 1 つから選択された特性を有する、タイプ A プロキシミティニアフィールド通信 (NFC) 信号になるように構成された、請求項 2 に記載の装置。

【請求項 12】

前記ニアフィールド通信 (NFC) 送信信号が、8% ~ 15% の変調インデックスと、128 に分周されたキャリア周波数、64 に分周されたキャリア周波数、32 に分周されたキャリア周波数、または 16 に分周されたキャリア周波数のうちの 1 つから選択されたデータレートとを有する、タイプ B プロキシミティニアフィールド通信信号になるように構成された、請求項 2 に記載の装置。

30

【請求項 13】

前記ニアフィールド通信 (NFC) 送信信号、64 に分周されたキャリア周波数のデータレートおよび 8% ~ 14% の変調インデックス、または 32 に分周されたキャリア周波数のデータレートおよび 8% ~ 14% の変調インデックスのうちの 1 つから選択された特性を有する、タイプ F プロキシミティニアフィールド通信信号になるように構成された、請求項 2 に記載の装置。

40

【請求項 14】

前記ニアフィールド通信 (NFC) 送信信号が、512 に分周されたキャリア周波数のデータレートおよび 10% ~ 100% の変調インデックス、ならびに 8192 に分周されたキャリア周波数および 10% ~ 100% の変調インデックスのうちの 1 つから選択された特性をもつ、ピシニティニアフィールド通信信号になるように構成された、請求項 2 に記載の装置。

【請求項 15】

前記複数のビットパターンの各々が 32 ビットを含んでいる、請求項 3 に記載の装置。

【請求項 16】

前記第 1 の回路は、位相遷移におけるアンダーシュートとオーバーシュートの両方を低

50

減するために、最初に、前記第 1 の位相に対応する前記複数のビットパターンのうちの 1 つを選択し、次いで、前記第 1 の位相から前記第 2 の位相への前記遷移における異なる位相ステップに対応する前記複数のビットパターンのうちの 1 つを選択し、最後に、前記第 2 の位相に対応する前記複数のビットパターンのうちの 1 つを選択するように構成された、請求項 8 に記載の装置。

【請求項 17】

ニアフィールド通信 (NFC) のために信号を整形するための方法であって、
整形信号を生成すること、を備え、前記整形信号を生成することは、
複数のビットパターンを記憶することと、
前記複数のビットパターンのうちの第 1 のビットパターンを選択することと、
前記複数のビットパターンのうちの第 2 のビットパターンを選択することと、
前記第 1 のビットパターンと前記第 2 のビットパターンとの間の差に基づいてキャリア
周波数においてパルス幅変調信号を生成することと
を備える、方法。

10

【請求項 18】

選択された前記第 1 のビットパターンに対応する第 1 の信号を生成することと、
選択された前記第 2 のビットパターンに対応する第 2 の信号を生成することと
をさらに備え、
ここにおいて、パルス幅変調信号を生成することが、前記第 1 の信号と前記第 2 の信号
とを増幅器に入力することを備え、ここにおいて、前記パルス幅変調信号が前記増幅器か
らの出力信号である、請求項 17 に記載の方法。

20

【請求項 19】

前記パルス幅変調信号のより高次の高調波をフィルタすることと、
ニアフィールド通信 (NFC) 送信信号を生成することと
をさらに備える、請求項 17 に記載の方法。

【請求項 20】

前記パルス幅変調信号を整形する前記複数のビットパターンから 1 つのビットパターン
を選択することをさらに備え、選択された前記ビットパターンは、各プロトコル、変調イ
ンデックス、およびデータレート組合せについて、より高次の高調波を低減するために選
択される、請求項 17 に記載の方法。

30

【請求項 21】

前記ニアフィールド通信 (NFC) 送信信号を送信することをさらに備える、請求項 19 に記載の方法。

【請求項 22】

位相ステップの N 要素シーケンスを定義することと、ここにおいて、N が 2 を超え、こ
こにおいて、第 1 の要素が第 1 の位相に対応し、第 N 番目の要素が第 2 の位相に対応し、
第 2 ~ N - 1 の要素が、前記第 1 の位相から前記第 2 の位相への遷移における異なる位相
ステップに対応し、前記第 2 ~ N - 1 の要素は、前記第 2 の位相が前記第 1 の位相を超え
るときに単調に増加し、前記第 2 ~ N - 1 の要素は、前記第 2 の位相が前記第 1 の位相よ
りも小さいときに単調に減少する、

40

位相ステップの前記 N 要素シーケンスの各々について整形された信号を生成することと
、ここにおいて、各位相ステップについて選択された前記第 1 のビットパターンと各位相
ステップについて前記第 2 のビットパターンとが前記位相ステップに対応し、それにより
、前記第 1 の位相から前記第 2 の位相への前記遷移におけるアンダーシュートとオーバー
シュートの両方が低減する

をさらに備える、請求項 17 に記載の方法。

【請求項 23】

位相ステップの前記 N 要素シーケンスが、 $3 \leq N \leq 32$ となるような、整数個の位相ス
テップを含んでいる、請求項 21 に記載の方法。

【請求項 24】

50

信号生成器を備える、ニアフィールド通信（NFC）のために信号を整形するためのデバイスであって、前記信号生成器は、

複数のビットパターンを記憶するための手段と、

前記複数のビットパターンのうちの第1のビットパターンを選択するための手段と、

選択された前記第1のビットパターンに対応する第1の波形を生成するための手段と、

前記複数のビットパターンのうちの第2のビットパターンを選択するための手段と、

選択された前記第2のビットパターンに対応する第2の波形を生成するための手段と、

第1の波形と第2の波形との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成するための手段と

を備える、デバイス。

10

【請求項25】

複数のビットパターンを記憶するための前記手段はメモリユニットを備え、第1のビットパターンを選択するための前記手段は第1の回路を備え、第1の波形を生成するための手段は前記第1の回路を備え、第2のビットパターンを選択するための前記手段は前記第1の回路を備え、第2の波形を生成するための前記手段は、前記第1の回路を備え、パルス幅変調信号を生成するための前記手段は増幅器を備える、請求項24に記載のデバイス。

【請求項26】

前記パルス幅変調信号のより高次の高調波をフィルタするための手段と、

前記フィルタされたパルス幅変調信号からニアフィールド通信送信信号を生成するための手段と

20

をさらに備える、請求項24に記載のデバイス。

【請求項27】

より高次の高調波をフィルタするための前記手段は、第2の回路を備え、ニアフィールド通信送信信号を生成するための前記手段は前記第2の回路を備える、請求項26に記載のデバイス。

【請求項28】

実行されたとき、

メモリユニットによって複数のビットパターンを記憶することと、

第1の回路によって前記複数のビットパターンのうちの第1のビットパターンを選択することと、

30

第1の回路によって選択された前記第1のビットパターンに対応する第1の信号を生成することと、

第1の回路によって前記複数のビットパターンのうちの第2のビットパターンを選択することと、

第1の回路によって選択された前記第2のビットパターンに対応する第2の信号を生成することと、

増幅器によって前記第1の信号と前記第2の信号との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成することと

を装置に行わせることによって、整形された信号を生成することを前記装置に行わせる命令を備える、コンピュータ可読記憶媒体。

40

【請求項29】

実行されたとき、

第2の回路によって前記パルス幅変調信号のより高次の高調波をフィルタすることと、

前記第2の回路によってニアフィールド通信（NFC）送信信号を生成することと

を装置に行わせる命令をさらに備える、請求項28に記載のコンピュータ可読記憶媒体

。

【請求項30】

複数のビットパターンを記憶するように構成されたメモリユニットと、

前記複数のビットパターンのうちの第1の選択された1つに対応する第1の信号を生成

50

するように構成され、前記複数のビットパターンのうちの第2の選択された1つに対応する第2の信号を生成するように構成された回路と、

前記回路に結合され、前記第1の信号と前記第2の信号との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成するように構成された増幅器と

を備える、ワイヤレス通信のためのプロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001] 本出願は、その開示の全体が参照により本明細書に組み込まれる、2012年9月27日に提出された「PULSE SHAPING FOR GENERATING NFC INITIATOR TRANSMIT WAVE FORM」と題する米国仮出願第61/706,581号の利益を主張する。

【0002】

[0002] 本開示は、一般に、ワイヤレス通信および無線周波数識別の装置および方法に関する。より詳細には、本開示はパルス整形装置および方法に関する。

【背景技術】

【0003】

[0003] ニアフィールド通信(NFC: Near Field Communication)システムは、13.56MHzでのイニシエータ(initiator)とターゲットとの間の短距離ワイヤレス通信を可能にする。イニシエータは、プロキシミティ(Proximity)タイプA、B、およびFと、ビシニティ(Vicinity)プロトコルを含む、NFC標準プロトコルを使用して、イニシエータに近いターゲットのRFIDタグを読み取る。

【0004】

[0004] 電子機器におけるNFCインターフェースの使用は、非接触集積回路カード(たとえば、無線周波数識別(RFID: radio frequency identification)カード)の機能と同様の機能をもつポータブルデバイスを与える。さらに、NFCインターフェースを備えた電子機器は、他のNFCデバイスと通信するために無線周波数(RF)リーダーおよび/またはライターとして動作することが可能であり得る。NFCの基本的側面は、RF範囲における電磁波の使用と、情報コンテンツの送信が、たとえば数センチメートルの範囲内で、短い距離のみにわたって実現されることである。

【0005】

[0005] NFCシステムが、動作上の要求を満たすためにより強力な信号を放射するにつれて、電力消費は増加する。FCCとETSIを含む規制機関が帯域外放射(out-of-band emission)を規制する。帯域外放射を低減し、および/または電力消費を低減するシステム、方法、および装置の改善が望まれる。

【発明の概要】

【0006】

[0006] 添付の特許請求の範囲内のシステム、方法およびデバイスの様々な実装形態は、それぞれいくつかの態様を有し、それらのうちの単一の態様が、単独で、本明細書で説明する望ましい属性を担当するとは限らない。添付の特許請求の範囲を限定することなしに、いくつかの顕著な特徴について本明細書で説明する。

【0007】

[0007] 1つの革新はワイヤレス通信のための装置を含み、いくつかの実装形態は、本明細書で説明する特徴(態様)のうちの1つまたは複数を含み得る。一実装形態では、本装置は、複数のビットパターンを記憶するように構成されたメモリユニットと、複数のビットパターンのうちの第1の選択されたビットパターンを使用して第1の信号を生成するように構成された第1の回路とを含む。第1の回路は、複数のビットパターンのうちの第2の選択されたビットパターンを使用して第2の信号を生成するようにさらに構成され得る。本装置は、第1の回路に結合された増幅器をさらに含み得る。増幅器は、第1の信号と第2の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成するように構

10

20

30

40

50

成され得る。

【 0 0 0 8 】

[0008] いくつかの実装形態では、本装置は、パルス幅変調信号のより高次の高調波をフィルタするように構成された第2の回路をさらに含む。第2の回路は、ニアフィールド通信(NFC)送信信号を生成するようにさらに構成され得る。いくつかの実装形態では、複数のビットパターンは、各プロトコル、変調インデックス(modulation index)、およびデータレート組合せについてのより高次の高調波を低減するためにパルス幅変調信号を整形するビットパターンを備える。

【 0 0 0 9 】

[0009] いくつかの実装形態では、本装置は、第2の回路に動作可能に結合された送信機をさらに含み得る。送信機は、ニアフィールド通信(NFC)送信信号を送信するように構成される。いくつかの実装形態では、増幅器はD級電力増幅器である。第2の回路は整合ネットワークフィルタであり得る。いくつかの実装形態では、複数のビットパターンの各々が32ビットを含んでいる。複数のビットパターンのうちの選択されたビットパターンは、送信コード化ビットが0であるか1であるかに基づいて選択され得る。いくつかの実装形態では、第1の回路は、キャリア周波数の各サイクルについて複数のビットパターンのうちの1つを選択するように構成される。第1の回路の構成は、より高いデューティサイクルをもつビットパターンのために消費されるであろうコモンモード電流よりも、より低いデューティサイクルをもつビットパターンのために、より少ないコモンモード電流を消費し得る。

【 0 0 1 0 】

[0010] いくつかの実装形態では、複数のビットパターンは、50%未満のデューティサイクルをもつ少なくとも1つのビットパターンを含む、複数のデューティサイクルをもつビットパターンを含む。複数のビットパターンは、第1の位相第2の位相への遷移における異なる位相ステップに対応するビットパターンを含み得る。いくつかの実装形態では、第1の回路は、位相遷移におけるアンダーシュート(undershoot)とオーバーシュート(overshoot)の両方を低減するために、最初に、第1の位相に対応する複数のビットパターンのうちの1つを選択し、次いで、第1の位相から第2の位相への遷移における異なる位相ステップに対応する複数のビットパターンのうちの1つを選択し、最後に、第2の位相に対応する複数のビットパターンのうちの1つを選択するように構成され得る。

【 0 0 1 1 】

[0011] いくつかの実装形態では、ニアフィールド通信送信信号は、128に分周されたキャリア周波数のデータレートおよび90%~100%の変調インデックス、または64に分周されたキャリア周波数のデータレートおよび25%~100%の変調インデックスをもつ、タイプAプロキシミティニアフィールド通信信号になるように構成される。いくつかの実装形態では、ニアフィールド通信送信信号は、32に分周されたキャリア周波数のデータレートおよび25%~100%の変調インデックスをもつタイプAプロキシミティニアフィールド通信信号になるように構成される。いくつかの実装形態では、ニアフィールド通信送信信号は、16に分周されたキャリア周波数のデータレートおよび25%~100%の変調インデックスをもつタイプAプロキシミティニアフィールド通信信号になるように構成される。

【 0 0 1 2 】

[0012] いくつかの実装形態では、ニアフィールド通信送信信号は、128に分周されたキャリア周波数のデータレートおよび8%~15%の変調インデックス、または64に分周されたキャリア周波数のデータレートおよび8%~15%の変調インデックスをもつ、タイプBプロキシミティニアフィールド通信信号になるように構成される。いくつかの実装形態では、ニアフィールド通信送信信号は、32に分周されたキャリア周波数のデータレートおよび8%~15%の変調インデックスをもつタイプBプロキシミティニアフィールド通信信号になるように構成されるか、または、他の実装形態では、16に分周されたキャリア周波数のデータレートおよび8%~15%の変調インデックスをもつタイプB

プロキシミティニアフィールド通信信号になるように構成される。

【 0 0 1 3 】

[0013] いくつかの実装形態では、ニアフィールド通信送信信号は、64に分周されたキャリア周波数のデータレートおよび8%~14%の変調インデックスをもつタイプFプロキシミティニアフィールド通信信号になるように構成される。いくつかの実装形態では、ニアフィールド通信送信信号は、32に分周されたキャリア周波数のデータレートおよび8%~14%の変調インデックスをもつタイプFプロキシミティニアフィールド通信信号になるように構成される。

【 0 0 1 4 】

[0014] いくつかの実装形態では、ニアフィールド通信送信信号は、512に分周されたキャリア周波数のデータレートおよび10%~100%の変調インデックスをもつビシニティニアフィールド通信信号になるように構成される。いくつかの実装形態では、ニアフィールド通信送信信号は、8192に分周されたキャリア周波数のデータレートおよび10%~100%の変調インデックスをもつビシニティニアフィールド通信信号になるように構成される。

【 0 0 1 5 】

[0015] 別の革新は、整形された信号を生成することを含む、ニアフィールド通信(NFC)のために信号を整形するための方法であり、ここで、整形された信号を生成することは、複数のビットパターンを記憶することと、複数のビットパターンのうちの第1のビットパターンを選択することと、複数のビットパターンのうちの第2のビットパターンを選択することと、第1のビットパターンと第2のビットパターンとに基づいてキャリア周波数においてパルス幅変調信号を生成することを含む。

【 0 0 1 6 】

[0016] いくつかの実装形態では、信号を整形するための方法は、第1の選択されたビットパターンに対応する第1の信号を生成することと、第2の選択されたビットパターンに対応する第2の信号を生成することとをさらに含み、ここにおいて、パルス幅変調信号を生成することは、第1の信号と第2の信号とを増幅器に入力することを備え、ここにおいて、パルス幅変調信号は増幅器からの出力信号である。

【 0 0 1 7 】

[0017] いくつかの実装形態では、信号を整形するための方法は、パルス幅変調信号のより高次の高調波をフィルタすることと、ニアフィールド通信(NFC)送信信号を生成することとをさらに含む。いくつかの実装形態では、本方法は、各プロトコル、変調インデックス、およびデータレート組合せについてより高次の高調波を低減するためにパルス幅変調信号を整形する複数のビットパターンから選択することをさらに含む。いくつかの実装形態では、本方法は、ニアフィールド通信(NFC)信号を送信することをさらに含む。

【 0 0 1 8 】

[0018] いくつかの実装形態は、位相ステップのN要素シーケンスを定義することをさらに含み、ここにおいて、Nは2を超える。いくつかの例では、第1の要素が第1の位相に対応し得、第Nの要素が第2の位相に対応し得る。第2~N-1の要素が、第1の位相から第2の位相への遷移における異なる位相ステップに対応し得る。第2~N-1の要素は、第2の位相が第1の位相を超えるとときに単調に増加し得る。第2~N-1の要素は、第2の位相が第1の位相よりも小さいときに単調に減少し得る。いくつかの実装形態は、位相ステップのN要素シーケンスの各々のために整形された信号を生成することをさらに含み得る。各位相ステップのために選択された第1のビットパターンと各位相ステップのための第2のビットパターンとが位相ステップに対応し、それにより、第1の位相から第2の位相への遷移におけるアンダーシュートとオーバーシュートの両方が低減し得る。Nは、3と32との間で変動し得る。

【 0 0 1 9 】

[0019] 別の革新は、複数のビットパターンを記憶するための手段を含む、整形された

10

20

30

40

50

信号を生成するための手段を備える、ニアフィールド通信（NFC）のために信号を整形するためのデバイスである。本デバイスは、複数のビットパターンのうちの第1のビットパターンを選択するための手段と、第1の選択されたビットパターンに対応する第1の信号を生成するための手段とをさらに含む。本デバイスは、複数のビットパターンのうちの第2のビットパターンを選択するための手段と、第2の選択されたビットパターンに対応する第2の信号を生成するための手段とをさらに含む。本デバイスは、第1の波形と第2の波形とに基づいてキャリア周波数においてパルス幅変調信号を生成するための手段をさらに含む。

【0020】

[0020] いくつかの実装形態では、1つまたは複数のメモリユニットが複数のビットパターンを記憶する。第1の回路が複数のビットパターンのうちの第1のビットパターンを選択する。第1の回路は、第1の選択されたビットパターンに対応する第1の信号を生成する。第1の回路は複数のビットパターンのうちの第2のビットパターンを選択する。第1の回路は、第2の選択されたビットパターンに対応する第2の信号を生成する。増幅器が、第1の波形と第2の波形との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成する。

10

【0021】

[0021] いくつかの実装形態では、本デバイスは、パルス幅変調信号の第2の回路より高次の高調波をフィルタするための手段と、パルス幅変調信号からニアフィールド通信（NFC）送信信号を生成するための手段とをさらに備える。いくつかの実装形態では、第2の回路が、より高次の高調波をフィルタし、ニアフィールド通信（NFC）送信信号を生成する。

20

【0022】

[0022] 別の革新は、実行されたとき、整形された信号を生成することを装置に行わせるコードを備える非一時的コンピュータ可読媒体であり、いくつかの実装形態は、本明細書で説明する特徴のうちの1つまたは複数を含み得る。たとえば、コードは、実行されたとき、複数のビットパターンを記憶することと、第1の回路が複数のビットパターンの第1のビットパターンを選択することと、第1の回路が、第1の選択されたビットパターンに対応する第1の信号を生成することと、第1の回路が複数のビットパターンの第2のビットパターンを選択することと、第1の回路が、第2の選択されたビットパターンに対応する第2の信号を生成することと、増幅器が、第1の信号と第2の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成することとをメモリユニットに行わせる。

30

【0023】

[0023] いくつかの実装形態では、非一時的コンピュータ可読媒体は、実行されたとき、第2の回路がパルス幅変調信号のより高次の高調波をフィルタすることと、第2の回路がニアフィールド通信（NFC）送信信号を生成することとを装置に行わせるコードをさらに含む。いくつかの実装形態では、複数のビットパターンは、各プロトコル、変調インデックス、およびデータレート組合せについてより高次の高調波を低減するためにパルス幅変調信号を整形するビットパターンを備える。

【0024】

[0024] 別の革新はワイヤレス通信のためのプロセッサであり、いくつかの実装形態は、本明細書で説明する特徴のうちの1つまたは複数を含み得る。一例では、本プロセッサは、複数のビットパターンを記憶するように構成されたメモリユニットと、複数のビットパターンのうちの第1の選択されたビットパターンに対応する第1の信号を生成するように構成され、複数のビットパターンのうちの第2の選択されたビットパターンに対応する第2の信号を生成するようにさらに構成された回路とを含む。回路はハードウェアおよび/またはソフトウェア構成要素を含むことができる。本プロセッサは、回路に結合された増幅器をさらに含み得、増幅器は、第1の信号と第2の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成するように構成される。増幅器はハードウェアおよび/またはソフトウェア構成要素を含み得る。

40

50

【 0 0 2 5 】

【0025】 本明細書で説明する主題の1つまたは複数の実装形態の詳細は、添付の図面および以下の説明に示されている。他の特徴、態様、および利点は、説明、図面、および特許請求の範囲から明らかになる。以下の図の相対寸法は一定の縮尺で描かれていないことがあることに留意されたい。

【図面の簡単な説明】

【 0 0 2 6 】

【図1】 【0026】 通信システム、たとえば、RFIDまたはNFCシステムの一例を示す概略図。

【図2】 【0027】 イニシエータとターゲットとを有するシステムの一例を示すブロック図 10

【図3】 【0028】 イニシエータの一例のいくつかの詳細を示す概略図。

【図4】 【0029】 D級電力増幅器スイッチング回路の実装形態の一例を示す概略図。

【図5】 【0030】 整合ネットワークの実装形態の一例を示す概略図。

【図6】 【0031】 異なる入力のための増幅器出力を示す概略図。

【図7】 【0032】 異なるパルスコード変調信号のための様々な出力の例を示す6つのタイミング図のセット。

【図8】 【0033】 入力MP1、MP2、MN1、およびMN2を用いた、キャリア周波数のサイクルにわたるパルス波変調信号 V_0 の生成の一例を示す図。

【図9】 【0034】 いくつかの実装形態による、入力クロッキング信号MP1、MP2、MN1、およびMN2によって駆動される4つの電力増幅器状態を示すタイミング図。 20

【図10A】 【0035】 50%のデューティサイクルをもつ信号が、より短いデューティサイクルをもつ信号よりも多いコモンモード電流を消費することを示すタイミング図の一例を示す図。

【図10B】 50%のデューティサイクルをもつ信号が、より短いデューティサイクルをもつ信号よりも多いコモンモード電流を消費することを示すタイミング図の一例を示す図。

【図11】 【0036】 0、3/32、8/32、および15/32のデューティサイクルをもつパルス波変調信号の例を示す図。

【図12】 【0037】 様々なデューティサイクルにわたる、パルス波変調信号とそれらの第1高調波とのプロットのセットの一例を示す図。 30

【図13】 【0038】 ニアフィールド通信のために信号を整形するためのプロセスの実装形態を示すフローチャート。

【図14】 【0039】 いくつかの実装形態による、ニアフィールド通信のために信号を整形するために使用されるデバイスの要素を示す図。

【発明を実施するための形態】

【 0 0 2 7 】

【0040】 図面に示す様々な特徴は一定の縮尺で描かれていないことがある。したがって、様々な特徴の寸法は、明快のために恣意的に拡大または縮小されていることがある。さらに、図面のいくつかは、所与のシステム、方法またはデバイスの構成要素のすべてを示しているとは限らない。最後に、明細書および図の全体にわたって、同じ特徴を示すために同じ参照番号が使用されることがある。

【 0 0 2 8 】

【0041】 添付の図面に関して以下に示す発明を実施するための形態は、本開示の例示的な実装形態を説明するものであり、本開示が実施され得る唯一の実装形態を表すものではない。この明細書全体にわたって使用する「例示的」という用語は、「例、事例、または例示の働きをすること」を意味し、必ずしも他の例示的な実装形態よりも好ましいまたは有利であると解釈すべきではない。発明を実施するための形態は、本開示の例示的な実装形態の完全な理解を与えるための具体的な詳細を含む。いくつかの事例では、いくつかのデバイスをブロック図の形式で示す。 40 50

【 0 0 2 9 】

[0042] 説明を簡単にするために、方法を一連の行為として図示し説明し得るが、いくつかの行為は、1つまたは複数の態様によれば、本明細書で図示し説明する順序とは異なる順序で、および/または他の行為と同時に行為し得るので、方法は行為の順序によって限定されないことを理解し、諒解されたい。たとえば、方法は、状態図など、一連の相互に関係する状態またはイベントとして代替的に表現され得ることを、当業者は理解し、諒解するであろう。さらに、1つまたは複数の態様による方法を実施するために、図示のすべての行為が必要とされるとは限らない。

【 0 0 3 0 】

[0043] ニアフィールド通信(NFC)システムが、動作上の要求を満たすためにより強力な信号を放射するにつれて、電力消費が増加する。FCCとETSIとを含む規制機関が帯域外放射を規制する。本開示は、帯域外放射を低減し、スペクトル整形によって電流消費を低減し、遷移ランプアップ/ランプダウンを制御し、デューティサイクルを制御することによって、放射要件と、電流消費要件と、オーバーシュート/アンダーシュート要件とを満たすためのデバイスおよび方法を導入する。

【 0 0 3 1 】

[0044] 開示する1つの革新はスペクトル整形のフレキシブルな手法である。設計者が動作パラメータのセットのための最適なスペクトル形状を判断すると、本明細書で導入するシステム、方法、および装置は、最適なスペクトル形状の生成を可能にする。入力信号としてビットパターンのペアを有する、増幅器からの差動出力が所望の整形されたパルス幅変調波形であるように、ビットパターンのペアが定義され得る。個々のビットを変更することは、予測可能性をもつ信号形状を変更する。パルス幅変調波形は、より高次の高調波を低減し、それによって帯域外放射を低減する、整合ネットワークを使用してフィルタされ得る。より高次の高調波を低減するために、パルス幅変調信号ペアを整形し、整合ネットワークを使用してフィルタするこの手法は、効率的なスペクトル整形を可能にする。

【 0 0 3 2 】

[0045] パルス幅変調波形を生成するそのような方法は、より高次の高調波を低減する整合ネットワークを使用してフィルタする固定の方法とともに使用され得る。低減されたより高次の高調波をもつ信号は、より低い帯域外放射を放射し得る。

【 0 0 3 3 】

[0046] 新しい値への遷移中に、信号オーバーシュートおよび信号アンダーシュートが生じる。それらの値が遷移中に新しい値を超えると、信号はオーバーシュートする。それらの値が遷移中に新しい値よりも小さくなると、信号はアンダーシュートする。オーバーシュートおよびアンダーシュートは、より長い遷移(ランプアップまたはランプダウン)時間を使用して、新しい値へのより漸進的な遷移を用いて最小限に抑えられ得る。異なる信号形状は、異なるオーバーシュートおよびアンダーシュート特性をもたらす。本開示では、位相値ランプアップおよびランプダウン時間を制御するスペクトル整形を通して信号オーバーシュートおよびアンダーシュートを低減するための機構についても説明する。オーバーシュートおよびアンダーシュート挙動も、振幅変調信号の低い変調インデックスと高い変調インデックスとの間の遅延時間を制御することによって低減され得る。

【 0 0 3 4 】

[0047] 所与の信号形状のためのデューティサイクルを最適化することの利点は、より低い電流消費と、帯域外放射に寄与する高調波を低減することとを含み得る。

【 0 0 3 5 】

[0048] ニアフィールド通信(NFC)システムは、たとえば、13.56MHzでのイニシエータとターゲットとの間の短距離ワイヤレス通信を可能にする。イニシエータは、プロキシミティタイプA、B、およびFと、ピシニティプロトコルとを含む、NFC標準プロトコルを使用して、イニシエータに近いターゲットのRFIDタグを読み取る。技術タイプおよび対応するデータレートおよび変調インデックスのいくつかの例を(以下の)表1に示す。

【表 1】

表1:サポートされる技術タイプ、データレートおよび変調インデックス

タイプ	データレート(kbps)	変調インデックス
A	$f_c/128 = 105.9375$	90%~100%
A	$f_c/64 = 211.875$	25%~100%
A	$f_c/32 = 423.75$	25%~100%
A	$f_c/16 = 847.5$	25%~100%
B	$f_c/128 = 105.9375$	8%~15%
B	$f_c/64 = 211.875$	8%~15%
B	$f_c/32 = 423.75$	8%~15%
B	$f_c/16 = 847.5$	8%~15%
F	$f_c/64 = 211.875$	8%~14%
F	$f_c/32 = 423.75$	8%~14%
ビシニティ	$f_c/512 = 26.484375$	10%および100%
ビシニティ	$f_c/8192 = 1.6552734375$	10%および100%

【 0 0 3 6 】

[0049] 図 1 は、RFID または NFC システム 100 の概略ブロック図である。RFID システム 100 は、複数の RFID タグ 102 A ~ D と、複数の RFID リーダー 104 A ~ C と、アプリケーションサーバ 110 とを含む。RFID タグ 102 A ~ D はそれぞれ、限定はしないが、インベントリを追跡すること、ステータスを追跡すること、ロケーション判断、アセンブリ進行などを含む、様々な目的のために特定のオブジェクトに関連し得る。RFID タグ 102 A ~ D は、内部電源を含む能動デバイス、または RFID リーダー 104 A ~ C から電力を導出する受動デバイスであり得る。

【 0 0 3 7 】

[0050] 各 RFID リーダー 104 A ~ C は、そのカバレッジエリア内で 1 つまたは複数の RFID タグ 102 A ~ D とワイヤレス通信し得る。たとえば、RFID タグ 102 A および 102 B は RFID リーダー 104 A のカバレッジエリア内にあり得、RFID タグ 102 B および 102 C は RFID リーダー 104 B のカバレッジエリア内にあり得、RFID タグ 102 C および 102 D は RFID リーダー 104 C のカバレッジエリア内にあり得る。一実装形態では、RFID リーダー 104 A ~ C と RFID タグ 102 A ~ D との間の RF 通信機構は後方散乱技法であり、それにより、RFID リーダー 104 A ~ C は、RF 信号を介して RFID タグ 102 A ~ D にデータを要求し、RF タグ 102 A ~ D は、RFID リーダー 104 A ~ C によって与えられた RF 信号を変調および後方散乱することによって、要求されたデータで応答する。別の実装形態では、RFID リーダー 104 A ~ C と RFID タグ 102 A ~ D との間の RF 通信機構はインダクタン

【 0 0 3 8 】

[0051] このようにして、RFID リーダー 104 A ~ C は、そのカバレッジエリア内で RFID タグ 102 A ~ D の各々からアプリケーションサーバ 110 に要求され得るデータ（または情報）を収集し得る。収集されたデータは、次いで、ワイヤードまたはワ

イヤレス接続 108 を介して、および / または可能な通信機構、たとえば、ピアツーピア通信接続を介してアプリケーションサーバ 110 に搬送される。さらに、および / または代替として、アプリケーションサーバ 110 は、関連する R F I D リーダー 104 A ~ C を介して R F I D タグ 102 A ~ D のうちの 1 つまたは複数にデータを与え得る。そのようなダウンロードされた情報は、アプリケーション依存であり、大幅に異なり得る。ダウンロードされたデータを受信すると、R F I D タグは、その中の不揮発性メモリにそのデータを記憶することができる。

【0039】

[0052] 別の実装形態では、R F I D リーダー 104 A ~ C は、各 R F I D リーダーがアプリケーションサーバ 110 への別個のワイヤードまたはワイヤレス接続 108 を必要としないように、ピアツーピアベースで随意に通信し得る。たとえば、R F I D リーダー 104 A および R F I D リーダー 104 B は、後方散乱技法、ワイヤレス LAN 技法、および / または任意の他のワイヤレス通信技法を利用してピアツーピアベースで通信し得る。この例では、R F I D リーダー 104 B は、アプリケーションサーバ 110 へのワイヤードまたはワイヤレス接続 108 を含まないことがある。R F I D リーダー 104 A ~ C とアプリケーションサーバ 110 との間の通信がワイヤードまたはワイヤレス接続 108 を通して搬送される実装形態では、ワイヤードまたはワイヤレス接続 108 は、複数のワイヤード規格（たとえば、イーサネット（登録商標）、ファイアーワイヤ（登録商標）など）および / またはワイヤレス通信規格（たとえば、I E E E 802.11x、Bluetooth（登録商標）など）のうちのいずれか 1 つを利用し得る。

【0040】

[0053] 図 1 の R F I D システムは、所望のロケーション（たとえば、建築物、オフィスサイトなど）全体にわたって分散された多数の R F I D リーダー 104 A ~ C を含むように拡張され得、R F I D タグは、機器、インベントリ、人員などに関連し得る。さらに、アプリケーションサーバ 110 は、ワイドエリアネットワークカバレッジを与えるために別のサーバおよび / またはネットワーク接続に結合され得る。

【0041】

[0054] 図 2 に、R F I D または N F C システム 200 の例示的な概略ブロック図を示す。R F I D システム 200 は、R F I D トランシーバ（またはイニシエータ）202 と、R F I D タグなどのリモートユニット（ターゲット）214 とを備える。R F I D トランシーバ 202 は、1 つまたは複数のトランシーバループ 204 に接続された、電動リーダー制御回路 210 を備え得る。トランシーバループ 204 は、本明細書では、A C 電流 212 がそれを通して流れることができる、導電性材料から製造されるコイルまたはループアンテナ、すなわち、電磁コイルと呼ぶ。トランシーバループ 204 は、円形、楕円形などであり得るが、他のサイズおよび形状が可能である。トランシーバループ 204 を通って流れる A C 電流 212 は、様々な周波数（たとえば、100 kHz ~ 20 MHz）において磁気エネルギーまたは磁束 222 の送信をもたらし得る。放射される周波数の波長は、R F I D トランシーバ 202 上のループ 204 のサイズよりもはるかに長くなり得る。

【0042】

[0055] リモートユニット 214 が R F I D トランシーバ 202 に十分に近い場合、トランシーバ 202 からの磁束 222 は、A C をリモートユニット 214 中の導電性材料の 1 つまたは複数のリモートユニットループ 220 上に結合させることができる。リモートユニット 214 は、電磁コイルとリモートユニット制御回路 218 とを有する、非電動デバイス（すなわち、バッテリー、または連続電力を印加する他の手段をもたない）であり得る。リモートユニット制御回路 218 内で、交互方向に流れる発振電流 224 は整流ダイオードによって整流され得、それにより、バイパスキャパシタの両端間に電圧を確立させることができる。バイパスキャパシタが十分な電圧を確立すると、リモートユニット制御回路 218 は、電源投入され、動作可能になり得る。R F I D トランシーバ 202 から、結合および変調された A C 信号 222 を受信することによって、リモートユニットは、

R F I D トランシーバから情報（たとえば、コマンド）を受信し、検出することができる。

【 0 0 4 3 】

[0056] 動作可能になると、リモート制御回路 2 1 8 はまた、リモートユニットループ 2 2 0 から見たインピーダンスを変更することによって R F I D トランシーバ 2 0 2 に信号を送り得る。これは、効果的にスイッチを用いてリモートユニットループ 2 2 0 を短絡するかまたは開くことによって達成され得る。リモートユニット 2 1 4 がリーダー 2 0 2 に十分に近い場合、リモートユニット中のリモートユニットループ 2 2 0 によって生成された変調電磁界は、R F I D トランシーバ 2 0 2 のリーダーループ 2 0 4 上に結合され得る。R F I D トランシーバに送られる信号は、低速で、1 0 0 ビット程度のデータであり、リモートユニットがそれにアタッチされるデバイスのシリアル番号またはモデル番号、クレジットカード番号、個人識別情報、セキュリティコードおよびパスワードなどの情報をトランシーバ 2 0 2 に与える。

10

【 0 0 4 4 】

[0057] 図 3 は、イニシエータの一例、たとえば、図 2 のイニシエータ 2 0 2 のいくつかの詳細を示す概略図である。ターゲット 2 1 4 がイニシエータ 2 0 2 の範囲内に入ったとき、イニシエータは、ターゲット 2 1 4 との通信を確立するために、N F C イニシエータ送信波形を生成し、送信する。従来のシステムは、最初に、高いキャリアレベルが送信されるか、低いキャリアレベルが送信されるかに基づいて位相値だけオフセットされた、キャリア周波数において 5 0 % のデューティサイクルの 2 つの周期的パルスを生成する。増幅器 3 2 0（たとえば、D 級電力増幅器）は、周期的パルスを受信し、パルス幅変調波形を生成する。整合ネットワーク 3 3 0 は、変調波形を受信し、フィルタし、N F C キャリア周波数を中心とするバンドパスフィルタとして働く。イニシエータ 2 0 2 は、得られた N F C イニシエータ送信波形をターゲット 2 1 4 に送信する。

20

【 0 0 4 5 】

[0058] いくつかの実装形態は、静的位相値をもつ 5 0 % のデューティサイクルの周期的パルスを使用して、N F C イニシエータ送信波形を生成するが、これは、少なくともいくつかの事例において問題があり得る。たとえば、得られた N F C イニシエータ送信波形は、プロトコル、変調インデックス、またはデータレートによって最適化されない。D 級増幅器の出力における高調波成分は、信号形状が異なる場合よりも高い。D 級増幅器は、より低いデューティサイクルの場合に消費されるであろう電流よりも多くの電流を消費し得る。N F C イニシエータ送信波形は、位相遷移中のオーバーシュート挙動とアンダーシュート挙動の両方を示す。オーバーシュートおよびアンダーシュート挙動は、位相値ランブアップおよびランブダウン時間を制御するスペクトル整形を通して低減され得る。オーバーシュートおよびアンダーシュート挙動はまた、振幅変調信号の低い変調インデックスと高い変調インデックスとの間の遅延時間を制御することによって低減され得る。

30

【 0 0 4 6 】

[0059] いくつかの実装形態では、増幅器 3 2 0 は、イニシエータサブシステム 3 1 0 からパルスを受信し、パルス幅変調波形出力信号を生成する。図 4 は、増幅器の例示的な表現である。整合ネットワーク 3 3 0 は、パルス幅変調波形を受信し、フィルタし、N F C キャリア周波数を中心とするバンドパスフィルタとして働く。図 5 は、例示的な整合ネットワークの実装形態の概略図である。イニシエータ 2 0 2 の送信アンテナ 2 0 6 は、得られた N F C イニシエータ送信波形をターゲット 2 1 4 の受信アンテナ 2 1 6 に送信する。

40

【 0 0 4 7 】

[0060] 実装形態は、N F C イニシエータ送信波形のためのパルス整形のためのシステムおよび方法を含み得る。ビットパターンはメモリ 3 1 4 に記憶され得る。メモリ 3 1 4 はアドレス指定可能なメモリユニットを備え得る。1 つまたは複数のルックアップテーブル、または別のデータ構造は、メモリ 3 1 4 に記憶され得る。本明細書で使用するメモリは、情報を保持する構造（たとえば、ファイル、ルックアップテーブル、データベース）

50

を指すこともあり、物理メモリデバイスに関して使用されることに限定されない。

【0048】

[0061] 第1のビットパターン(MP1)は波形のサイクルのタイムスライスのためのビットを含んでいる。いくつかの実装形態では、サイクルは32個のタイムスライスに分割され、その結果、32ビットが生じる。1または0のビット値は、そのタイムスライスにおいて+1または0の振幅に対応する。対応するタイムスライスをもつ第2の対応するビットパターン(MP2)が第1のビットストリングから減算されたとき、得られた信号は、各タイムスライスにおいて、3つの値、すなわち+1、0、または-1のうちの1つを有し得る。ビットストリングパターンのペアを記憶するためにこの機構を与えることによって、(+1、0、-1)の任意のシーケンスが生成され、増幅器320へ入力され得る。また、これは、キャリア周波数の各サイクルについて必要に応じてNFCイニシエータ送信波形の整形を可能にする、増幅器320へのパルスパターン入力を整形するためのフレキシブルな機構を与える。

10

【0049】

[0062] サイクルによって異なるビットパターンが選択され得る。これにより、シンボル間の漸進的遷移または位相遷移を伴うイニシエータ送信波形の生成が可能になる。たとえば、第1の位相から第2の位相に遷移するために使用され得る異なる位相ステップに対応するビットパターンの各々を含むビットパターンのシーケンスが、メモリ314に記憶され得る。次いで、プロセッサ312は、漸進的遷移のための所望の遷移形状を有する波形を生成するために、連続サイクルにおいてこれらのビットパターンの各々を選択することができる。いくつかの実装形態では、メモリ314はルックアップテーブルを備える。

20

【0050】

[0063] 増幅器320への入力を生成するためのビットパターンを含んでいるルックアップテーブルを有するメモリ314は、従来の方法で識別されるいくつかの問題の緩和を可能にする。得られたNFCイニシエータ送信波形は、各プロトコル、変調インデックス、およびデータレート組合せについてビットパターンを最適化することによって、プロトコル、変調インデックス、またはデータレートによって最適化され得る。より高次の高調波を低減し、それによって帯域外送信を低減するために、信号を整形することによって、D級増幅器320の出力における高調波成分が低減される。したがって、FCC/EtSI帯域外放射要件を満たすことはより容易であり得る。増幅器320は、パルスを適切に整形し、より低いデューティサイクルを導入することによって低い電流量を消費し得る。オーバーシュートおよびアンダーシュート挙動は、ランプアップおよびランプダウン時間を制御する時系列スペクトル整形と、振幅変調信号の低い変調インデックスと高い変調インデックスとの間の遅延時間を制御することを通して低減され得る。

30

【0051】

[0064] いくつかの実装形態では、イニシエータサブシステム310によって生成されたパルスはすべて、13.56MHzのキャリア周波数に等しい周波数を有する。イニシエータ202の送信アンテナによって送信された波形はNFCデジタルプロトコル技術仕様に準拠する。イニシエータ202の送信アンテナによって送信された波形は、プロキシミティNFCおよびピシニティNFCのためのISO/IEC仕様に準拠する。

40

【0052】

[0065] いくつかの実装形態では、イニシエータサブシステム310は、 $32f_c$ ($f_c = 13.56\text{ MHz}$ はキャリア周波数である)で動作するクロックを使用して、図4に示された増幅器への、 f_c での所望の入力クロックMP1およびMP2(ビットパターンMP1およびMP2から形成された信号)を生成する。それはまた、負荷変調(LM: load modulated)受信信号を復調するためにLO信号を生成する。

【0053】

[0066] さらに図4を参照すると、入力クロックMN1およびMN2は、図8および9に示すように、RFアナログブロック316内の信号MP1およびMP2から生成され得る。増幅器320は、これらの4つの入力を使用して、パルス幅変調信号を生成する。M

50

P 1 および M P 2 から M N 1 および M N 2 を生成するために非重複 (non-overlapping) クロックを生成することにより、シュートスルー電流を回避する。

【 0 0 5 4 】

[0067] いくつかの実装形態では、信号 M P 1 および M P 2 はイニシエータサブシステム 3 1 0 内で生成される。プロセッサ 3 1 2 は、メモリ 3 1 4 から、いくつかの実装形態では、所与のシンボル値のための 1 6 個の利用可能なロケーションと、動作状態とを含んでいる、3 2 ビットのビットパターンを引き出す。ビットパターンがそこから引き出されるロケーションまたはアドレスは、送信コード化ビットが 0 であるか 1 であるかに依存する。

【 0 0 5 5 】

[0068] あらゆる送信ビットがコード化ビットにマッピングされる。コード化ビットはメモリ 3 1 4 から選択される。表 2 に、データレートおよびプロキシミティ変調タイプに基づいて、プロセッサ 3 1 2 がどのようにコード化ビットを選択するかを示す。コード化ビットは、逆極性モードにあるときに応じて反転され得る。

【表 2】

表2:プロキシミティタイプA、BおよびFのためのコード化ビット

プロキシミティタイプ	前のビット	ビット	コード化ビット	N _{cb} (ビット当たり)
A	0	0	0111	4
	1	0	1111	4
	x	1	1101	4
B	x	0	0	1
	x	1	1	1
F	x	0	01	2
	x	1	10	2

【 0 0 5 6 】

[0069] たとえば、 f_b はビットレートを示し得、 f_{cb} はコード化ビットレートを示し得る。その場合、 $f_{cb} = N_{cb} f_b$ であり、ここで、 N_{cb} はビット当たりのコード化ビットの数であり、

【数 1】

$$f_b = \frac{f_c}{D}$$

【 0 0 5 7 】

である。D は、データレートに応じて 1 2 8、6 4、3 2 または 1 6 の値をとるビットレート除数である。コード化ビット当たりのサイクルの数 N は、関係式

【数 2】

$$N = \frac{f_c}{f_{cb}} = \frac{D}{N_{cb}}$$

【 0 0 5 8 】

を使用して取得され得る。表 3 に、様々なプロキシミティタイプのための N の値とデータレートとを記載する。

【表 3】

表3:DとNcbとによって異なるサイクルの数N

データレート(kbps)	タイプA(Ncb=4)	タイプB(Ncb=1)	タイプF(Ncb=2)
105.9375 (D = 128)	32	128	該当なし
211.8750 (D = 64)	16	64	32
423.7500 (D = 32)	8	32	16
847.5000 (D = 16)	4	16	該当なし

10

【 0 0 5 9 】

[0070] ビシニティモードでは、表 4 に示すように拡散コードが選択される。コード化ビット当たりのサイクルの数は、ビシニティタイプ V 2 および V 8 では $N = 128$ に固定される。したがって、

【数 3】

$$f_{cb} = \frac{f_c}{N} = \frac{f_c}{128}$$

【 0 0 6 0 】

である。

20

【表 4】

表4:ビシニティモードのためのラインコードルックアップテーブル

ビシニティタイプ	b ₇ b ₆ b ₅ b ₄ b ₃ b ₂ b ₁ b ₀	コード化ビット	Ncb(ビット当たり)
V2 (4つのうちの1つ)	0 0	10 11 11 11	4
	0 1	11 10 11 11	4
	1 0	11 11 10 11	4
	1 1	11 11 11 10	
V8 (256個のうちの1つ)	0 0 0 0 0 0 0 0	10 11 11 11 ... 11	64
	0 0 0 0 0 0 0 1	11 10 11 11 ... 11	64
	0 0 0 0 0 0 1 0	11 11 10 11 ... 11	64
	0 0 0 0 0 0 1 1	11 11 11 10 ... 11	64

	1 1 1 1 1 1 1 1	11 11 11 11 ... 10	64

30

【 0 0 6 1 】

[0071] 表 5 にビシニティフレーム構造を示す。

【表 5】

40

表5:ビシニティフレーム構造

タイプ	フレームの 開始	データ	フレームの終了
V2	01111011	xxxxx....xxxxxx	1101
V8	01111110	xxxxx....xxxxxx	1101

【 0 0 6 2 】

[0072] V 2 では、2 ビットごとに 8 つのコード化ビットにマッピングし、したがって

50

ビット当たりのコード化ビットの数 $N_{cb} = 4$ である。V 8 では、8 ビットごとに 5 1 2 個のコード化ビットにマッピングし、したがって $N_{cb} = 64$ である。

【 0 0 6 3 】

[0073] データレートは、

【数 4】

$$f_b = \frac{f_{cb}}{N_{cb}}$$

【 0 0 6 4 】

として計算され得る。ビシニティモードは、V 2 のための $f_c / 2^9$ の高データレートと、V 8 のための $f_c / 2^{13}$ の低データレートとの 2 つのデータレートをサポートする。表 6 にこれらのパラメータを示す。

【表 6】

表6:ビシニティパラメータ

タイプ	N	f_{cb}	N_{cb} (ビット当たり)	f_b
V2	128	$f_c/128$	4	$f_c/512$
V8	128	$f_c/128$	64	$f_c/8192$

【 0 0 6 5 】

[0074] いくつかの実装形態では、イニシエータサブシステム 3 1 0 は、増幅器 3 2 0 のための 2 つの入力として使用される 2 つの波形 M P 1 および M P 2 を生成する。これらの波形は、キャリア周波数の 3 2 倍のクロックを使用して生成され得る。プロセッサ 3 1 2 は、メモリ 3 1 4 中の 1 6 個の M P 1 記憶ロケーションのうちの 1 つからビットパターンを読み取る。この周期的波形の各サイクルは 3 2 ビットのパターンによって表され得る。たとえば、

【数 5】

MP1: 1111111111111111 0000000000000000

【 0 0 6 6 】

である。

【 0 0 6 7 】

[0075] M P 2 波形も、M P 2 のための 1 6 個の記憶ロケーションのうちの 1 つに記憶された 3 2 ビットパターンを使用して生成される。ロケーションまたはアドレス（したがってパターン）はサイクルごとに変化し得る。M P 2 波形の 1 つのサイクルは、

【数 6】

MP2: 10000000000000001 0111111111111110

【 0 0 6 8 】

であり得る。

【 0 0 6 9 】

[0076] 増幅器 3 2 0 は差動出力 $OUT = v (MP1 - MP2)$ を形成し、ここで、 v は増幅器の利得である。図 6 に示されているように、0、 $+v$ および $-v$ の 3 つの可能な出力がある。

【 0 0 7 0 】

[0077] ビットパターンは、所望の形状に波形を生成するために使用される。出力波形の所望の形状が識別されると、所望の出力波形を達成する適切なビットパターンペアが判

10

20

30

40

50

断され得る。ビットパターンと、それぞれ2つのビットパターンに基づく出力波形の対応する形状とのいくつかの例が図7に示されている。

【0071】

[0078] 表7に、どのようにビットパターンのペアと、ビットパターンを使用して生成され得る得られたPWM波形との例を示す。波形のパルス幅は、選択されたビットパターンの結果として図7において漸進的に増加する。各コード化ビットは所与のビットパターンによって表される。

【表7】

表7: PWM波形を生成するビットパターン

アドレス	ビットパターン	PWM波形出力
0	MP1: FFFF0000 MP2: FFFF0000	
1	MP1: FFFF0000 MP2: FFFE0001	
2	MP1: FFFF0000 MP2: FFFB0003	
3	MP1: FFFF0000 MP2: FFF80007	
4	MP1: FFFF0000 MP2: FFF0000F	
5	MP1: FFFF0000 MP2: FFE0001F	
6	MP1: FFFF0000 MP2: FFB0003F	
7	MP1: FFFF0000 MP2: FF80007F	
8	MP1: FFFF0000 MP2: FF0000FF	
9	MP1: FFFF0000 MP2: FE0001FF	
10	MP1: FFFF0000 MP2: FB0003FF	
11	MP1: FFFF0000 MP2: F80007FF	
12	MP1: FFFF0000 MP2: F0000FFF	
13	MP1: FFFF0000 MP2: E0001FFF	
14	MP1: FFFF0000 MP2: B0003FFF	
15	MP1: FFFF0000 MP2: 80007FFF	

【0072】

[0079] 異なるシンボル値または位相間の遷移がオーバーシュートまたはアンダーシュートを引き起こし得る。より漸進的な遷移は、遷移時間（ランプアップまたはランプダウン）を増加させるが、オーバーシュートおよびアンダーシュートを低減することができる

10

20

30

40

50

。たとえば、コード化ビット 0 および 1 は、それぞれ、表 7 中のアドレス 0 およびアドレス 15 におけるビットパターンによって表され得る。アドレス 0 からアドレス 15 への、1 ステップでの遷移により、過度のアンダーシュートおよびオーバーシュートが生じ得る。より漸進的な遷移がオーバーシュートおよびアンダーシュートを低減することができる。たとえば、3 ステップでの遷移（アドレス 0、5、10、次いで 15）は、コード化ビット 0 からコード化ビット 1 に遷移するのに 3 つのキャリアサイクルを要するが、オーバーシュートおよびアンダーシュートの低減をもたらす。より漸進的な遷移を伴う追加のステップは、遷移時のオーバーシュートおよびアンダーシュートをさらに低減することになる。いくつかの実装形態では、遷移は 16 ステップで行われる。いくつかの実装形態では、遷移は、わずか 4 ステップ、32 以上のステップ、またはその間の任意の数のステップで行われる。

10

【0073】

[0080] 図 8 に、MP1、MP2、MN1、および MN2 に対応する信号入力を用いた、キャリア周波数のサイクルにわたるパルス波変調信号 V_0 の生成のための一例を示す。この例における生成された信号は 7/16 のデューティサイクルを有する。いくつかの実装形態では、パルス波変調信号は、元の MP1 および MP2 入力信号に関する小さい遅延を有する。

【0074】

[0081] 図 9 に、MP1、MP2、MN1、および MN2 に対応する入力信号によって駆動される 4 つの増幅器 320 状態を示す。状態 1 において、 $V_0 = +v$ であり、電流は、正のサイクルにおいて 402 を、 V_{DD} から PMOS スイッチ Mp1 を通ってインダクタの正端子に流れ、インダクタの負電流から NMOS スイッチ Mn2 を通って接地に流れる。状態 3 において、 $V_0 = -v$ であり、電流は、負のサイクルにおいて 404 を、 V_{DD} から PMOS スイッチ Mp2 を通ってインダクタの負端子に流れ、インダクタの正端子から NMOS スイッチ Mn1 を通って接地に流れる。状態 2 および 4 の間、 $V_0 = 0$ である。状態 4 の間、スイッチ Mp1 および Mp2 は閉じており、ノード (+) および (-) に接続されたキャパシタが充電する。状態 2 の間、スイッチ Mn1 および Mn2 は閉じており、キャパシタは接地に放電し、コモンモード電流を消費する。

20

【0075】

[0082] 増幅器 320 が状態 2 において動作する時間を低減することにより、コモンモード電流消費が低減する。図 10A において、入力信号 phi_1 および phi_2 は、それぞれ 50% のデューティサイクルを有する。増幅器 320 は、出力信号 TX_out を生成するために、同様の時間量の間、状態 2 および状態 4 において動作する。対照的に、図 10B の入力信号 phi_1 および phi_2 は、それぞれ、出力信号 TX_out を生成するために 50% 未満のデューティサイクルを有する。増幅器 320 は、出力信号 TX_out を生成するために、状態 2 において、状態 4 においてよりも著しく少ない時間動作し、それにより、図 10A と比較したとき、消費されるコモンモード電流が著しく低減する。

30

【0076】

[0083] 図 11 に、得られた出力信号出力信号 V_0 とともに入力信号 MP1 および MP2 のペアを示す例示的なグラフを示す。グラフ 1105 では、2 つの入力信号は同じである。差 MP2 - MP1 は期間全体にわたって 0 であり、それにより、出力デューティサイクル = 0/32 が生じる。グラフ 1110 では、MP2 は 3 つの送信クロックサイクル (= 3) だけ遅延される。得られた出力信号 V_0 は、MP1 が MP2 を超えるときに -1 の値をもち、MP1 が MP2 よりも小さいときに +1 の値をもつ、デューティサイクル = 0/32 を有する。グラフ 1115 では、= 8 である。MP1 と MP2 との間のこのより大きい遅延により、 V_0 のための出力デューティサイクル = 8/32 が生じる。グラフ 1120 では、= 15 である。信号 MP1 および MP2 は、期間の大部分にわたって反対の値を有し、それにより、= 15/32 の出力デューティサイクルが生じる。パルス波変調信号は、バンドパスフィルタとして働く整合ネットワーク 330 を通過する

40

50

。理想的なバンドパスフィルタを仮定すると、第 1 高調波のみが通過される。50%のデューティサイクルをもつ入力信号から生成される。

【0077】

[0084] 図 12 に、デューティサイクルとフィルタされた信号との間の関係を示す例示的なグラフを示す。グラフ 1205 では、 $\delta_0 = 0/32$ である。信号 $x(t)$ は、より高いデューティサイクルをもつ信号よりも低い大きさを有する。グラフ 1210 では、図 11 のグラフ 1110 に対応する $\delta_0 = 3/32$ である。信号 $x(t)$ は、期間にわたってグラフ 1205 の信号よりも高い大きさに達する。 $\delta_0 = 8/32$ をもつグラフ 1215 は図 11 のグラフ 1115 に対応する。 $\delta_0 = 15/32$ をもつグラフ 1220 は図 11 のグラフ 1120 に対応する。デューティサイクルが増加するにつれて、第 1 高調波の強度も増加する。パルス幅変調信号は、すべてのタイプおよびデータレートのための N F C 送信信号を生成するために使用され得る。そのためには、デューティサイクル δ_0 の信号がコード化ビット「0」を送信するために使用され、デューティサイクル δ_1 のパルス幅変調信号がコード化ビット「1」を送信するために使用される。たとえば、コード化ビット「1」のための $15/32$ のデューティサイクル ($\delta_1 = 15/32$) を仮定する。表 8 に示されているように、コード化ビット「0」のためのデューティサイクル δ_0 が変化すると、変調インデックスが変化する。

【表 8】

表8: デューティサイクルと変調インデックスとの間の例示的な関係

δ_0	変調インデックス	δ_0	変調インデックス
0/32	1.0000	8/32	0.1692
1/32	0.8207	9/32	0.1257
2/32	0.6722	10/32	0.0896
3/32	0.5484	11/32	0.0603
4/32	0.4445	12/32	0.0372
5/32	0.3571	13/32	0.0196
6/32	0.2835	14/32	0.0073
7/32	0.2214	15/32	0

【0078】

[0085] 図 13 は、ニアフィールド通信のために信号を整形するためのプロセスを示すフローチャートである。ブロック 1302 は、複数のビットパターンを記憶するステップを示す。ブロック 1304 は、複数のビットパターンから第 1 のビットパターンを選択することを示し、第 1 のビットパターンは、第 1 の選択されたビットパターンに対応するパルスパターンをもつ第 1 の波形 (MP1) を生成するために使用される。ブロック 1308 は、複数のビットパターンから第 2 のビットパターンを選択することを示し、第 2 のビットパターンは、第 2 の選択されたビットパターンに対応するパルスパターンをもつ第 2 の波形 (MP2) を生成するために使用される。ブロック 1312 において、プロセス 1300 は、第 1 の波形と第 2 の波形との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成する。

【0079】

[0086] いくつかの実装形態では、1つまたは複数のメモリユニットが複数のビットパターンを記憶する。第 1 の回路が複数のビットパターンのうちの第 1 のビットパターンを選択する。第 1 の回路は、第 1 の選択されたビットパターンに対応するパルスパターンをもつ第 1 の波形 (MP1) を生成する。第 1 の回路は複数のビットパターンのうちの第 2 のビットパターンを選択する。第 1 の回路は、第 2 の選択されたビットパターンに対応するパルスパターンをもつ第 2 の波形 (MP2) を生成する。増幅器が、第 1 の波形と第 2 の波形とに基づいてキャリア周波数においてパルス幅変調信号を生成する。

【0080】

[0087] いくつかの実装形態では、さらなるステップは、パルス幅変調信号の第2の回路より高次の高調波をフィルタすることと、ニアフィールド通信(NFC)送信信号を生成することとを備える。いくつかの実装形態では、第2の回路が、より高次の高調波をフィルタし、ニアフィールド通信(NFC)送信信号を生成する。送信機が、ニアフィールド通信(NFC)送信信号を送信する。ビットパターンは、各プロトコル、変調インデックス、およびデータレート組合せについてより高次の高調波を低減するためにパルス幅変調信号を整形する。

【0081】

[0088] オーバーシュートおよびアンダーシュートを低減するために、いくつかの実装形態は位相ステップのN要素シーケンスを定義し、ここにおいて、Nは2を超える。第1の要素が第1の位相に対応する。第Nの要素が第2の位相に対応する。第2~N-1の要素が、第1の位相から第2の位相への遷移における異なる位相ステップに対応する。第2~N-1の要素は、第2の位相が第1の位相を超えるときに単調に増加する。第2~N-1の要素は、第2の位相が第1の位相よりも小さいときに単調に減少する。いくつかの実装形態は、位相ステップのN要素シーケンスの各々のために整形された信号を生成し、ここにおいて、各位相ステップのために選択された第1のビットパターンと各位相ステップのための第2のビットパターンとが位相ステップに対応し、それにより、第1の位相から第2の位相への遷移におけるアンダーシュートとオーバーシュートの両方が低減する。Nは、オーバーシュートおよびアンダーシュートを低減するために遷移時間に応じて、3と32との間で変動し得る。

【0082】

[0089] 図14に、ニアフィールド通信のために信号を整形するために使用されるデバイスの要素を示す。デバイス1400は、複数のビットパターンを記憶するための手段1402を備える。デバイス1400は、複数のビットパターンから第1のビットパターンを選択するための手段1404と、第1の選択されたビットパターンに対応するパルスパターンをもつ第1の信号を生成するための手段1406とをさらに備える。デバイス1400は、複数のビットパターンから第2のビットパターンを選択するための手段1408と、第2の選択されたビットパターンに対応するパルスパターンをもつ第2の信号を生成するための手段1410とをさらに備える。デバイス1400は、第1の波形と第2の波形とに基づいてキャリア周波数においてパルス幅変調信号を生成するための手段1412をさらに備える。たとえば、パルス幅変調信号生成手段1412は、差動出力を形成するために一方の波形を他方の波形から減算し得る。

【0083】

[0090] 複数のビットパターン記憶手段1402は、図13に示されたブロック1302に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。記憶手段1402は、図3に示された、プロセッサ312とメモリ314とのうちの1つまたは複数を含み得る。第1のビットパターンを選択するための手段1404は、ブロック1304に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。選択手段1404は、図3に示された、プロセッサ312とメモリ314とのうちの1つまたは複数を含み得る。第1の信号を生成する手段1406は、ブロック1312に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。第1の信号を生成する手段1406は、プロセッサ312とメモリ314とのうちの1つまたは複数を含み得る。

【0084】

[0091] 第2のビットパターンを選択する手段1408は、ブロック1308に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。第2のビットパターンを選択する手段1408は、図3に示された、プロセッサ312とメモリ314とのうちの1つまたは複数を含み得る。第2の信号を生成する手段1410は、ブロック1312に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。第2の信号を生成する手段1410は、プロセッサ312とメモリ314とのう

ちの1つまたは複数を含み得る。ためのパルス幅変調信号を生成する手段1412は、ブロック1312に関して上記で説明した機能のうちの1つまたは複数を実行するように構成され得る。パルス幅変調信号を生成する手段1412は、プロセッサ312と、メモリ314と、RFアナログブロック316と、LO生成器318と、増幅器320とのうちの1つまたは複数を含み得る。

【0085】

[0092] いくつかの実装形態では、1つまたは複数のメモリユニットが複数のビットパターンを記憶する。第1の回路が複数のビットパターンのうちの第1のビットパターンを選択する。第1の回路は、第1の選択されたビットパターンに対応するパルスパターンをもつ第1の波形(MP1)を生成する。第1の回路は複数のビットパターンのうちの第2のビットパターンを選択する。第1の回路は、第2の選択されたビットパターンに対応するパルスパターンをもつ第2の波形(MP2)を生成する。増幅器は、第1の波形と第2の波形との間の差に基づいてキャリア周波数においてパルス幅変調信号を生成する。

【0086】

[0093] いくつかの実装形態では、本デバイスは、パルス幅変調信号の第2の回路より高次の高調波をフィルタするための手段と、ニアフィールド通信(NFC)送信信号を生成するための手段とをさらに備える。いくつかの実装形態では、第2の回路が、より高次の高調波をフィルタし、ニアフィールド通信(NFC)送信信号を生成する。送信機が、ニアフィールド通信(NFC)送信信号を送信するための手段を与える。ビットパターンは、各プロトコル、変調インデックス、およびデータレート組合せについてより高次の高調波を低減するためにパルス幅変調信号を整形する。

【0087】

[0094] オーバーシュートおよびアンダーシュートを低減するために、いくつかの実装形態は、位相ステップのN要素シーケンスを定義するための手段を含んでおり、ここにおいて、Nは2を超える。第1の要素が第1の位相に対応する。第Nの要素が第2の位相に対応する。第2~N-1の要素が、第1の位相から第2の位相への遷移における異なる位相ステップに対応する。第2~N-1の要素は、第2の位相が第1の位相を超えるときに単調に増加する。第2~N-1の要素は、第2の位相が第1の位相よりも小さいときに単調に減少する。いくつかの実装形態は、位相ステップのN要素シーケンスの各々のために整形された信号を生成し、ここにおいて、各位相ステップのために選択された第1のビットパターンと各位相ステップのための第2のビットパターンとが位相ステップに対応し、それにより、第1の位相から第2の位相への遷移におけるアンダーシュートとオーバーシュートの両方が低減する。Nは、オーバーシュートおよびアンダーシュートを低減するために遷移時間に応じて、3と32との間で変動し得る。

【0088】

[0095] 本明細書で開示する実装形態に関して説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得る。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップを、上記では概してそれらの機能に関して説明した。そのような機能をハードウェアとして実装するか、ソフトウェアとして実装するかは、特定の適用例および全体的なシステムに課される設計制約に依存する。説明した機能は、特定の適用例ごとに様々な方法で実装され得るが、そのような実装の決定は、本出願の実装の範囲からの逸脱を生じるものと解釈すべきではない。

【0089】

[0096] 本明細書で開示した実装形態に関して説明した様々な例示的なブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明した機能を実行するように設計されたそれらの任意

の組合せを用いて実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。

【0090】

[0097] 本明細書で開示した実装形態に関して説明した方法またはアルゴリズムのステップおよび機能は、直接ハードウェアで実施されるか、プロセッサによって実行されるソフトウェアモジュールで実施されるか、またはその2つの組合せで実施され得る。ソフトウェアで実装される場合、機能は、1つまたは複数の命令またはコードとして有形の非一時的コンピュータ可読媒体上に記憶されるか、あるいは有形の非一時的コンピュータ可読媒体を介して送信され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、電気的プログラマブルROM(EPROM)、電気的消去可能プログラマブルROM(EEPROM(登録商標))、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体中に常駐し得る。記憶媒体は、プロセッサがその記憶媒体から情報を読み取り、その記憶媒体に情報を書き込み得るように、プロセッサに結合される。代替として、記憶媒体はプロセッサに一体化され得る。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびBlu-ray(登録商標)ディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。プロセッサおよび記憶媒体はASIC中に常駐し得る。ASICはユーザ端末内に常駐し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末中に個別構成要素として常駐し得る。

【0091】

[0098] 本開示を要約するために、本出願のいくつかの態様、利点および新規の特徴について、本明細書で説明してきた。本出願の特定の実装形態に従って、必ずしもすべてのそのような利点が達成されるとは限らないことを理解されたい。したがって、本出願は、必ずしも、本明細書で教示されるか、または示唆され得る他の利点を達成する必要なしに、本明細書で教示する1つの利点または利点のグループを達成するか、または最適化する形で実施されるか、または行われ得る。

【0092】

[0099] 上記で説明した実装形態の様々な修正は当業者には容易に明らかであり得、本明細書で定義した一般原理は、本出願の趣旨または範囲から逸脱することなく他の実装形態に適用され得る。したがって、本出願は、本明細書で示した実装形態に限定されるものではなく、本明細書で開示した原理および新規の特徴に一致する最も広い範囲を与えられるべきである。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

[C1]

複数のビットパターンを記憶するように構成されたメモリユニットと、

前記複数のビットパターンのうちの第1の選択された1つを使用して第1の信号を生成するように構成され、前記複数のビットパターンのうちの第2の選択された1つに対応する第2の信号を生成するように構成された第1の回路と、

前記第1の回路に結合され、前記第1の信号と前記第2の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成するように構成された増幅器とを備えるワイヤレス通信のための装置。

[C2]

ニアフィールド通信（NFC）送信信号を生成するために前記パルス幅変調信号のより高次の高調波をフィルタするように構成された第2の回路をさらに備える、C1に記載の装置。

[C3]

前記複数のビットパターンは、各プロトコル、変調インデックス、およびデータレート組合せについてより高次の高調波を低減するために前記パルス幅変調信号を整形するビットパターンを備える、C1に記載の装置。

[C4]

前記第2の回路に動作可能に結合された送信機をさらに備え、前記送信機が、前記ニアフィールド通信（NFC）送信信号を送信するように構成された、C2に記載の装置。

10

[C5]

前記増幅器がD級電力増幅器である、C1に記載の装置。

[C6]

前記第2の回路が整合ネットワークフィルタである、C2に記載の装置。

[C7]

前記複数のビットパターンの各々が32ビットを含んでいる、C3に記載の装置。

[C8]

前記複数のビットパターンのうちの前記第1の選択された1つは、送信コード化ビットが0であるか1であるかに基づいて選択され、前記複数のビットパターンのうちの前記第2の選択された1つは、送信コード化ビットが0であるか1であるかに基づいて選択される、C1に記載の装置。

20

[C9]

前記第1の回路が、前記キャリア周波数の各サイクルについて前記複数のビットパターンのうちの1つを選択するようにさらに構成された、C1に記載の装置。

[C10]

前記複数のビットパターンが、50%未満のデューティサイクルをもつ少なくとも1つのビットパターンを含む、複数の異なるデューティサイクルをもつビットパターンを含む、C1に記載の装置。

[C11]

前記複数のビットパターンが、第1の位相から第2の位相への遷移における異なる位相ステップに対応するビットパターンを含む、C1に記載の装置。

30

[C12]

前記第1の回路は、位相遷移におけるアンダーシュートとオーバーシュートの両方を低減するために、最初に、前記第1の位相に対応する前記複数のビットパターンのうちの1つを選択し、次いで、前記第1の位相から前記第2の位相への前記遷移における異なる位相ステップに対応する前記複数のビットパターンのうちの1つを選択し、最後に、前記第2の位相に対応する前記複数のビットパターンのうちの1つを選択するように構成された、C11に記載の装置。

[C13]

前記ニアフィールド通信（NFC）送信信号が、128に分周されたキャリア周波数のデータレートおよび90%～100%の変調インデックス、64に分周されたキャリア周波数のデータレートおよび25%～100%の変調インデックス、32に分周されたキャリア周波数のデータレートおよび25%～100%の変調インデックス、または16に分周されたキャリア周波数のデータレートおよび25%～100%の変調インデックスのうちの1つから選択された特性を有する、タイプAプロキシミティニアフィールド通信（NFC）信号になるように構成された、C1に記載の装置。

40

[C14]

前記ニアフィールド通信（NFC）送信信号が、8%～15%の変調インデックスと、128に分周されたキャリア周波数、64に分周されたキャリア周波数、32に分周されたキャリア周波数、または16に分周されたキャリア周波数のうちの1つから選択された

50

データレートとを有する、タイプBプロキシミティニアフィールド通信信号になるように構成された、C 1に記載の装置。

[C 1 5]

前記ニアフィールド通信 (N F C) 送信信号、6 4 に分周されたキャリア周波数のデータレートおよび 8 % ~ 1 4 % の変調インデックス、または 3 2 に分周されたキャリア周波数のデータレートおよび 8 % ~ 1 4 % の変調インデックスのうちの 1 つから選択された特性を有する、タイプFプロキシミティニアフィールド通信信号になるように構成された、C 1に記載の装置。

[C 1 6]

前記ニアフィールド通信 (N F C) 送信信号が、5 1 2 に分周されたキャリア周波数のデータレートおよび 1 0 % ~ 1 0 0 % の変調インデックス、ならびに 8 1 9 2 に分周されたキャリア周波数および 1 0 % ~ 1 0 0 % の変調インデックスのうちの 1 つから選択された特性をもつ、ビシニティニアフィールド通信信号になるように構成された、C 1に記載の装置。

[C 1 7]

ニアフィールド通信 (N F C) のために信号を整形するための方法であって、
複数のビットパターンを記憶することと、
前記複数のビットパターンのうちの第 1 のビットパターンを選択することと、
前記複数のビットパターンのうちの第 2 のビットパターンを選択することと、
前記第 1 のビットパターンと前記第 2 のビットパターンとの間の差に基づいてキャリア周波数においてパルス幅変調信号を生成することとを備える、整形された信号を生成することとを備える、方法。

[C 1 8]

前記第 1 の選択されたビットパターンに対応する第 1 の信号を生成することと、前記第 2 の選択されたビットパターンに対応する第 2 の信号を生成することとをさらに備え、ここにおいて、パルス幅変調信号を生成することが、前記第 1 の信号と前記第 2 の信号とを増幅器に入力することとを備え、ここにおいて、前記パルス幅変調信号が前記増幅器からの出力信号である、C 1 7 に記載の方法。

[C 1 9]

前記パルス幅変調信号のより高次の高調波をフィルタすることと、
ニアフィールド通信 (N F C) 送信信号を生成することとをさらに備える、C 1 7 に記載の方法。

[C 2 0]

各プロトコル、変調インデックス、およびデータレート組合せについて、より高次の高調波を低減するために前記パルス幅変調信号を整形する前記複数のビットパターンから選択することとをさらに備える、C 1 7 に記載の方法。

[C 2 1]

前記ニアフィールド通信 (N F C) 送信信号を送信することとをさらに備える、C 1 9 に記載の方法。

[C 2 2]

位相ステップのN要素シーケンスを定義することと、ここにおいて、Nが2を超え、ここにおいて、第1の要素が第1の位相に対応し、第N番目の要素が第2の位相に対応し、第2 ~ N - 1の要素が、前記第1の位相から前記第2の位相への遷移における異なる位相ステップに対応し、前記第2 ~ N - 1の要素は、前記第2の位相が前記第1の位相を超えるとときに単調に増加し、前記第2 ~ N - 1の要素は、前記第2の位相が前記第1の位相よりも小さいときに単調に減少する、

位相ステップの前記N要素シーケンスの各々について整形された信号を生成することと、ここにおいて、各位相ステップについて選択された前記第1のビットパターンと各位相ステップについて前記第2のビットパターンとが前記位相ステップに対応し、それにより、前記第1の位相から前記第2の位相への前記遷移におけるアンダーシュートとオーバー

10

20

30

40

50

シュートの両方が低減するをさらに備える、C 1 7 に記載の方法。

[C 2 3]

位相ステップの前記 N 要素シーケンスが、 $3 \times N \times 3 \times 2$ となるような、整数個の位相ステップを含んでいる、C 2 2 に記載の方法。

[C 2 4]

ニアフィールド通信 (N F C) のために信号を整形するためのデバイスであって、
 複数のビットパターンを記憶するための手段と、
 前記複数のビットパターンのうちの第 1 のビットパターンを選択するための手段と、
 前記第 1 の選択されたビットパターンに対応する第 1 の信号を生成するための手段と、
 前記複数のビットパターンのうちの第 2 のビットパターンを選択するための手段と、
 前記第 2 の選択されたビットパターンに対応する第 2 を生成するための手段と、
 第 1 の波形と第 2 の波形とに基づいてキャリア周波数においてパルス幅変調信号を生成するための手段とを備える、信号生成器を備える、デバイス。

10

[C 2 5]

複数のビットパターンを記憶するための前記手段がメモリユニットを備え、第 1 のビットパターンを選択するための前記手段が第 1 の回路を備え、第 1 の信号を生成するための前記手段が前記第 1 の回路を備え、第 2 のビットパターンを選択するための前記手段が第 1 の回路を備え、第 2 の信号を生成するための前記手段が前記第 1 の回路を備え、パルス幅変調信号を生成するための前記手段が増幅器を備える、C 2 4 に記載のデバイス。

20

[C 2 6]

前記パルス幅変調信号のより高次の高調波をフィルタするための手段と、
 前記フィルタされたパルス幅変調信号からニアフィールド通信送信信号を生成するための手段とをさらに備える、C 2 4 に記載のデバイス。

[C 2 7]

より高次の高調波をフィルタするための前記手段が第 2 の回路を備え、ニアフィールド通信送信信号を生成するための前記手段が前記第 2 の回路を備える、C 2 6 に記載のデバイス。

[C 2 8]

実行されたとき、
 メモリユニットによって複数のビットパターンを記憶することと、
 第 1 の回路によって前記複数のビットパターンのうちの第 1 のビットパターンを選択することと、
 第 1 の回路によって前記第 1 の選択されたビットパターンに対応する第 1 の信号を生成することと、
 第 1 の回路によって前記複数のビットパターンのうちの第 2 のビットパターンを選択することと、
 第 1 の回路によって前記第 2 の選択されたビットパターンに対応する第 2 の信号を生成することと、
 増幅器によって前記第 1 の信号と前記第 2 の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成することとを装置に行わせることによって、整形された信号を生成することを前記装置に行わせる命令を備える非一時的コンピュータ可読媒体。

30

40

[C 2 9]

実行されたとき、
 第 2 の回路によって前記パルス幅変調信号のより高次の高調波をフィルタすることと、
 前記第 2 の回路によってニアフィールド通信 (N F C) 送信信号を生成することとを装置に行わせる命令をさらに備える、C 2 8 に記載の非一時的コンピュータ可読媒体。

[C 3 0]

複数のビットパターンを記憶するように構成されたメモリユニットと、
 前記複数のビットパターンのうちの第 1 の選択された 1 つに対応する第 1 の信号を生成するように構成され、前記複数のビットパターンのうちの第 2 の選択された 1 つに対応す

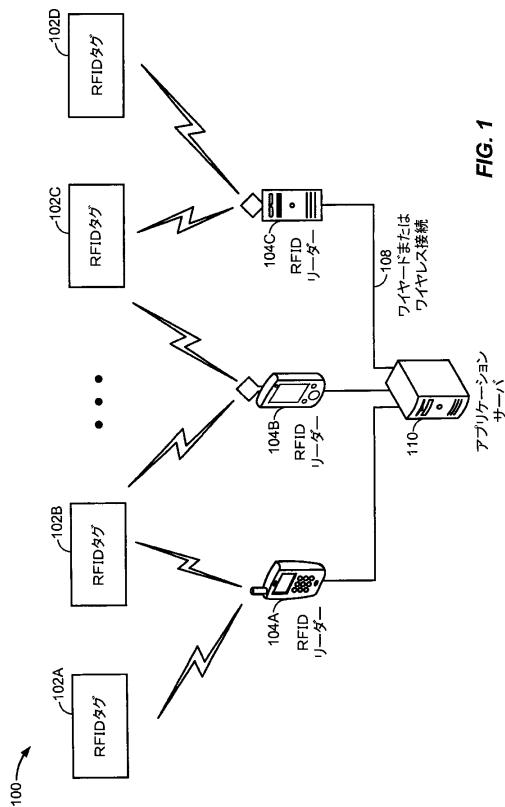
50

る第 2 の信号を生成するように構成された回路と、

前記回路に結合され、前記第 1 の信号と前記第 2 の信号とに基づいてキャリア周波数においてパルス幅変調信号を生成するように構成された増幅器とを備える、ワイヤレス通信のためのプロセッサ。

【図 1】

図 1



【図 2】

図 2

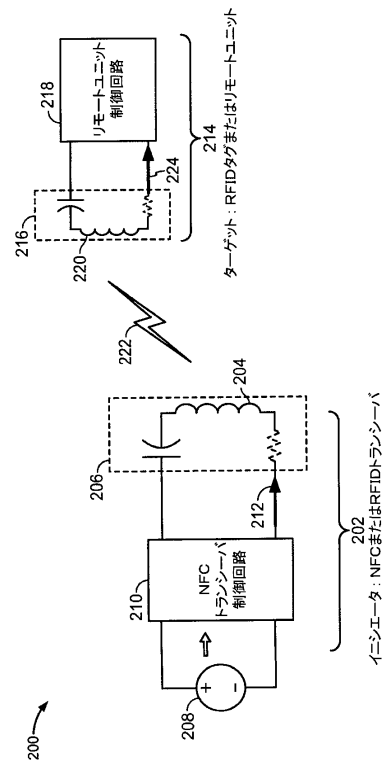


FIG. 2

【 図 3 】

图 3

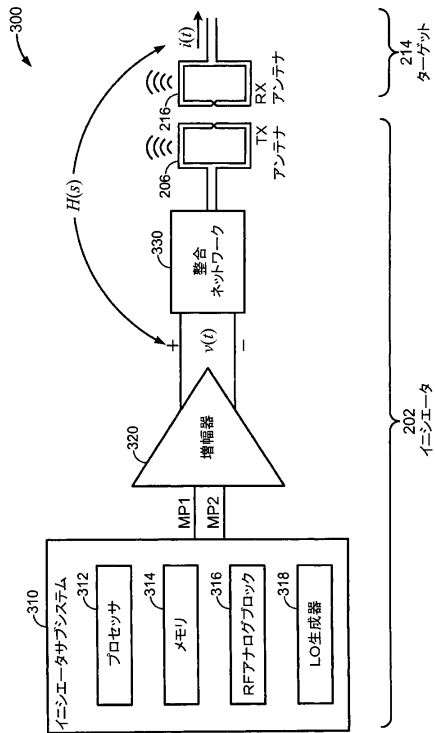


FIG. 3

【 図 4 】

图 4

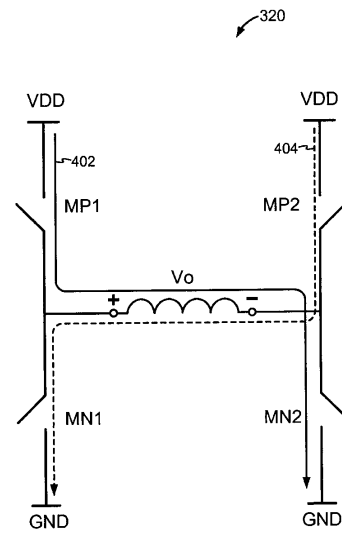


FIG. 4

【 図 5 】

图 5

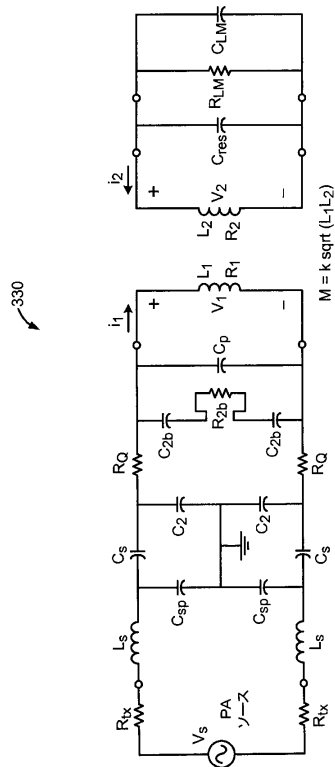


FIG. 5

【 図 6 】

图 6

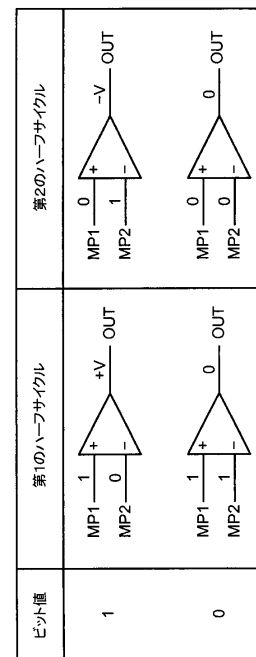


FIG. 6

【図 1 1】

図 11

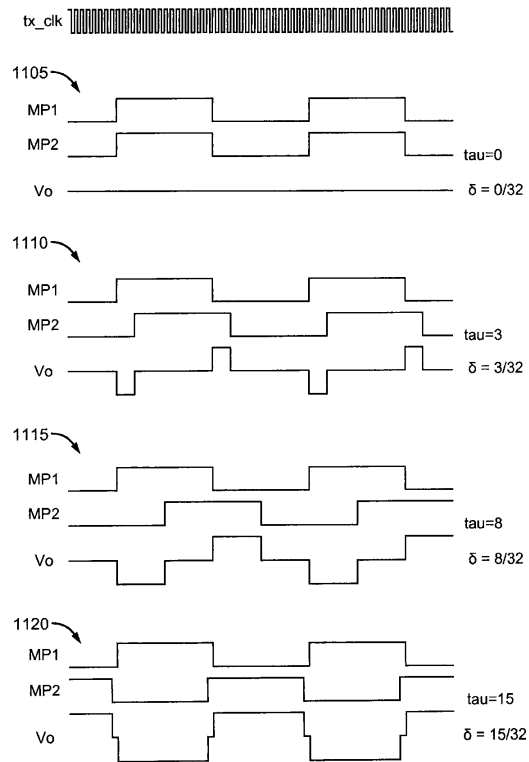


FIG. 11

【図 1 2】

図 12

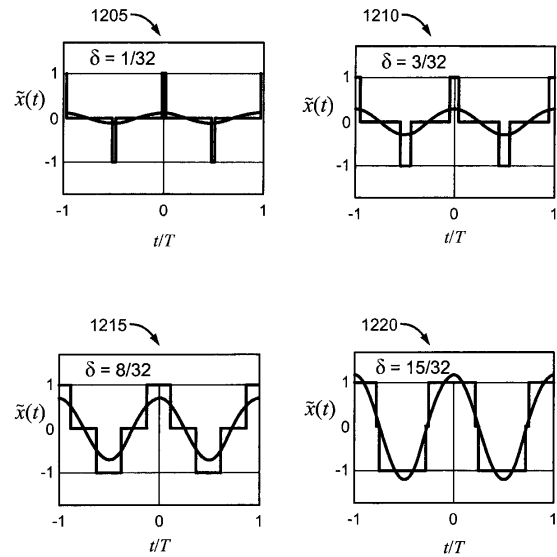


FIG. 12

【図 1 3】

図 13

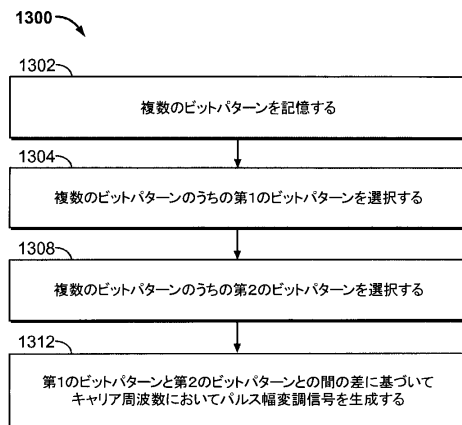


FIG. 13

【図 1 4】

図 14

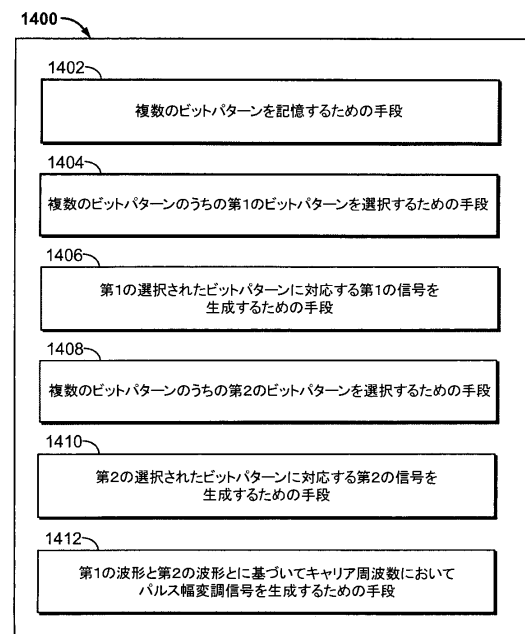


FIG. 14

フロントページの続き

- (72)発明者 アカーバン、コーロシュ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 ゲスケ、ライナー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 サボーリ、ファラマーズ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

審査官 白井 亮

- (56)参考文献 特開2000-252890(JP, A)
特開平03-013124(JP, A)
特開平06-121578(JP, A)
米国特許出願公開第2007/002943(US, A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-----------|
| H 0 3 K | 5 / 1 5 6 |
| G 0 6 K | 7 / 1 0 |
| H 0 3 K | 5 / 0 0 |
| H 0 4 B | 1 / 5 9 |