



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0018017  
(43) 공개일자 2017년02월15일

- (51) 국제특허분류(Int. Cl.)  
H04J 13/00 (2011.01) H04B 1/7073 (2011.01)  
H04J 13/10 (2011.01) H04L 27/00 (2006.01)  
H04L 27/20 (2006.01) H04L 27/233 (2006.01)
- (52) CPC특허분류  
H04J 13/0074 (2013.01)  
H04B 1/7073 (2013.01)
- (21) 출원번호 10-2017-7000596
- (22) 출원일자(국제) 2015년06월09일  
심사청구일자 없음
- (85) 번역문제출일자 2017년01월09일
- (86) 국제출원번호 PCT/GB2015/051669
- (87) 국제공개번호 WO 2015/189584  
국제공개일자 2015년12월17일
- (30) 우선권주장  
1410641.3 2014년06월13일 영국(GB)  
1410713.0 2014년06월16일 영국(GB)

- (71) 출원인  
노르딕 세미컨덕터 에이에스에이  
노르웨이 엔-7004 트론드헤임 오토 니엘센스 베그 12
- (72) 발명자  
앵겔리엔-로페즈 데이비드 알렉산드레  
노르웨이 엔-7004 트론드헤임 오토 니엘센스 베그 12  
노르딕 세미컨덕터 에이에스에이  
위치런드 스페레  
노르웨이 엔-1004 트론드헤임 오토 니엘센스 베그 12  
노르딕 세미컨덕터 에이에스에이  
(뒷면에 계속)
- (74) 대리인  
제일특허법인

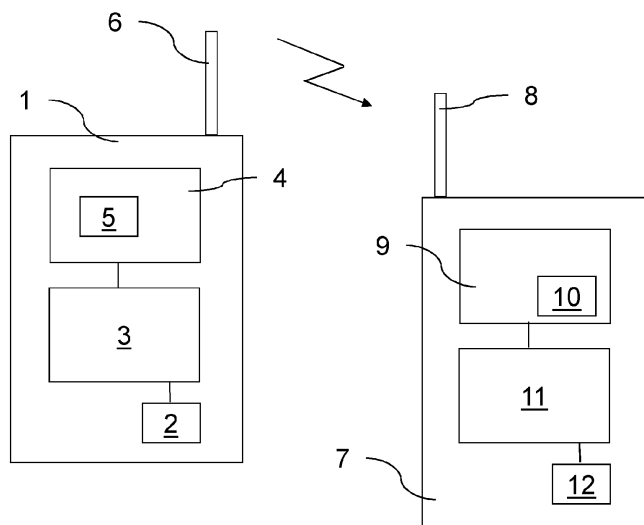
전체 청구항 수 : 총 37 항

(54) 발명의 명칭 **라디오 통신**

(57) 요약

라디오 송신기(4)는 하나 이상의 가변 메시지 비트들을 수신하며, 미리 결정된 제 1 이진 칩 시퀀스로서 제 1 값을 갖는 각각의 메시지를 인코딩하며 미리 결정된 제 2 이진 칩 시퀀스로서 반대 값을 갖는 각각의 메시지 비트를 인코딩하는 인코더(5)를 포함한다. 라디오 송신기(4)는 데이터 패킷들을 송신하며, 각각의 패킷은 (i) 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는, 미리 결정된 동기화 부분, 및 (ii) 인코더에 의해 출력된 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함한다. 라디오 수신기(9)는 이러한 데이터 패킷들을 수신한다. 그것은 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 수신된 데이터 패킷의 동기화 부분을 사용하며, 그 후 데이터 패킷의 데이터 부분으로부터 메시지 비트들을 디코딩한다.

대표도 - 도1



(52) CPC특허분류

*H04J 13/10* (2013.01)

*H04L 27/2017* (2013.01)

*H04L 27/233* (2013.01)

*H04L 2027/0046* (2013.01)

*H04L 2027/0065* (2013.01)

(72) 발명자

**올센 에이빈드**

노르웨이 엔-7004 트론드헤임 오토 니엘센스 베그  
12 노르딕 세미컨덕터 에이에스에이

**코비슬리 필**

노르웨이 엔-7004 트론드헤임 오토 니엘센스 베그  
12 노르딕 세미컨덕터 에이에스에이

**브루세트 올라**

노르웨이 엔-7004 트론드헤임 오토 니엘센스 베그  
12 노르딕 세미컨덕터 에이에스에이

## 명세서

### 청구범위

#### 청구항 1

하나 이상의 가변 메시지 비트들을 수신하며, 미리 결정된 제 1 이진 칩 시퀀스로서 제 1 값을 갖는 각각의 메시지 비트를 인코딩하고, 미리 결정된 제 2 이진 칩 시퀀스로서 반대 값을 갖는 각각의 메시지 비트를 인코딩하도록 구성된 인코더를 포함하는 라디오 송신기로서,

상기 라디오 송신기는 데이터 패킷들을 송신하도록 구성되되, 각각의 패킷은 (i) 상기 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스(instance)들을 포함하는 미리 결정된 동기화 부분, 및 (ii) 상기 인코더에 의해 출력된 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함하는

라디오 송신기.

#### 청구항 2

제 1 항에 있어서,

가우시안 주파수-시프트-키잉(GFSK : Gaussian frequency-shift-keying)을 사용하여 라디오 반송파 상에서 상기 동기화 부분 및 상기 가변 데이터 부분을 변조하도록 구성되는

라디오 송신기.

#### 청구항 3

제 2 항에 있어서,

상기 GFSK 변조는 대략 0.5의 변조 지수를 갖는

라디오 송신기.

#### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 이진 칩 시퀀스들 중 하나 또는 각각은 4 이상의, 짝수의 비트 길이인

라디오 송신기.

#### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 이진 칩 시퀀스는 그것이 GFSK를 사용하여 변조될 때 위상 중립(neutral)인

라디오 송신기.

#### 청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 이진 칩 시퀀스들 중 하나 또는 각각은 동일한 수의 0 비트들 및 1 비트들로 구성되는 라디오 송신기.

**청구항 7**

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 2 이진 칩 시퀀스는 그것이 다른 그것의 제 1 및 마지막 비트 위치들에서 제외하고는 상기 제 1 이진 칩 시퀀스와 동일한

라디오 송신기.

**청구항 8**

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 이진 칩 시퀀스의 상기 제 1 및 마지막 비트들은 서로 다른

라디오 송신기.

**청구항 9**

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 이진 칩 시퀀스는 상기 시퀀스가 동일한 수의 0 비트들 및 1 비트들을 가져야 하고, 그것이 서로 값이 다른 제 1 및 마지막 비트들을 가져야 한다는 제약들에 종속하는, 상기 제 1 이진 칩 시퀀스와 동일한 길이의 모든 가능한 이진 시퀀스들의 세트에 대하여 최대 자동상관 성능(maximum autocorrelation performance)을 갖는

라디오 송신기.

**청구항 10**

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 이진 칩 시퀀스는 상기 시퀀스가 4개의 시퀀스-반복들의 펄스 트레인과 상관될 때 최대 사이드로브 진폭(maximum sidelobe amplitude) 대 제로-래그 피크 진폭(zero-lag peak amplitude)의 비로서 결정되는, 0.26 미만의 자동상관 품질을 갖는

라디오 송신기.

**청구항 11**

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 이진 칩 시퀀스는 16-비트 시퀀스([0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1]), 또는 그것의 역, 또는 그것의 비트단위 보수, 또는 그것의 역 비트단위 보수인

라디오 송신기.

**청구항 12**

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 데이터 패킷들의 상기 미리 결정된 동기화 부분은 상기 제 1 이진 칩 시퀀스의 2와 약 30개 사이의 인스턴스들을 포함하는

라디오 송신기.

### 청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 데이터 패킷들의 데이터 부분들은 임의의 갭 없이 상기 동기화 부분들 뒤에 이어지는

라디오 송신기.

### 청구항 14

라디오 수신기로서,

데이터 패킷들 수신하기로서, 각각의 패킷은 미리 결정된 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함하고, 제 1 값을 가진 각각의 메시지 비트는 상기 제 1 이진 칩 시퀀스로서 인코딩되며, 반대 값을 갖는 각각의 메시지 비트는 미리 결정된 제 2 이진 칩 시퀀스로서 인코딩되는, 상기 데이터 패킷들 수신하기;

상기 데이터 패킷의 상기 데이터 부분을 디코딩하기 전에, 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 수신된 데이터 패킷의 상기 동기화 부분을 사용하며;

상기 데이터 패킷의 상기 데이터 부분으로부터 메시지 비트들을 디코딩하도록 구성되는

라디오 수신기.

### 청구항 15

제 14 항에 있어서,

차동-이진-위상-시프트-키잉(DBPSK : differential-binary-phase-shift-keying) 복조기를 사용하여 수신된 데이터의 상기 데이터 부분을 복조하도록 구성되는

라디오 수신기.

### 청구항 16

제 14 항 또는 제 15 항에 있어서,

상관기를 포함하며, 상기 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 상기 상관기를 사용하도록 구성되는

라디오 수신기.

### 청구항 17

제 16 항에 있어서,

상기 상관기는 고정-계수 상관기인

라디오 수신기.

#### 청구항 18

제 14 항 내지 제 17 항 중 어느 한 항에 있어서,

상관기를 포함하되, 두 개의 모드들: 그것이 완전한 제 1 이진 칩 시퀀스에 대해 상관되는 제 1모드와 그것이 상기 제 1 이진 칩 시퀀스의 서브-시퀀스에 대해 상관되는 제 2 모드 사이에서 스위칭 가능한, 상기 상관기를 포함하는

라디오 수신기.

#### 청구항 19

제 18 항에 있어서,

수신된 데이터 패킷의 상기 동기화 부분을 프로세싱하기 위해 상기 제 1 모드에서 상기 상관기를 사용하고 그리고 상기 데이터 부분으로부터 메시지 비트들을 디코딩하기 위해 상기 상관기를 상기 제 2 모드로 스위칭하도록 구성되는

라디오 수신기.

#### 청구항 20

제 18 항 또는 제 19 항에 있어서,

상기 서브-시퀀스는 상기 제 1 및 제 2 이진 칩 시퀀스들이 서로 동일한 값들을 갖는 상기 제 1 이진 칩 시퀀스 내 비트 위치들에 의해 정의되는

라디오 수신기.

#### 청구항 21

제 18 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 서브-시퀀스는 제 1 및 마지막 비트들을 제외한 상기 제 1 이진 칩 시퀀스의 모든 비트들로 구성되는

라디오 수신기.

#### 청구항 22

제 16 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 상관기는 진폭 정보를 출력하도록 구성되고, 상기 라디오 수신기는 심볼 타이밍 동기화를 수행하기 위해 이 진폭 정보를 사용하도록 구성되는

라디오 수신기.

#### 청구항 23

제 16 항 내지 제 22 항 중 어느 한 항에 있어서,

상기 상관기는 위상 정보를 출력하도록 구성되고, 상기 라디오 수신기는 초기 주파수 동기화를 수행하기 위해

이 위상 정보를 사용하도록 구성되는  
라디오 수신기.

#### 청구항 24

제 16 항 내지 제 23 항 중 어느 한 항에 있어서,

계속 진행되는(on-going) 주파수 편이 추적(frequency drift tracking)을 수행하고, 수신된 신호의 주파수가 편이되면 적절한 조정 또는 보상을 적용하기 위해 상기 상관기로부터의 위상 정보를 사용하도록 구성되는  
라디오 수신기.

#### 청구항 25

제 16 항 내지 제 24 항 중 어느 한 항에 있어서,

수신된 데이터 패킷의 상기 데이터 부분내의 서브-시퀀스가 상기 데이터 부분내 바로 이전 서브-시퀀스에 비하여 대략 0 또는 대략  $\Pi$  위상 변화를 갖는지를 결정하기 위해, 그리고 상기 메시지 비트들을 결정하기 위해 상기 상관기로부터의 이 위상 변화를 나타내는 신호를 사용하기 위해 상기 상관기를 사용하도록 구성되는  
라디오 수신기.

#### 청구항 26

라디오 송신기 및 라디오 수신기를 포함하는 라디오 통신 시스템으로서,

상기 라디오 송신기는:

하나 이상의 가변 메시지 비트들을 수신하며 미리 결정된 제 1 이진 칩 시퀀스로서 제 1 값을 갖는 각각의 메시지 비트를 인코딩하고, 미리 결정된 제 2 이진 칩 시퀀스로서 반대 값을 갖는 각각의 메시지 비트를 인코딩하도록 구성된 인코더를 포함하며;

데이터 패킷들을 송신하도록 구성되며, 각각의 패킷은 (i) 상기 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 (ii) 상기 인코더에 의해 출력된 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함하고,

상기 라디오 수신기는:

상기 라디오 송신기에 의해 송신된 상기 데이터 패킷들을 수신하고;

상기 데이터 패킷의 상기 데이터 부분을 디코딩하기 전에, 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 수신된 데이터 패킷의 상기 동기화 부분을 사용하며;

상기 데이터 패킷의 상기 데이터 부분으로부터 상기 메시지 비트들을 디코딩하도록 구성되는

라디오 통신 시스템.

#### 청구항 27

라디오 통신 방법으로서,

라디오에 의해 데이터 패킷을 송신하는 단계로서, 상기 데이터 패킷은 (i) 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 (ii) 하나 이상의 인코딩된 메시지 비트들을 포함하는 데이터 부분을 포함하고, 제 1 값을 갖는 각각의 메시지 비트는 미리 결정된 제 1 이진 칩 시퀀스로서 인코딩되며, 반대 값을 갖는 각각의 메시지 비트는 미리 결정된 제 2 이진 칩 시퀀스로서 인코딩되는, 상기 송

신 단계;

상기 데이터 패킷을 수신하는 단계;

주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 상기 수신된 데이터 패킷의 상기 동기화 부분을 사용하는 단계; 및

상기 수신된 데이터 패킷의 상기 데이터 부분으로부터 상기 메시지 비트들을 디코딩하는 단계를 포함하는 라디오 통신 방법.

#### 청구항 28

이진 칩 시퀀스에 대해 수신된 신호를 상관시키도록 구성되는 제 1 모드와 상기 이진 칩 시퀀스에서의 짧은 서브-시퀀스에 대해 수신된 신호를 상관시키도록 구성되는 제 2 모드 사이에서 스위칭 가능한 고정-계수 상관기를 포함하는 라디오 수신기로서,

상기 상관기는, 상기 제 2 모드에 있을 때, 수신된 신호에서 상기 서브-시퀀스의 두 개의 연속 출현들 사이에서의 위상 시프트를 나타내는 신호를 출력하도록 구성되는

라디오 수신기.

#### 청구항 29

제 28 항에 있어서,

수신된 데이터 패킷의 데이터 부분으로부터의 메시지 데이터를 디코딩하기 위해 수신된 신호내 상기 서브-시퀀스의 두 개의 연속 출현(occurrence)들 사이에서의 위상 시프트를 나타내는 신호를 사용하도록 구성되는

라디오 수신기.

#### 청구항 30

제 28 항 또는 제 29 항에 있어서,

차동-이진-위상-시프트-키잉(DBPSK) 복조기를 사용하여 수신된 데이터 패킷의 상기 데이터 부분을 복조하도록 구성되는

라디오 수신기.

#### 청구항 31

제 28 항 내지 제 30 항 중 어느 한 항에 있어서,

주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 상기 상관기를 사용하도록 구성되는

라디오 수신기.

#### 청구항 32

제 28 항 내지 제 31 항 중 어느 한 항에 있어서,

수신된 데이터 패킷의 동기화 부분을 프로세싱하기 위해 상기 제 1 모드에서 상기 상관기를 사용하고 그리고 상기 데이터 패킷의 데이터 부분으로부터의 메시지 비트들을 디코딩하기 위해 상기 상관기를 상기 제 2 모드로 스위칭하도록 구성되는

라디오 수신기.

**청구항 33**

제 28 항 내지 제 32 항 중 어느 한 항에 있어서,  
 상기 서브-시퀀스는 제 1 및 마지막 비트들을 제외한 상기 이전 칩 시퀀스의 모든 비트들로 구성되는  
 라디오 수신기.

**청구항 34**

제 28 항 내지 제 33 항 중 어느 한 항에 있어서,  
 상기 상관기는 진폭 정보를 출력하도록 구성되고, 상기 라디오 수신기는 심볼 타이밍 동기화를 수행하기 위해  
 이 진폭 정보를 사용하도록 구성되는  
 라디오 수신기.

**청구항 35**

제 28 항 내지 제 34 항 중 어느 한 항에 있어서,  
 상기 상관기는 위상 정보를 출력하도록 구성되고 상기 라디오 수신기는 초기 주파수 동기화를 수행하기 위해 이  
 위상 정보를 사용하도록 구성되는  
 라디오 수신기.

**청구항 36**

제 28 항 내지 제 35 항 중 어느 한 항에 있어서,  
 계속 진행되는 주파수 편이 추적을 수행하기 위해 상기 상관기로부터의 위상 정보를 사용하고 그리고 수신된 신  
 호의 상기 주파수가 편이되면 적절한 조정 또는 보상을 적용하도록 구성된  
 라디오 수신기.

**청구항 37**

제 28 항 내지 제 36 항 중 어느 한 항에 있어서,  
 수신된 데이터 패킷의 상기 데이터 부분내의 서브-시퀀스가 상기 데이터 부분내 바로 이전 서브-시퀀스에 비하  
 여 대략 0 또는 대략  $\Pi$  위상 변화를 갖는지를 결정하기 위해, 그리고 상기 메시지 비트들을 결정하기 위해 상  
 기 상관기로부터의 이 위상 변화를 나타내는 신호를 사용하기 위해 상기 상관기를 사용하도록 구성되는  
 라디오 수신기.

**발명의 설명**

**기술 분야**

본 발명은 이진 데이터를 전달하기 위한 라디오 송신기들 및 수신기들에 관한 것이다.

**배경 기술**

[0001]

[0002] 이진 메시지 데이터를 송신하기 위한 다양한 라디오 통신 시스템들이 알려져 있다. 예들은 블루투스™ 및 블루투스 로우 에너지™를 포함한다. 라디오 수신기가 메시지 데이터를 신뢰할 수 있게 디코딩할 수 있기 위해, 수신된 데이터 패킷으로부터 빠르고 정확하게 타이밍 동기화를 결정하는 것이 중요하다. 각각의 데이터 패킷의 시작부분 근처에, 송신기 및 수신기 양쪽 모두에 사전에 알려진, 미리 결정된 동기화 시퀀스를 포함하는 것이 알려져 있다. 수신기는 페이로드 메시지 데이터를 디코딩하기 전에, 주파수 동기화, 위상 동기화, 심볼 타이밍 추정, 및 자동 이득 제어(AGC) 트레이닝과 같은 동작들을 수행하기 위해 이것을 사용할 수 있다.

[0003] 수신된 라디오 신호가 약할 때(예로서, 송신기와 수신기 사이에서의 상당한 거리가 있기 때문에), 수신기가 정확한 동기화를 획득하는 것은 힘들 수 있다. 이를 완화시키려는 시도는 라디오 수신기내에 상당한 추가적인 복잡성을 야기할 수 있다. 본 발명은 낮은 신호 레벨들에서 양호한 성능을 가진 특히 효율적인 라디오 수신기 설계를 용이하게 하는 새로운 접근법을 제공하고자 한다.

**발명의 내용**

**과제의 해결 수단**

[0004] 제 1 양상으로부터, 본 발명은 하나 이상의 가변 메시지 비트들을 수신하며 미리 결정된 제 1 이진 칩 시퀀스로서 제 1 값을 갖는 각각의 메시지 비트를 인코딩하고 미리 결정된 제 2 이진 칩 시퀀스로서 반대 값을 갖는 각각의 메시지 비트를 인코딩하도록 구성된 인코더를 포함하는 라디오 송신기를 제공하며, 상기 라디오 송신기는 데이터 패킷들을 송신하도록 구성되며, 각각의 패킷은 (i) 상기 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는, 미리 결정된 동기화 부분, 및 (ii) 상기 인코더에 의해 출력된 하나 이상의 인코딩된 메시지 비트들을 포함하는, 가변 데이터 부분을 포함한다.

[0005] 제 2 양상으로부터, 본 발명은 라디오 수신기를 제공하며, 상기 라디오 수신기는:

[0006] 데이터 패킷들 수신하기로서, 각각의 패킷은 미리 결정된 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함하고, 제 1 값을 가진 각각의 메시지 비트는 상기 제 1 이진 칩 시퀀스로서 인코딩되며 반대 값을 가진 각각의 메시지 비트는 미리 결정된 제 2 이진 칩 시퀀스로서 인코딩되는, 상기 데이터 패킷들 수신하기;

[0007] 상기 데이터 패킷의 상기 데이터 부분을 디코딩하기 전에, 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 수신된 데이터 패킷의 동기화 부분을 사용하며;

[0008] 상기 데이터 패킷의 상기 데이터 부분으로부터 메시지 비트들을 디코딩하도록 구성된다.

[0009] 제 3 양상으로부터, 본 발명은 라디오 송신기 및 라디오 수신기를 포함하는 라디오 통신 시스템을 제공하며,

[0010] 상기 라디오 송신기는:

[0011] 하나 이상의 가변 메시지 비트들을 수신하며 미리 결정된 제 1 이진 칩 시퀀스로서 제 1 값을 갖는 각각의 메시지 비트를 인코딩하고 미리 결정된 제 2 이진 칩 시퀀스로서 반대 값을 갖는 각각의 메시지 비트를 인코딩하도록 구성된 인코더를 포함하며;

[0012] 데이터 패킷들을 송신하도록 구성되고, 각각의 패킷은 (i) 상기 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 (ii) 상기 인코더에 의해 출력된 하나 이상의 인코딩된 메시지 비트들을 포함하는 가변 데이터 부분을 포함하고,

[0013] 상기 라디오 수신기는:

[0014] 상기 라디오 송신기에 의해 송신된 상기 데이터 패킷들을 수신하고;

[0015] 상기 데이터 패킷의 상기 데이터 부분을 디코딩하기 전에, 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 수신된 데이터 패킷의 상기 동기화 부분을 사용하며;

[0016] 상기 데이터 패킷의 데이터 부분으로부터 상기 메시지 비트들을 디코딩하도록 구성된다.

[0017] 제 4 양상에 따르면, 본 발명은 라디오 통신 방법을 제공하며, 상기 방법은:

[0018] 라디오에 의해 데이터 패킷을 송신하는 단계로서, 상기 데이터 패킷은 (i) 제 1 이진 칩 시퀀스의 하나 이상의 인스턴스들을 포함하는 미리 결정된 동기화 부분, 및 (ii) 하나 이상의 인코딩된 메시지 비트들을 포함하는 데

이터 부분을 포함하고, 제 1 값을 가진 각각의 메시지 비트는 미리 결정된 제 1 이진 칩 시퀀스로서 인코딩되며, 반대 값을 가진 각각의 메시지 비트는 미리 결정된 제 2 이진 칩 시퀀스로서 인코딩되는, 상기 송신 단계;

- [0019] 상기 데이터 패킷을 수신하는 단계;
- [0020] 주파수 및/또는 타이밍 동기화 동작을 수행하기 위해 상기 수신된 데이터 패킷의 상기 동기화 부분을 사용하는 단계; 및
- [0021] 상기 수신된 데이터 패킷의 상기 데이터 부분으로부터 상기 메시지 비트들을 디코딩하는 단계를 포함한다.
- [0022] 따라서, 동일한 이진 칩 시퀀스가 동기화 및 데이터 인코딩 양쪽 모두를 위해 사용된다는 것이 이해될 것이다. 이것은, 수신기에서의 회로의 대부분이 양쪽 목적들 모두를 위해 공유될 수 있기 때문에, 특히 효율적인 라디오 수신기 설계를 허용한다. 특히, 수신기는, 이하에서 보다 상세히 설명되는 바와 같이, 양쪽 동작들 모두를 위해 고정-계수 상관기를 사용할 수 있다.
- [0023] 몇몇 실시예들에서, 동기화 부분 및 가변 데이터 부분은 주파수-시프트-키잉(FSK); 바람직하게는 가우시안 FSK(GFSK); 보다 바람직하게는 2-레벨 GFSK를 사용하여 라디오 반송파 상에서 변조된다. GFSK 변조가 사용되는 경우에, 대략 0.5의 변조 지수가 선호된다(바람직하게는 0.5의 약 20% 내에서, 또는 보다 바람직하게는, 약 0.45와 약 0.55 사이에서와 같은, 0.5의 약 10% 내에서). 몇몇 실시예들에서, 라디오 수신기는 차동-이진-위상-시프트-키잉(DBPSK) 복조기를 사용하여 수신된 데이터 부분을 복조하도록 구성될 수 있다. 이것은, 적절한 제 1 및 제 2 이진 칩 시퀀스들에 대해, GFSK를 사용하여 변조된, 송신된 신호가 DBPSK 신호의 품질들을 가질 수 있기 때문에 가능하다. 특히, 적절한 시퀀스들에 대해, 수신기는 이하에서 보다 상세히 설명되는 바와 같이, 데이터 부분내 연속적인 시퀀스들의 부분들 사이에서의 위상 차들에 기초하여 데이터를 디코딩할 수 있다.
- [0024] 반송파의 주파수는 미리 결정된 주파수-홉핑 시퀀스에 따라 연속적인 데이터 패킷들 사이에서 변할 수 있다. 라디오 송신기 및/또는 수신기는 2010년 6월 30일에 공개된, 블루투스™ 코어 규격 4.0의 블루투스™ 로우 에너지™ 물리 계층 규격 섹션, 또는 임의의 차후 버전과 같은, 블루투스™ 규격에서 정의된 바와 같이, 물리 계층, 및 선택적으로 다른 계층들을 사용하여 통신하도록 구성될 수 있다.
- [0025] 제 1 이진 칩 시퀀스는 임의의 길이일 수 있지만, 바람직하게는 4 이상의, 짝수의 비트 길이이다. 그것은, 예를 들면, 길이가 4, 8, 16, 24, 32, 48, 64 이상의 비트들일 수 있다. 몇몇 바람직한 실시예들에서, 그것은 16 비트 길이이다. 제 2 이진 칩 시퀀스에 대해서도 같다. 제 1 및 제 2 이진 칩 시퀀스들은 바람직하게는 서로 동일한 길이이다.
- [0026] 제 1 이진 칩 시퀀스는 바람직하게는, GFSK를 사용하여 변조될 때 위상 중립(neutral)이며; 즉 그것은 제 1 이진 칩 시퀀스를 갖고 변조된, 반송 신호의 위상이 제 1 이진 칩 시퀀스의 시작 및 종료 시 실질적으로 동일하도록 한다. 제 2 이진 칩 시퀀스도 바람직하게는 또한 위상 중립이다. 이것은, 일정한 위상이 각각의 칩 시퀀스의 끝에 존재하는 것으로 가정될 수 있기 때문에, 그것이 라디오 수신기로 하여금, 데이터 부분내의 제 1 및 제 2 이진 칩 시퀀스들을 보다 쉽게 식별하는 것을 허용하므로 유리하다. 그것은 또한 수신기 상에서 보다 양호한 자동 주파수 제어를 가능하게 할 수 있다.
- [0027] 제 1 이진 칩 시퀀스는 바람직하게는 동일한 수의 0 비트들 및 1 비트들로 이루어진다. 제 2 이진 칩 시퀀스는 바람직하게는 또한 동일한 수의 0 비트들 및 1 비트들로 이루어진다. 이것은 GFSK 변조를 사용할 때, 임의의 변조 에러들이 시퀀스 상에서 자동으로 소거되며 그에 따라 수신기에서 추정되거나 또는 추적될 필요가 없음을 의미하기 때문에 유리하다.
- [0028] 제 2 이진 칩 시퀀스는 바람직하게는 그것이 다른 다수의 미리 결정된 비트 위치들을 제외하고는 제 1 이진 칩 시퀀스와 동일하다. 이러한 수는 바람직하게는 제 1 이진 칩 시퀀스의 길이의 절반 미만이다. 그것은 바람직하게는 짝수이다. 몇몇 바람직한 실시예들에서, 제 1 및 제 2 이진 칩 시퀀스들은, 바람직하게는 제 1 및 마지막 비트 위치들인, 정확하게 2 비트 위치들에서 다르다. 이것은 이하에서 보다 상세히 설명되는 바와 같이, 라디오 수신기에서 상관기의 효율적인 사용을 허용할 수 있다.
- [0029] 제 2 이진 칩 시퀀스는 바람직하게는 적어도 제 1 및 마지막 비트 위치들에서 제 1 이진 칩 시퀀스와 다르다. 특히 바람직한 실시예들에서, 제 1 및 제 2 칩 시퀀스들은, 그것들이 다른 제 1 및 마지막 비트 위치들을 제외하고 서로 동일하다. 제 1 칩 시퀀스는 바람직하게는 제 1 및 마지막 비트 위치들에서 상이한 이진 값들을 가진다(따라서, 제 1 칩 시퀀스가 제 1 및 마지막 위치들에서 상이한 실시예들에서는 제 2 시퀀스도 그렇다). 이것

은 데이터 부분내 시퀀스의 마지막 칩은 두 개의 메시지 비트들이 서로 동일할 때마다(두 개의 '1' 메시지 비트들, 또는 두 개의 '0' 메시지 비트들) 바로 이어지는 시퀀스에서의 제 1 칩과 상이한 값을 가질 것이며, 두 개의 메시지 비트들이 상이할 때마다(메시지 비트들('1 0', 또는 '0 1')) 동일한 값을 가질 것임을 보장한다. 대략 0.5의 변조 지수를 가진 GFSK 변조를 사용할 때, 이것은 인접한 시퀀스들의 중간 섹션들 사이에서(즉, 제 1 및 마지막 비트 위치들을 제외하고 전체 시퀀스에 대해) 대략 0 또는 대략  $\Pi$ 의 위상 시프트를 생기게 한다. 이것은 시퀀스에서의 모든 '1' 비트가  $\Pi/2$  양의 위상 시프트를 야기하는 반면, 모든 '0'은  $\Pi/2$  음의 위상 시프트를 야기하기 때문이다. 인접한 시퀀스들 사이에서의 위상 시프트의 존재 또는 부재는 기본 메시지 비트들의 값에 의해 결정된다. 이것은 간단히 라디오 수신기가 수신된 패킷의 데이터 부분내 연속 칩 시퀀스들 사이에서의 위상 시프트들을 결정함으로써 메시지 비트들을 디코딩하도록 허용한다. 어떤 위상 시프트도 동일한 메시지 비트의 반복을 표시하지 않는 반면, 위상 시프트는 메시지 비트의 변화를 표시한다. 라디오 수신기는 기본 메시지 데이터를 디코딩하기 위해 이러한 차이 정보를 사용할 수 있다. 그것은 동기화 부분의 제 1 메시지 칩 시퀀스 및 마지막 칩 시퀀스 사이에 위상 변화가 있는지에 기초하여 바로 제 1 메시지 비트가 '0' 또는 '1'로서 디코딩되어야 하는지를 결정할 수 있다. 대안적으로, 몇몇 실시예들에서, 메시지 데이터는 그것이 라디오 송신기에 의해 송신되기 전에 이미 차동 인코딩될 수 있으며; 이 경우에, 원래 데이터는 라디오 수신기 상에서 차동 디코더를 사용하여 직접 결정될 수 있다.

[0030] GFSK 변조 지수가 정확하게 0.5가 아니면, 동일한 접근법이 여전히 사용될 수 있지만, 위상 시프트는 대략 0 또는  $\Pi$ 로부터 추가로 제거된 값일 것이다(변조 지수가 0.5로부터 얼마나 떨어져 있는지에 의존하여).

[0031] 제 1 이진 칩 시퀀스는 바람직하게는 그것이, 주어진 길이의 모든 가능한 시퀀스들의 세트에 대하여, 시퀀스가 동일한 수의 0 비트들 및 1 비트들을 가져야 하며 그것이 서로 값이 다른 제 1 및 마지막 비트들을 가져야 한다는 제약들에 종속하는, 최대 자동상관 성능을 갖도록 하기 위한 것이다. 이것은 수신기가, 수신된 동기화 부분에 상관 동작을 적용함으로써, 신뢰할 수 있는 동기화 타이밍을 수행하고 그리고 또한 메시지 비트들을 신뢰할 수 있게 디코딩하는 것을 허용한다. 이러한 속성을 갖지 않는 시퀀스들은 그럼에도 불구하고 여전히 유용할 수 있다. 몇몇 실시예들에서, 0.3 미만, 또는 바람직하게는 0.28 미만, 또는 보다 바람직하게는 0.26 미만의 자동상관 품질을 가진 임의의 시퀀스가, 본 출원의 어딘가에서 언급된 부가적인 제약들 중 임의의 하나 이상에 잠재적으로 종속하는, 제 1 이진 칩 시퀀스로서 사용될 수 있으며, 시퀀스에 대한 자동상관 품질은, 상기 시퀀스가 4-시퀀스-반복들의 펄스 트레인과 상관될 때, 최대 사이드로브 진폭(maximum sidelobe amplitude) 대 제로-래그 피크 진폭(zero-lag peak amplitude)의 비로서 결정된다.

[0032] 16-칩 시퀀스([0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1]), 그것의 비트단위 보수, 역 시퀀스, 및 역 비트단위 보수는 제 1 이진 칩 시퀀스로서 사용될 때 특히 양호한 성능을 제공하는 것으로 발견되어 왔다. 특히 바람직한 실시예들이 이들 시퀀스들 중 하나를 사용한다. 제 2 이진 칩 시퀀스는 그 후 제 1 및 마지막 비트들이 플립된(flipped) 제 1 칩 시퀀스, 즉 [1 0 0 1 1 0 1 0 1 1 0 0 1 0 1 0], 그것의 비트단위 보수, 역 시퀀스, 또는 역 비트단위 보수(각각)일 수 있다.

[0033] 데이터 패킷들의 미리 결정된 동기화 부분은 바람직하게는 제 1 이진 칩 시퀀스의 하나 또는 둘과 약 30개 사이의 인스턴스들; 보다 바람직하게는 약 5 와 약 30개 사이의 인스턴스들을 포함한다. 몇몇 실시예들에서, 그것은 정확하게 또는 대략 15개 인스턴스들을 포함한다. 이것은 (i) 신뢰할 수 있는 동기화를 허용하기 위해, 그리고 수신기에서의 임의의 편이 보정(drift correction)이 데이터 부분이 도착하기 전에 해결될 수 있도록 하기 위해 충분한 인스턴스들을 갖는 것, 및 (ii) 송신기에서의 전력 소비를 감소시키기 위해 가능한 짧게 데이터 패킷들을 유지하는 것 사이에서 특히 양호한 트레이드-오프인 것으로 간주된다. 동기화 부분에서의 시퀀스 인스턴스들은 바람직하게는 임의의 겹침 없이, 하나가 또 다른 것 직후 이어진다. 데이터 부분은 바람직하게는 임의의 겹침 없이 동기화 부분 후 이어진다. 수신기는 바람직하게는 적어도 동기화 부분에 대한 편이 추적을 수행하도록 구성된다. 그것들 사이에 실질적으로 어떤 겹침도 없이, 동일한 데이터 패킷에 동기화 부분 및 데이터 부분을 포함시킴으로써, 두 개의 부분들 사이에서의 위상 정보의 어떤 손실도 없으며, 전체 데이터 패킷에 걸쳐 특히 효율적인 편이 추적을 허용한다.

[0034] 라디오 수신기는 바람직하게는 상관기를 포함한다. 수신기는 바람직하게는 주파수 및/또는 타이밍 동기화 동작을 수행할 때 상관기를 사용하도록 구성된다. 수신기는 예로서, 자동 주파수 제어(AFC) 루프의 부분으로서, 주파수 램프 추적을 위해 상관기 출력을 사용할 수 있다. 상관기는 바람직하게는 고정-계수 상관기이다. 이것은 그것이 비교적 작은 수의 게이트들을 갖고 실리콘으로 구현될 수 있기 때문에 바람직하다. 동기화를 위해 및 데이터 상관을 위해 동일한 상관기를 재사용하는 것은 작은 수신기 풋프린트 및 감소된 복잡도로 이어진다. 상관기는 제 1 이진 칩 시퀀스와 및/또는 그것의 서브-시퀀스와 수신된 신호를 상관시키도록 구성될 수 있다. 몇몇

실시예들에서, 그것은 동기화 부분을 프로세싱할 때, 제 1 이진 칩 시퀀스들의 둘 이상의 사본들의 조합과 수신된 신호를 상관시키도록 구성될 수 있으며; 예를 들면, 그것은 32-비트 상관기일 수 있으며 하나가 다른 것 후, 16-비트 제 1 이진 칩 시퀀스의 두 개의 사본들로 이루어진 32-비트 패턴과 수신된 동기화 부분을 상관시키도록 구성될 수 있다. 이러한 32-비트 상관기는 16-비트 상관기의 출력에 적절한 프로세싱을 적용함으로써 시뮬레이션될 수 있다. 이러한 다중-길이 상관기는 바람직하게는, 수신된 신호의 데이터 부분을 프로세싱할 때, 제 1 이진 칩 시퀀스의 단일 인스턴스, 또는 그것의 서브-시퀀스에 대해 수신된 신호를 상관으로 복귀하도록 구성된다.

[0035] 상관기는 바람직하게는 제 1 이진 칩 시퀀스의 서브-시퀀스와 수신된 신호를 상관시킬 수 있도록 배열된다. 그것은 두 개의 모드들 사이에서 스위칭 가능할 수 있다: 완전한 제 1 이진 칩 시퀀스에 대해 상관시키는 제 1 모드와 그것이 제 1 이진 칩 시퀀스의 서브-시퀀스에 대해 상관시키는 제 2 모드. 서브-시퀀스는 바람직하게는 제 1 및 제 2 이진 칩 시퀀스들이 동일한 값들을 갖는 비트 위치들에 의해 정의된다. 서브-시퀀스는 바람직하게는 제 1 이진 칩 시퀀스로부터 비트들의 인접한 시퀀스이다. 예를 들면, 제 1 칩 시퀀스가 16-비트 시퀀스이며, 제 2 칩 시퀀스가 단지 제 1 및 마지막 비트 위치들에서만 상이한 경우에, 상관기는 제 1 모드에 있을 때 시퀀스들의 중간 14 비트들만을 상관시킬 수 있을 것이다. 라디오 수신기는 수신된 데이터 패킷의 동기화 부분을 프로세싱할 때 제 1 모드를 사용할 수 있으며, 데이터 부분으로부터 메시지 비트들을 디코딩할 때 상관기를 제 2 모드로 스위칭할 수 있다.

[0036] 이러한 아이디어는 자신의 권리로 신규하며, 추가 양상으로부터, 본 발명은 그것이 이진 칩 시퀀스에 대해 수신된 신호를 상관시키도록 구성되는 제 1 모드와 그것이 이진 칩 시퀀스에서 짧은 서브-시퀀스에 대해 수신된 신호를 상관시키도록 구성되는 제 2 모드 사이에서 스위칭 가능한 고정-계수 상관기를 포함하는 라디오 수신기를 제공하며, 상관기는, 제 2 모드에 있을 때, 수신된 신호에서 서브-시퀀스의 두 개의 연속 출현들 사이에서의 위상 시프트를 나타내는 신호를 출력하도록 구성된다. 라디오 수신기는 수신된 신호로부터 메시지 데이터를 디코딩하기 위해 상관기로부터의 출력을 사용하도록 구성될 수 있다. 이전 양상들 및 실시예들의 특징들은 또한 이러한 양상의 실시예들의 특징들일 수 있다.

[0037] 상관기는 바람직하게는 진폭 정보를 출력하도록 구성된다. 라디오 수신기는 심볼 타이밍 동기화를 수행하기 위해 이 진폭 정보를 사용할 수 있다. 상관기는 바람직하게는 또한 위상 정보를 출력하도록 구성된다. 라디오 수신기는 바람직하게는 초기 주파수 동기화를 수행하기 위해 이 위상 정보를 사용하도록 구성된다. 라디오 수신기는 또한 계속 진행하는(on-going) 주파수 편이 추적을 수행하기 위해, 그리고 주파수가 편이되면 적절한 조정 또는 보상을 적용하기 위해 이 정보를 사용하도록 구성될 수 있다. 이것은, 주파수 편이가 없다면, 위상이 각각의 시퀀스 후 항상 0으로 되돌아가야 하므로, 바람직한 실시예들에서처럼, 이진 칩 시퀀스들이 위상 중립(neutral)일 때 특히 간단하다.

[0038] 라디오 수신기는 바람직하게는 수신된 데이터 패킷의 데이터 부분내의 서브-시퀀스가 데이터 부분내 바로 이전의 서브-시퀀스에 비하여 대략 0 또는 대략  $\Pi$  위상 변화를 갖는지를 결정하기 위해 상관기를 사용하도록 배열된다. 상관기는 바람직하게는 메시지 비트들을 결정하기 위해 사용할 라디오 수신기에 적합한, 이러한 위상 변화를 나타내는 신호를 출력한다.

[0039] 대안적으로, 본 출원에서의 양상들 중 임의의 것의 실시예들에서, 수신기는 데이터 부분 및 동기화 부분 양쪽 모두를 위한 보다 짧은 서브시퀀스에 대해 수신된 신호를 상관시키는 고정-계수 상관기를 포함할 수 있다. 상관기는 제 1 이진 칩 시퀀스가 제 2 이진 칩 시퀀스와 상이한 모든 이들 비트 위치들을 무시하며, 대신에 그것들이 동의한 이들 위치들 상에서 상관시키도록 구성될 수 있다. 이것은 보다 낮은 동기화 성능을 야기할 수 있지만, 그것은 수신기의 크기 및 복잡도를 감소시킬 것이다. 이러한 상관기는 바람직하게는 데이터 부분내의 서브-시퀀스가 데이터 부분내의 이전 서브-시퀀스에 비하여 대략 0 또는  $\Pi$  위상 변화를 갖는지를 결정하며, 이러한 위상 변화를 나타내는 신호를 출력하고, 상기 라디오 수신기는 메시지 비트들을 결정하기 위해 사용할 수 있다.

[0040] 데이터 패킷의 데이터 부분은 어드레스 정보, 데이터 페이로드, 에러-교정 정보 등 중 임의의 하나 이상과 같은, 임의의 적절한 정보를 포함할 수 있다. 데이터 패킷들은 미리 결정된 스케줄로, 또는 불규칙적으로 전송되며 수신될 수 있다.

[0041] 본 발명의 몇몇 실시예들에서, 동기화 부분, 및 데이터 부분내의 '1' 비트(또는 동등하게 '0' 비트)는 바람직하게는, 이하의 테이블로부터 취해진 임의의 16-비트 패턴(또는 엔트리들 중 하나의 비트단위 보수 및/또는 거꾸로 반영)을 사용한다. 데이터 부분내의 반대 비트 값은 동일한 시퀀스로서 그러나 플립된 제 1 및 마지막 비트 값을 갖고 표현될 수 있다.

[0042] 테이블은 자동상관 품질에 대해 내림차순으로 가능한 16-비트 시퀀스들을 나타내며, 시퀀스에 대해 도식된 품질 값은 시퀀스가 4개의 시퀀스-반복들의 펄스 트레인(시물레이션에 의해 결정된)과 상관될 때, 최대 사이드로브 진폭 대 제로-래그 피크 진폭의 비이다. 테이블의 최상부를 향한 시퀀스들이 선호되지만, 이들 시퀀스들 중 임의의 것, 또는 다른 것들이 여전히 유리하게 본 발명의 실시예들과 함께 사용될 수 있다.

패턴 (16-비트 상관기를 위한)	품질
[0 0 0 1 1 0 1 0 1 1 1 0 0 1 0 1 1]	0.250266
[0 1 0 1 1 1 0 0 0 1 1 0 1 0 0 1 1]	0.250924
[0 1 1 0 0 1 0 1 1 1 0 0 0 1 1 0 1]	0.251075
[1 0 0 1 1 0 1 0 0 1 1 1 0 0 1 0]	0.252291
[1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 0]	0.252481
[1 1 0 1 0 0 1 1 0 1 0 1 1 1 0 0 0]	0.252488
[1 1 0 1 0 1 1 1 0 0 0 1 1 0 1 0 0]	0.252488
[1 1 1 0 0 1 0 1 0 0 1 1 0 1 0 0]	0.252488
[1 1 0 0 0 1 1 0 1 0 1 1 0 0 1 0]	0.252821
[1 1 0 0 1 0 1 1 0 0 0 1 1 0 1 0]	0.252821
[0 0 1 0 1 1 1 0 0 1 0 1 0 0 1 1 1]	0.253584
[0 0 0 1 1 0 1 0 1 1 1 1 0 1 0 0 1]	0.253801
[0 0 0 1 0 1 0 0 1 1 1 1 0 1 1 0 1]	0.253849
[0 0 1 0 1 0 0 1 1 1 1 0 0 1 0 1 1]	0.254011

[0043]

[0044] 몇몇 실시예들에서, 수신기는 하나가 다른 것 후에 위치한 16-비트 제 1 이진 칩 시퀀스의 두 개의 사본들과 상관시킴으로써 수신된 데이터 패킷의 동기화 부분에 대한 32-비트 상관 동작을 수행할 수 있다. 이러한 상관기는 동기화 부분에서 발생하는 반복된 16-비트 시퀀스의 인스턴스들의 쌍들에 매칭될 것이다. 이러한 실시예들의 시물레이션들에서 최적의 자동상관을 제공하는 16-비트 시퀀스들은 16-비트 상관기가 사용되는 것들과 상이한 것으로 발견되어 왔다. 그것들은 이하의 테이블에서 제공된다.

[0045] 32-비트 상관 동작이 수행되는 경우에, 동기화 부분, 및 데이터 부분내의 '1' 비트(또는 동등하게 '0' 비트)는 이하의 테이블로부터 취해진 임의의 16-비트 패턴(또는 엔트리들 중 하나의 비트단위 보수 및/또는 거꾸로 반영)에 의해 표현될 수 있다. 데이터 부분내의 반대 비트 값은 동일한 시퀀스로서 그러나 플립된 제 1 및 마지막 비트 값들을 갖고 표현될 수 있다. 품질 값은 상기 주어진 동일한 정의에 기초한다.

패턴 (32-비트 상관기를 위한)	품질
[1 0 0 0 1 1 0 1 0 1 1 1 0 1 0 0]	0.232281
[1 1 0 1 0 0 0 1 0 1 0 0 1 1 1 0]	0.232607
[1 1 0 0 1 0 1 1 0 0 0 1 1 0 1 0]	0.246238
[1 0 1 0 0 1 1 1 0 0 1 0 1 1 0 0]	0.248749
[0 1 0 1 1 0 0 0 1 1 0 1 0 0 1 1]	0.250661
[0 1 1 0 0 1 0 1 1 0 0 0 1 1 0 1]	0.250678
[0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1]	0.251603
[0 1 0 0 1 1 0 1 0 1 1 0 0 0 1 1]	0.252833
[1 1 0 1 0 0 1 1 0 1 0 1 1 0 0 0]	0.252869
[0 0 1 0 1 1 0 0 1 0 1 0 0 1 1 1]	0.253260
[0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1]	0.253473
[0 0 1 1 1 0 0 1 0 1 0 0 1 1 0 1]	0.254259
[0 0 1 1 0 1 0 0 1 1 1 0 0 1 0 1]	0.254626
[1 0 0 0 1 1 0 1 0 1 1 1 0 1 0 0]	0.232281

[0046]

[0047]

라디오 송신기는 전체적으로 또는 대체로 통합 회로로서 구현될 수 있다. 그것은, 마이크로제어기 또는 다른 프로세서를 포함하거나, 또는 그것과 통신하도록 구성될 수 있다. 그것은 마이크로제어기, 프로세서, 또는 다른 로직 디바이스로부터 메시지 데이터를 수신하고 그리고 라디오에 의해 메시지 데이터를 송신하도록 구성될 수 있다. 라디오 수신기는 전체적으로 또는 대체로 통합 회로로서 구현될 수 있다. 그것은 마이크로제어기 또는 다른 프로세서를 포함하거나, 또는 그것과 통신하도록 구성될 수 있다. 그것은 하나 이상의 수신된 데이터 패킷들로부터 메시지 데이터를 디코딩하고 그리고 메시지 데이터를 마이크로제어기, 프로세서, 또는 다른 로직 디바이스로 출력하도록 구성될 수 있다. 몇몇 실시예들에서, 라디오 송신기는 버튼, 키보드, 터치스크린 또는 다른 센서와 같은 입력 소스를 포함하거나, 또는 이것에 통신 가능하게 연결된다. 몇몇 실시예들에서, 라디오 수신기는 디스플레이, 라우드스피커, 또는 표시등과 같은 출력을 포함하거나, 또는 이것에 통신 가능하게 연결된다.

[0048]

본 출원에서 설명된 임의의 양상 또는 실시예의 특징들은, 어디에서든 적합할 경우, 본 출원에서 설명된 임의의 다른 양상 또는 실시예에 적용될 수 있다. 참조가 상이한 실시예들 또는 실시예들의 세트들에 대해 이루어지는 경우, 이것들은 반드시 개별적인 것은 아니며 중첩할 수 있다는 것이 이해되어야 한다.

**도면의 간단한 설명**

[0049]

본 발명의 특정한 바람직한 실시예들이 이제 단지 예로서, 첨부한 도면들을 참조하여, 설명될 것이다.

도 1은 본 발명을 구체화한 라디오 통신 시스템의 개략도이다.

도 2는 라디오 통신 시스템에 의해 송신 및 수신될 수 있는 데이터 패킷의 다이어그램이다.

도 3은 본 발명을 구체화한 라디오 송신기의 부분의 개략도이다.

도 4는 두 개의 상이한 칩 시퀀스들을 위한 시간에 대한 위상의 플롯이다.

도 5는 본 발명을 구체화한 라디오 수신기의 부분의 개략도이다.

도 6은 이러한 라디오 수신기에 대한 상태도이다.

**발명을 실시하기 위한 구체적인 내용**

[0050]

도 1은 이동 전화(7)와 통신하는 무선 심박수 모니터(1)를 도시한다. 양쪽 디바이스들 모두는 본 발명을 구체화한다.

- [0051] 무선 심박수 모니터(1)는 마이크로프로세서(3)(ART™ Cortex M-시리즈와 같은)에 연결되는 심박수 센서(2)를 가진다. 마이크로프로세서(3)는 라디오 송신기(4)에 연결된다. 라디오 송신기(4)는 인코더(5)(다른 구성요소들 중에서)를 포함한다. 메모리, 배터리 등과 같은, 다른 종래의 구성요소들이 또한 존재하지만, 간략화를 위해 도면으로부터 생략된다. 마이크로프로세서(3) 및 라디오 송신기(4)는 단일 실리콘 칩 상에 통합될 수 있다. 모니터(1)는 라디오 안테나(6)를 가지며, 이것은 이러한 칩 상에 통합되거나 또는 그 외부에 있을 수 있다.
- [0052] 이동 전화(7)는, 다른 종래의 구성요소들(도시되지 않음) 중에서, 라디오 수신기(9)에 연결되는, 무선-개인-영역 네트워크 디바이스들로부터의 단거리 라디오 통신들을 수신하기에 적합한, 안테나(8)를 가진다. 라디오 수신기(9)는 고정-계수 상관기(10)(다른 구성요소들 중에서)를 포함한다. 라디오 수신기(9)는 가능하게는, 운영 시스템 및 적절한 소프트웨어 애플리케이션들을 실행하는 추가 마이크로프로세서(도시되지 않음)와 같은, 다른 구성요소들을 통해, 스크린(12) 상에서의 디스플레이를 위해 데이터를 출력할 수 있는, 마이크로프로세서(11)(ART™ Cortex M-시리즈와 같은)에 연결된다.
- [0053] 사용 시, 무선 심박수 모니터(1)는 심박수 센서(2)로부터 인간 사용자를 위한 주기적 심박수 판독들을 수신한다. 마이크로프로세서(3)는 판독들을 송신을 위한 적절한 포맷으로 프로세싱하며, 메시지 데이터를 라디오 송신기(4)로 전송한다. 몇몇 실시예들에서, 메시지 데이터는 라디오 수신기(9) 상에서의 디코딩 동작의 효율을 개선하기 위해, 이미 차동 인코딩될 수 있다. 라디오 송신기(4)는 메시지 데이터가 단일 데이터 패킷 내에 맞을 수 있는지, 또는 그것이 둘 이상의 데이터 패킷들에 걸쳐 분리되어야 하는지를 결정한다. 어느 경우이나, 라디오 송신기(4)는 임의의 다른 관련 데이터와 함께, 메시지 데이터를 데이터 부분으로 어셈블리한다. 라디오 송신기(4)에서의 인코더(5)는 각각의 '1' 비트가 16-비트 시퀀스([0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1])로 표현되며 각각의 '0' 비트가 시퀀스([1 0 0 1 1 0 1 0 1 1 0 0 1 0 1 0])으로 표현되는(또는 그 역 또한 마찬가지로) 페이로드를 생성하기 위해, 메시지 데이터를 포함한, 데이터 부분을 인코딩한다. 그것은 제 1 시퀀스([0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1])의 15개의 반복들로 이루어진, 페이로드에 동기화 워드를 덧붙인다. 고정 프리앰블(예로서, 8개의 칩들의)은 동기화 워드 전에 포함될 수 있다.
- [0054] 라디오 송신기(4)는 그 후 0.5의 변조 지수를 가진 2-레벨 GFSK를 사용하여, 라디오-주파수 반송파(예로서, 약 2.4 GHz에서)에 대해 변조된, 안테나(6)로부터의 인코딩된 데이터 패킷을 송신한다. 데이터 패킷은, 적절하다면, 프리앰블과 같은, 부가적인 요소들을 포함할 수 있다.
- [0055] 도 2는 고정 프리앰블, 동기화 부분(동기 워드), 및 데이터 부분을 포함하는, 대표적인 데이터 패킷 구조를 도시한다. 데이터 부분은 액세스 어드레스, 메시지 비트들, 및 순환-중복 검사(cyclic-redundancey check; CRC)를 포함한다.
- [0056] 이동 전화(7)는 안테나(8)에서 라디오 데이터 패킷을 수신한다. 라디오 수신기(9)는 상관기(10)를 사용하여 GFSK 신호를 프로세싱한다. 수신기(9)는 먼저, 동기화 부분으로부터 주파수 및/또는 타이밍 동기화 정보를 결정하기 위해, 제 1 16-비트 시퀀스([0 0 0 1 1 0 1 0 1 1 0 0 1 0 1 1])와 수신된 신호를 상관시킨다.
- [0057] 라디오 수신기(9)는 그 후 두 개의 16-비트 시퀀스들의 각각에 포함된 공유된, 중간 14비트들인, 14-비트 서브-시퀀스([0 0 1 1 0 1 0 1 1 0 0 1 0 1 1])와 수신된 데이터 부분을 상관시키도록 상관기(10)를 재구성한다. 그것은 데이터 부분내 서브-시퀀스의 연속 출현들 사이에서의 위상 시프트를 결정하기 위해 I 및 Q 구성요소들을 별도로 프로세싱한다. 라디오 수신기(9)는 바로 이전 디코딩된 메시지 비트에 대한 반대 값을 갖는 것으로 대략 180도 만큼 동위상으로 시프트하는 임의의 시퀀스를 디코딩하기 위해 동기화 부분으로부터 초기 위상 기준(예를 들면, '1'의 초기 디코딩된 비트 값에 대응하는), 및 바로 이전 디코딩된 메시지 비트와 동일한 값을 갖는 것으로 대략 0도의 위상 시프트를 가진 임의의 시퀀스를 사용함으로써 위상 시프트 정보로부터 메시지 데이터를 디코딩한다.
- [0058] 라디오 수신기(9)는 상관기(10)에 의해 출력된 위상 정보에 기초하여, 데이터 패킷을 프로세싱하면서 진행 중인 편이 추적을 수행한다.
- [0059] 라디오 수신기(9)는 그 후 디코딩된 데이터로부터 메시지를 추출하고, CRC를 검사하며, 임의의 다른 적절한 동작들을 수행할 수 있다. 그것은 그 후 디코딩된 메시지 데이터를 프로세싱을 위해 마이크로프로세서(11)로 전달한다. 마이크로프로세서(11)는 임의의 적절한 방식으로 그것을 프로세싱할 수 있다. 몇몇 실시예들에서, 심박수 정보는 사용자가 보도록 디스플레이 스크린(12) 상에 그래픽으로 디스플레이될 수 있다.
- [0060] 무선 심박수 모니터(1) 및 이동 전화(7)는 심박수 메시지 데이터가 물리 계층은 제외하고, 실질적으로 블루투스 로우 에너지(BTLE)™ 코어 사양 버전 4.0에 따라 무선 심박수 모니터(1)에서 이동 전화(7)로 전달된다. 무선 심

박수 모니터(1) 및 이동 전화(7)는 반대 방향에서의 라디오 송신을 위한 대응하는 구성요소들을 사용하여, 2-방향 라디오 통신을 위해 갖춰질 수 있지만, 이것은 필수적이지 않다.

- [0061] 도 3은 본 발명을 구체화한 라디오 송신기 내에서의 요소들에 대해 더 상세하게 도시한다. 이것은 상기 설명된 바와 동일한 라디오 송신기(4)일 수 있거나, 또는 그것은 상이한 라디오 송신기일 수 있다.
- [0062] 이러한 라디오 송신기는 먼저 차동 인코더 유닛(13)을 사용하여 데이터 비트들을 차동 인코딩한다. 각각의 차동 인코딩된 비트는 그 후 업-치핑 유닛(14)에 의해, 2개의 준-대척 칩 시퀀스들 중 하나에 의해 표현된다. 시퀀스에서 칩들의 각각은 그 후 GFSK 필터(15)를 통해 공급되며 GFSK 변조 신호로서 통신된다.
- [0063] 도 4는 업-치핑 유닛(14)에 의해 사용될 수 있는 두 개의 가능한 준-대척 칩 시퀀스들(16, 17)을 예시한다. 2개의 칩 시퀀스들은 동일한 길이이며 단지 제 1 및 마지막 칩들에서만 다르다. 선회되는 바와 같이, 변조 지수가 공칭  $h=0.5$ 일 때, 두 개의 신호들 사이에서의 위상 차는, 양쪽 시퀀스들(16, 17) 모두의 첫 5개의 칩들, 뿐만 아니라 마지막 칩(남아있는 칩들은 간결성을 위해 생략된다)을 도시하는, 도 4로부터 보여질 수 있는 바와 같이, 시퀀스들에서의 바로 제 1 칩 및 바로 마지막 칩을 제외하고 어디에서나  $\Pi$ 일 것이다.
- [0064] 도 5는 본 발명을 구체화한 라디오 수신기의 디지털 기저대역 프로세싱 스테이지에 대해 상세히 도시한다. 이것은 상기 설명된 바와 동일한 라디오 수신기(9)일 수 있거나, 또는 그것은 상이한 라디오 수신기일 수 있다.
- [0065] 필터링 및 잔여 주파수 오프셋 추적과 같은 단계들은 간결성의 이유들로 도시되지 않는다.
- [0066] 라디오 수신기의 설계는 현실적인 채널 조건들(반송 주파수 오프셋, 반송파 편이(carrier drift), 페이딩(fading) 등)을 용인하면서 민감성을 최적화하는 것을 목표로 한다. 그것은 타이밍 동기화 및 검출을 위해 상관을 사용한다.
- [0067] 복소-값 기저대역 샘플들은 도 5의 좌측 측면으로부터 들어가 도시된다. 이것들은 CORDIC 유닛(18)으로, 및 거기에서부터 역확산기 유닛(19)으로 전달된다. 역확산기 유닛(19)은 데이터를 포함한 인입 칩 시퀀스 및 이러한 칩 시퀀스의 저장된 레플리카 사이에서 교차 상관을 수행한다. 역확산기 유닛(19)의 출력은 두 개의 상이한 칩 시퀀스들 사이에서 위상 차를 운반한다. 이것은 제 2 CORDIC 유닛(20)으로, 및 그 후 DBPSK 디코더 유닛(21)으로 전달된다. 인입 샘플들은 또한 타이밍 동기화 및 초기 반송 주파수 오프셋 추정을 수행하는 동기화 유닛(22)으로 전달된다.
- [0068] 도 5는 다음의 약어들을 포함한다:
- [0069]  $n$  = 칩 인덱스;
- [0070]  $m$  = 심볼 인덱스;
- [0071]  $z(n)$  = 복소 기저대역 샘플들;
- [0072]  $z'(n)$  = 반송-주파수 오프셋(CFO) 보상  $z(n)$ ; 및
- [0073]  $p(k)$  = 칩 시퀀스를 표현한 복소 값들.
- [0074] 동기화는 특정한 종류의 상관기에 관해 구축된다. 상관기는 종래의 지연-및 상관형의 반송 주파수 오프셋 추정기의 추정치에 대한 변조의 효과를 소거하기 위해 수신된 심볼들에서 데이터의 지식을 이용하는 데이터-보조 공통 타이밍 및 주파수 추정기이다. 동기화를 지지하는 원리는 본 출원인에 의해, WO 2014/167318호에서 설명되며, 그 전체 내용들은 본 출원에 참조로서 통합된다.
- [0075] 도 5의 라디오 수신기의 성능은, 이상적인 동기화를 가정할 때, 다음과 같이 분석될 수 있다.
- [0076]  $h=0.5$ 의 변조 지수를 가진 FSK 시그널링의 판별기 검출을 위해, 비트 에러 레이트(BER) = 0.001에 대해  $E_b/N_0 \approx 12\text{dB}$ 임이 예상된다. I 및 Q에 대해 직접 교차-상관할 때, 부가적인 백색 가우시안 잡음(AWGN)에서의 BER에 대한 기본 이론은 상관된 이진 시그널링의 비-간섭성 검출을 위해 그것을 따를 것으로 예상된다. 변조 지수 = 0.5에 대해, 비트 에러 레이트(BER) = 0.001에 대해  $E_b/N_0 \approx 14.5\text{dB}$ .
- [0077] 판별기 검출은 일반적으로 이러한 변조 지수에 대한 상관된 이진 시그널링의 비-간섭성 검출을 증가할 것이다. 그러나, 판별기(discriminator) 뒤에 상관시킴으로써, 판별기는 여기에서 FM "임계치" 아래에서 동작한다 - 검출기 성능이 빠르게 악화되는 영역.

[0078] DBPSK의 차동 검출을 위해, 비트 에러 레이트(BER) = 0.001에 대해  $E_b/N_0 \approx 8\text{dB}$ . 이것은 직교 검출에 비교하여 6.5dB 더 작으며 변조 지수 = 0.5를 고려해볼 때 GFSK 신호의 판별기 검출에 대한 경우보다 약 4dB 더 작다. 따라서, GFSK 변조된 칩들로 만든 심볼들에 대해 DBPSK 시그널링을 이용하는 것은 링크 버짓 상에 4dB의 고유의 이득을 준다. 이것은 본 접근법의 매우 중요한 이익이다. 이러한 이득은 보통의 DSSS 프로세싱 이득의 최상부 상에 추가한다.

[0079] 도 5에서 "공동 타이밍 및 주파수 오프셋 동기" 동기화 유닛(22)은 모든 인입 기저대역 샘플( $z_n = I(n) + jQ(n)$ )에 대해 다음의 교차 상관을 실행한다:

[0080] 
$$\Delta\hat{f} = \frac{1}{2\pi DT} \arg\left\{ \sum_{i=0}^{L-1} [z_{n-i} z_{n-i-D}^*] d_i \right\}$$

[0081] 여기에서 L은 업-샘플링된 "동기 워드"(상기 특정된 16-비트 시퀀스와 같은)를 표현한 샘플들의 수이고; 여기에서 D는 설계 시간에 결정되는 래그이며; 여기에서 T는 샘플 기간이다.

[0082] 계수들은  $d_i = p_i^* p_{i+D}$ 로서 주어지며 여기에서 p는 업-샘플링되고 변조된 동기 워드 비트들을 구성하는 샘플들이다. 상관기는 유효한 것으로 주파수 오프셋 추정치에 대한 정확한 시간 포인트에서 샘플링되어야 하며, 이러한 시간 인스턴트는 "피크(peak)"가 다음에 의해 주어진  $M_n$ 의 값에서 관찰될 때이다:

[0083] 
$$M_n = \frac{|C_n|}{P_n}, \text{ 여기서, } C_n = \sum_{i=0}^{L-1} [z_{n-i} z_{n-i-D}^*] d_i \text{ 및 } P_n = \sum_{i=0}^{L-1} |z_{n-i-D}|^2$$

[0084]  $M_n$ 에서의 유효 피크는 프로그램 가능한 임계치에 대해 결정된다. 성공적인 동기화 이벤트는 "동기 워드(sync word)" 길이, 플러스 또는 마이너스 잡음을 고려하기 위한 값( $\Delta$ )에 대응하는 양들만큼 시간에서 이격된 몇 개의 유효 피크들의 관찰에 의해 정의된다. 이러한 동기화 이벤트는 더욱이 데이터 심볼들의 추후 검출을 위해 사용될 스트로브 시간을 정의한다.

[0085] 계수들( $d_i = p_i^* p_{i+D}$ )은 설계 시간에서 산출된다.

[0086] DBPSK 검출은 다음과 같이 구현된다.

[0087] GFSK-변조 칩들의 시퀀스를 나타내는 복소 기저대역 샘플들( $z(n)$ )의 수신된 시퀀스는 디지털-기저대역-상관기 역확산기 유닛(19)에 의해 프로세싱된다. 칩 시퀀스는 기간( $T_s$ )을 갖고 하나의 심볼을 구성한다. 일정한 포락선(A)을 가정하면:

[0088] 
$$z(n) = A e^{j\varphi(n)}, \text{ 여기서, } \varphi(n) = \varphi_0 + \omega_{cfo}n + \varphi_m(n)$$

[0089] 여기에서,  $\varphi_0$ 는 송신기와 수신기 사이에서의 일정한 위상 오프셋을 나타내는 반면,  $\omega_{cfo}$ 는 무시해도 될 정도의 반송 주파수 오프셋을 나타낸다(비-제로 반송 주파수 오프셋은 심볼들 사이의 콘스텔레이션 회전을 야기할 것이며; 이러한 오프셋이 반송-주파수 오프셋 추정 및 보상 후 충분히 작게 유지되지 않는다면, 비트 에러 레이트는 증가할 것이다). 차동 위상 변조는 이전 심볼에 대한 위상을 나타내는  $\varphi_m(n)$ 에 내장되며,  $\{0, \Pi\}$ 에서의 값들을 띠 것이다.

[0090] 메시지 데이터 비트들은 연속적인 수신 심볼들 사이에서  $\varphi_m(n)$ 의 위상 시프트를 관찰함으로써 디코더 유닛(21)에서 결정된다. 라디오 송신기는 송신될 데이터에 의존하여, 심볼에서 모든 칩들에 동일한 위상 시프트를 적용한다. 메시지 데이터의 각각의 비트는 그러므로 '0'을 내포하는 위상 시프트 없이 및 '1'을 내포하는  $\Pi$ 의 위상 시프트를 갖고(또는, 차동 인코딩이 어떻게 라디오 송신기에서 구현되는지에 의존하여, 그 역 또한 마찬가지이다), 차동 디코딩될 수 있다.

[0091] N개의 GFSM 변조 칩들(간략화를 위해, 지금부터 오버샘플링이 없다고 가정하면)을 표현한 N개의 복소 계수들의

세트와  $z(n)$ 의  $N$ 개의 값들을 상관시키기 위해, 계수( $p(k)$ )는 다음과 같이 쓰여질 수 있다:

[0092]  $p(k) = e^{j\theta_k}$ .

[0093] 간단히 하기 위해,  $\omega_{cfo}=0$ 임을 가정하면, 시간( $t$ )에서 복소-값 상관기 출력은 그 후 다음에 의해 주어진다:

$$\begin{aligned} C(t) &= \sum_{k=0}^{N-1} z(n-k)p^*(k) \\ &= A \sum_{k=0}^{N-1} e^{j\varphi(n-k)} e^{-j\theta_k} \\ &= A \sum_{k=0}^{N-1} e^{j(\varphi_0 + \varphi_m(n-k) - \theta_k)} \\ &= A \sum_{k=0}^{N-1} e^{j(\varphi_0 + q\pi)}, q \in \{0, 1\}, \text{ 시간 동기화될 때 } \varphi_m(n-k) - \theta_k \in \{0, \pi\} \\ &= ANe^{j(\varphi_0 + q\pi)}, \end{aligned}$$

[0094] 여기서  $angle(C(t)) = \varphi_0 + q\pi$ .

[0095] 따라서,  $C(t)$ 와  $C(t+T_s)$  사이에서의 각도 차는 0 또는  $\pi$ 일 것이다.  $\varphi_0$ 은 사라진다는 것에 유의하자.

[0096] 각도 차가  $\pi/2$  이상 또는  $-\pi/2$  미만이면, 검출기는 '1'을 출력할 것이며; 그렇지 않다면 그것은 '0'을 출력할 것이다.

[0097] 간섭성 검출을 위해,  $\varphi_0$ 은 추정될 필요가 있을 것이다.

[0098] 심볼 타이밍 동기화 또는 추적은 "피크 값"이  $|C(t)|$  상에서 관찰될 때의 시간을 검출함으로써 행해질 수 있다.

[0099] 잔여 반송 주파수 오프셋( $\omega_{cfo}$ )은 반송-주파수 편이 및 초기 반송 주파수 오프셋 추정 에러의 결과이며,  $C(t)$ 와  $C(t+T_s)$  사이에서의 각도 차를 봄으로써 추적될 수 있다.  $\omega_{cfo}$ 는 변조로 인한 알려진 위상 시프트(결정 후)를 감한 후, 다음과 같이 추정될 수 있다:

[0100]  $\widehat{\omega_{cfo}} = \frac{angle(C(t+T_s)) - angle(C(t))}{T_s}$ .

[0101] [Hz]로의 잔여 반송 주파수 오프셋( $\widehat{F_{cfo}}$ )은 그 후  $\widehat{F_{cfo}} = \widehat{\omega_{cfo}} \frac{1}{2\pi}$  [Hz] 로서 산출된다.

[0102] 도 6은 도 5에 예시된 바와 같이 라디오 수신기에서 동기화 프로세스 및 데이터 수신을 조직할 수 있는 유한 상태 머신(finite state machine; FSM)을 도시한다.

[0103] 이러한 FSM의 상태는 가변 synstate에 의해 주어진다. 시간( $t=0$ )에서 FSM은 syncstate = 0에서 시작된다. 이 상태에서, FSM은 도 6에서 파선의 우측 측면으로 향하며 동기화 유닛(22)에 의해 계산된  $M_n$ 의 값에서 "피크들"을 찾는다. 각각의 "피크"에 대해,  $\Delta \hat{f}$  값은 벡터 요소(cfoVec[MnCnt])에 기록되며 "피크" 카운터(MnCnt)는 1만큼씩 증분된다. 각각의 피크 사이에서의 특정한 거리(dist)를 가진 이러한 피크들의 충분한 최소 수(min)가 관찰될 때, 초기 타이밍 및 반송 주파수 오프셋 동기화가 달성되며 syncstate는 1만큼씩 증분된다.

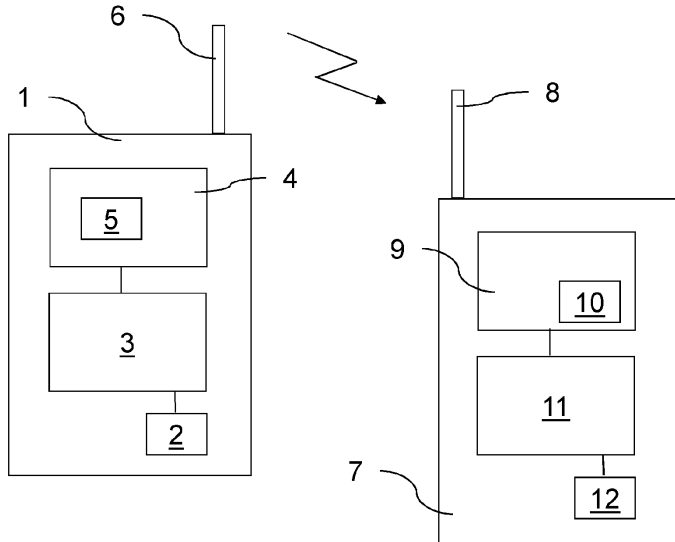
[0104] 카운터에 의해 측정된 바와 같이(카운트들 모듈로 심볼당 샘플들의 수) "피크들"의 평균 시간은 추후 심볼 경계들(스트로브 타이밍)을 정의된다. 부가적으로, 초기 반송 주파수 오프셋 추정치는 벡터(cfoVec)에서의 요소들의 평균으로서 계산된다. 이러한 값( $\widehat{\omega_{cfo}}$ )은 그 후 CORDIC 유닛(18)으로 전달된다.

[0105] 이제, syncstate>0을 갖고, FSM은 페이로드를 수신하기 위해, 도 6에서의 파선의 좌측 측면에 들어간다. 이 상태에서, 메시지 데이터 비트들은 상기 설명된 바와 같이, 디코더 유닛(21)에서 연속적인 수신 심볼들 사이에서  $\varphi_m(n)$ 의 위상 시프트를 관찰함으로써 결정된다. 부가적으로, 상기 설명된 바와 같이, 잔여 반송 주파수 오프셋

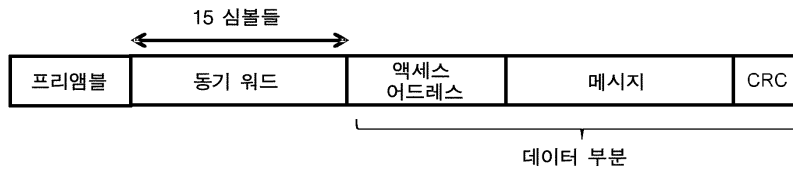
(CFO)이 추적되며  $\omega_{CFO}$ 가 계산된다. 결과적으로, 이 값은 CORDIC 유닛(18)에서 값( $\widehat{\omega_{cfo}}$ )을 업데이트하기 위해 (그것에 부가됨으로써) 사용된다.

도면

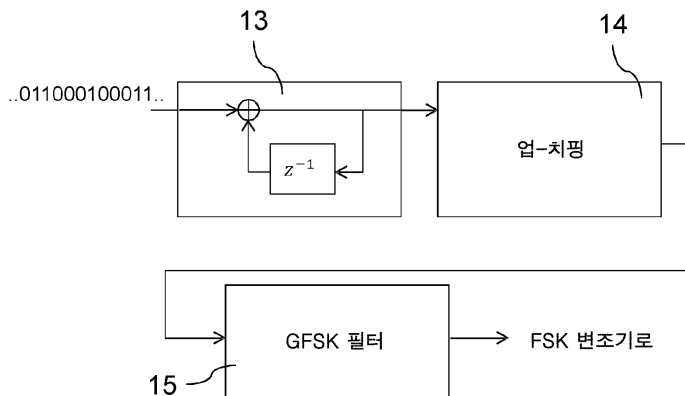
도면1



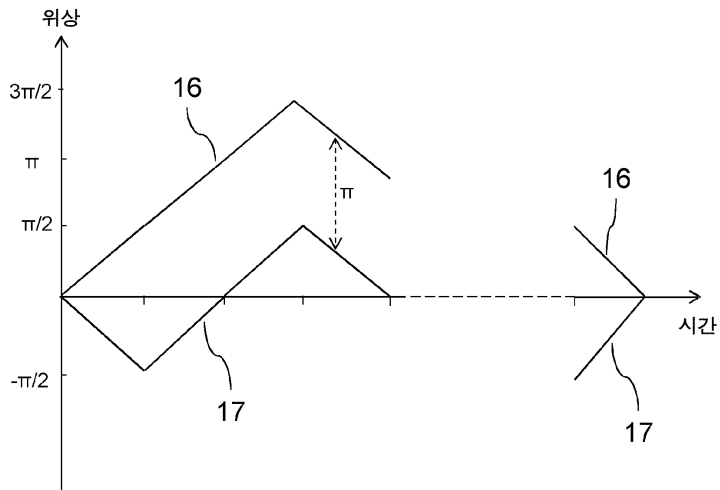
도면2



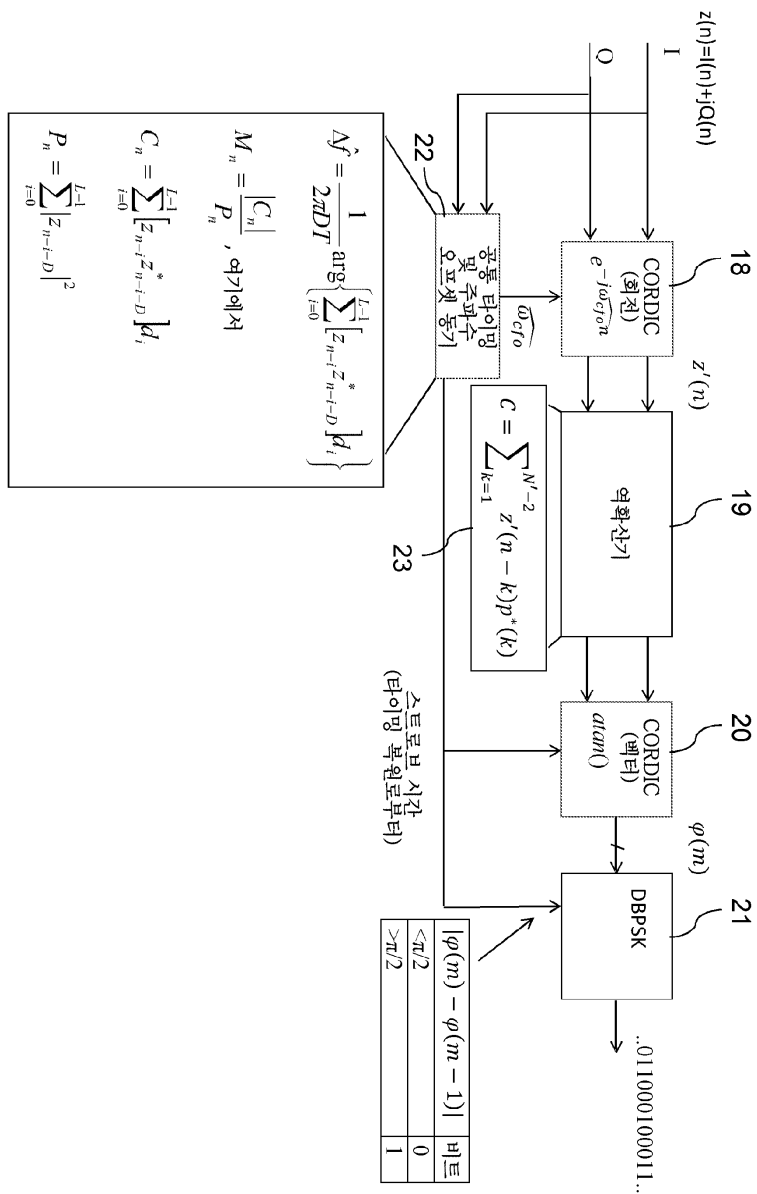
도면3



도면4



도면5



도면6

