



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I463501 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：099144318

(22)申請日：中華民國 99 (2010) 年 12 月 16 日

(51)Int. Cl. : G11C29/04 (2006.01)

(71)申請人：點序科技股份有限公司 (中華民國) ASOLID TECHNOLOGY CO., LTD. (TW)

新竹市水源街 93 號 7 樓之 2

(72)發明人：劉亦峻 LIU, YI CHUN (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

CN 101329646A

CN 101329647A

US 6904400B1

US 2006/0206749A1

US 2006/0217952A1

US 2009/0144487A1

審查人員：蕭明椿

申請專利範圍項數：10 項 圖式數：2 共 15 頁

(54)名稱

快閃記憶體發展系統

DEVELOPMENT SYSTEM FOR A FLASH MEMORY MODULE

(57)摘要

一種快閃記憶體發展系統，包括傳輸路徑切換器以及快閃記憶體模擬器。傳輸路徑切換器串接在記憶體控制器以及快閃記憶體的信號傳輸路徑間並接收偵錯啟動信號。快閃記憶體模擬器藉由信號傳輸路徑接收來自記憶體控制器的至少一控制命令。快閃記憶體模擬器並解譯控制命令且回應控制命令以產生至少一模擬回應資料。快閃記憶體模擬器更透過信號傳輸路徑傳送模擬回應資料至記憶體控制器。

A development system for a flash memory module is disclosed. The development system includes a transporting path switch and a flash memory emulator. The transporting path switch coupled in serial on a signal transporting path between a memory controller and a flash memory and receives a debug enable signal. The flash memory emulator receives at least a control command from the memory controller through the signal transporting path. The flash memory emulator phrases the control command and generates at least an emulating response data correspondingly. The flash memory emulator further transports the emulating response data to the memory controller through the signal transporting path.

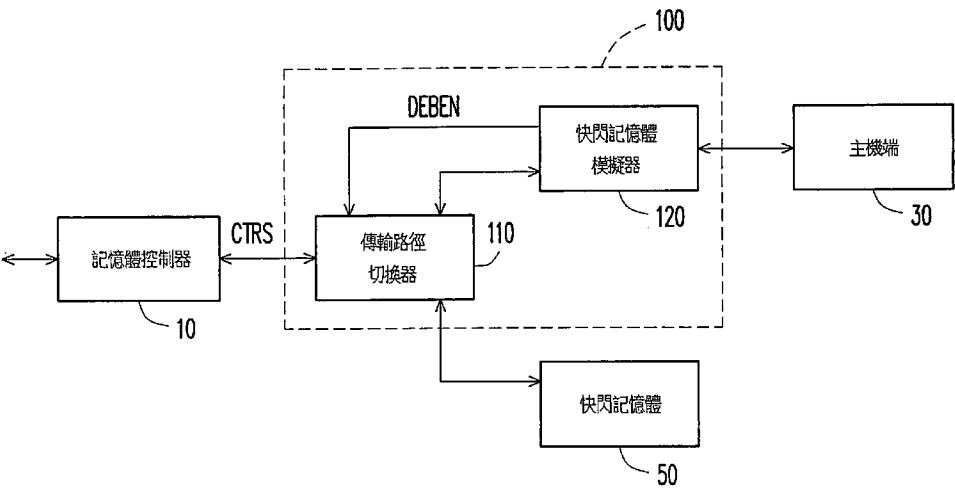


圖 1

- 100 . . . 發展系統
- 110 . . . 傳輸路徑切換器
- 120 . . . 快閃記憶體模擬器
- 10 . . . 記憶體控制器
- 30 . . . 主機端
- 50 . . . 快閃記憶體
- CTRLS . . . 控制命令
- DEBEN . . . 偵錯啟動信號

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99144318

※申請日：99.12.16

※IPC 分類：G11C 29/04 (2006.01)

一、發明名稱：

快閃記憶體發展系統 / DEVELOPMENT SYSTEM
FOR A FLASH MEMORY MODULE

二、中文發明摘要：

一種快閃記憶體發展系統，包括傳輸路徑切換器以及快閃記憶體模擬器。傳輸路徑切換器串接在記憶體控制器以及快閃記憶體的信號傳輸路徑間並接收偵錯啟動信號。快閃記憶體模擬器藉由信號傳輸路徑接收來自記憶體控制器的至少一控制命令。快閃記憶體模擬器並解譯控制命令且回應控制命令以產生至少一模擬回應資料。快閃記憶體模擬器更透過信號傳輸路徑傳送模擬回應資料至記憶體控制器。

三、英文發明摘要：

A development system for a flash memory module is disclosed. The development system includes a transporting path switch and a flash memory emulator. The transporting path switch coupled in serial on a signal transporting path between a memory controller and a flash memory and

receives a debug enable signal. The flash memory emulator receives at least a control command from the memory controller through the signal transporting path. The flash memory emulator phrases the control command and generates at least an emulating response data correspondingly. The flash memory emulator further transports the emulating response data to the memory controller through the signal transporting path.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：發展系統

110：傳輸路徑切換器

120：快閃記憶體模擬器

10：記憶體控制器

30：主機端

50：快閃記憶體

CTRLS：控制命令

DEBEN：偵錯啟動信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種快閃記憶體發展系統。

【先前技術】

快閃記憶體 (flash memory) 是一種可程式 (programmable) 的唯讀記憶體 (read only memory, ROM)，其允許被多次的抹除並更新所儲存的資料。

在針對快閃記憶體以及其記憶體控制器進行偵錯時，常利用所謂的發展系統 (development system) 來完成。在習知的技術領域中，這種有關於快閃記憶體模組的發展系統可以以用邏輯分析儀 (Logical Analyzer, LA) 或通用異步收發傳輸器 (Universal Asynchronous Receiver/Transmitter, UART) 來建構。上述利用邏輯分析儀的習知作法，雖可以提供較為詳細的偵錯資料，但在價格上相當的昂貴。此外，邏輯分析儀也無法提供長時間的偵錯記錄，並不是一種好的選擇。而在使用通用異步收發傳輸器的技術中，其所產生的偵錯記錄並無法與錯誤的發生時間產生關聯。另外，通用異步收發傳輸器也無法提供大數量的偵錯記錄的記錄功能。

當然，除來上述所提的兩種方式外，習知技術也提出多種不同的替代方案，來進行快閃記憶體模組的偵錯及監控動作。然而，在兼顧成本以及功效上，並無令人滿意的解答。因此，有效的快閃記憶體模組的發展系統的建立，

也為本領域的設計者所重視的一個課題。

【發明內容】

本發明提供一種快閃記憶體發展系統，有效執行快閃記憶體及其所屬的記憶體控制器的除錯及監控功能。

本發明提出一種快閃記憶體發展系統，包括傳輸路徑切換器以及快閃記憶體模擬器。傳輸路徑切換器串接在記憶體控制器以及快閃記憶體的信號傳輸路徑間並接收偵錯啟動信號。快閃記憶體模擬器耦接傳輸路徑切換器，藉由信號傳輸路徑接收來自記憶體控制器的至少一控制命令。快閃記憶體模擬器並解譯控制命令且回應控制命令以產生至少一模擬回應資料。快閃記憶體模擬器更透過信號傳輸路徑傳送模擬回應資料至記憶體控制器。

在本發明之一實施例中，上述之傳輸路徑切換器藉由信號傳輸路徑將記憶體控制器傳送的控制命令傳送至快閃記憶體模擬器及快閃記憶體，並依據偵錯啟動信號將模擬回應資料及快閃記憶體產生的實際回應資料的其中之一藉由信號傳輸路徑傳送至記憶體控制器。

在本發明之一實施例中，上述之快閃記憶體模擬器更耦接至主機端，用以傳送記憶體控制器的至少狀態資訊至主機端。

在本發明之一實施例中，上述之狀態資訊包括記憶體控制器針對快閃記憶體進行存取的交通流量。

在本發明之一實施例中，上述之主機端更透過快閃記

憶體模擬器以及信號傳輸路徑來依據非快閃記憶體控制命令來與記憶體控制器相互傳送至少一資料信號。

在本發明之一實施例中，上述之主機端更設定偵錯測試模式，並依據狀態資訊與偵錯測試模式來使快閃記憶體模擬器產生偵錯測試資料以作為模擬回應資料並傳送至記憶體控制器。

在本發明之一實施例中，上述之記憶體控制器依據固定週期來檢查快閃記憶體模擬器是否傳送快閃記憶體存取需求，記憶體控制器並依據快閃記憶體存取需求來存取快閃記憶體。

在本發明之一實施例中，上述之快閃記憶體存取需求由主機端發送至快閃記憶體模擬器。

在本發明之一實施例中，上述之主機端更用以儲存狀態資料以獲得備份狀態資料。

在本發明之一實施例中，上述之主機端更傳送備份狀態資料至記憶體控制器以作為記憶體控制器的工作狀態的回復依據。

基於上述，本發明藉由傳輸路徑切換器中所提供的信號傳輸路徑，來完成記憶體控制器、快閃記憶體以及快閃記憶體模擬器間的多種信號的傳輸動作。並藉以達成透過快閃記憶體模擬器來對快閃記憶體及其所屬的記憶體控制器進行監控及除錯的動作。不需要透過昂貴的儀器或複雜的方法，提升產品的成本競爭力。

為讓本發明之上述特徵和優點能更明顯易懂，下文特

舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

首先請參照圖 1，圖 1 繪示本發明實施例的快閃記憶體模組的發展系統 100 的示意圖。其中，發展系統 100 包括傳輸路徑切換器 110 以及快閃記憶體模擬器 120。傳輸路徑切換器 110 串接在快閃記憶體模組的記憶體控制器 10 以及快閃記憶體 50 的信號傳輸路徑間。快閃記憶體模擬器 120 耦接傳輸路徑切換器 110，藉由信號傳輸路徑接收來自記憶體控制器的至少一個控制命令 CTRLS，並解譯所接收的控制命令 CTRLS 以回應控制命令 CTRLS 以產生至少一個模擬回應資料。快閃記憶體模擬器 120 更透過信號傳輸路徑傳送模擬回應資料至記憶體控制器。

上述的信號傳輸路徑包括將記憶體控制器 110 傳送的控制命令 CTRLS 同時傳送至快閃記憶體模擬器 120 及快閃記憶體 50。另外，信號傳輸路徑還包括將快閃記憶體模擬器 120 對應控制命令 CTRLS 所產生的模擬回應資料及快閃記憶體 50 產生的實際回應資料的其中之一傳送至記憶體控制器 110。在此，傳輸路徑切換器 110 接收偵錯啟動信號 DEBEN 並依據偵錯啟動信號 DEBEN 來選擇傳送快閃記憶體模擬器 120 所產生的模擬回應資料或快閃記憶體 50 產生的實際回應資料來回傳至記憶體控制器 110。具體一點來說明，當偵錯啟動信號 DEBEN 指示偵錯動作被啟動時，傳輸路徑切換器 110 選擇傳送快閃記憶體模擬器

120 所產生的模擬回應資料回傳至記憶體控制器 110。相反的，若當偵錯啟動信號 DEBEN 指示偵錯動作被關閉時，傳輸路徑切換器 110 選擇傳送快閃記憶體 50 產生的實際回應資料來回傳至記憶體控制器 110。

快閃記憶體模擬器 120 則是設計成包括快閃記憶體 50 的所有功能。簡單來說，就是當記憶體控制器 10 對快閃記憶體 50 寫入資料時，這些資料同時會被寫入至快閃記憶體模擬器 120。相同的，當記憶體控制器 10 發送對快閃記憶體的讀取命令被傳送至快閃記憶體模擬器 120 時，快閃記憶體模擬器 120 回傳送出其所儲存的資料至記憶體控制器 10。

請注意，偵錯啟動信號 DEBEN 可以由快閃記憶體模擬器 120 所產生。另外，快閃記憶體模擬器 120 還提供依個傳輸介面，來與外界的主機端 30 進行連接以及資料傳輸的動作。也就是說，快閃記憶體模擬器 120 可已透過其與主機端 30 的連接介面來將快閃記憶體模組內的一個或多個的狀態資訊傳送至主機端 30。另外，快閃記憶體模擬器 120 也可以透過這個連接介面來接收主機端 30 所提供的命令，來進行對快閃記憶體模組進行偵錯的相關動作。在本實施例中，偵錯啟動信號 DEBEN 也可以是透過主機端 30 來下達偵錯啟動的命令，並使快閃記憶體模擬器 120 來產生指示偵錯動作被啟動的偵錯啟動信號 DEBEN。

附帶一提的，主機端 30 可以是個人電腦或其他相同類型具有資料處理能力的電子裝置。

在本實施例中，快閃記憶體模擬器 120，可以藉由其透過傳輸路徑切換器 110 所提供信號傳輸路徑來接收的一個或多個的控制命令 CTRLs，來解析出快閃記憶體控制器 10 對快閃記憶體 50 進行存取的交通流量，並將這個交通流量週期性或非週期性的傳送至主機端 30。主機端 30 則可以依據所接收的一個或多個的交通流量，來監控快閃記憶體控制器 10 與快閃記憶體 50 的存取狀態。

另外，主機端 30 更可以透過快閃記憶體模擬器 120 以及信號傳輸路徑 110 來依據非快閃記憶體控制命令來與記憶體控制器 10 相互傳送一個或多個的資料信號。其中，上述的非快閃記憶體控制命令並不會被記憶體控制器 10 所誤譯而對快閃記憶體 50 進行錯誤的存取。因此，利用非快閃記憶體控制命令可以有效使主機端 30 與記憶體控制器 10 進行雙向溝通，而不會產生對既有的快閃記憶體模組產生干擾。此外，非快閃記憶體控制命令可以由設計者自行定義，並使主機端 30 以及記憶體控制器 10 雙方皆可以識別即可。

在另一方面，主機端 30 還可以由使用者來設定一個偵錯測試模式。當快閃記憶體模擬器 120 所傳送的狀態資訊與所設定的偵錯測試模式相符合時，則使快閃記憶體模擬器 120 產生偵錯測試資料以作為模擬回應資料並傳送至記憶體控制器 10。具體一點來說明，例如主機端 30 設定當記憶體控制器 10 發送針對位址 0x0020 讀出資料為偵錯測試模式。當快閃記憶體模擬器 120 接收到的記憶體控制

器 10 所傳送的控制命令 CTRL5 恰為針對位址 0x0020 讀出資料時，快閃記憶體模擬器 120 變更原來應傳送出的儲存在位址 0x0020 的資料(例如是 0xAA)為偵錯測試資料 0x55 來作為模擬回應資料並傳送至記憶體控制器 10。並藉此來觀察記憶體控制器 10 接收到這個與預期不同的模擬回應資料所進行的反應，以觀測記憶體控制器 10。

記憶體控制器 10 還可以依據一個固定週期來檢查快閃記憶體模擬器 120 是否有傳送快閃記憶體存取需求。當記憶體控制器 10 偵測到記憶體模擬器 120 有發送快閃記憶體存取需求時，記憶體控制器 10 則進行對快閃記憶體 50 進行存取。在本實施例中，快閃記憶體存取需求可以由主機端 30 產生，並透過快閃記憶體模擬器 120 來發送。而記憶體控制器 10 所針對快閃記憶體 50 所進行的存取結果，則可以藉由傳輸路徑切換器 110 及快閃記憶體模擬器 120 來傳回主機端 30。也就是說，在本實施例中，主機端 30 可以存取快閃記憶體 50。

主機端 30 還可以將由快閃記憶體模擬器 120 所獲得的狀態資料進行儲存以獲得備份狀態資料。主機端 30 更可以傳送所預先儲存的備份狀態資料至記憶體控制器 10 以作為記憶體控制器 10 的工作狀態的回復依據。

以下請參照圖 2，圖 2 繪示本發明實施例的傳輸路徑切換器 110 的一實施方式示意圖。傳輸路徑切換器 110 包括路徑切換模組 111。路徑切換模組 111 由開關 SW1 及 SW2 來建構。其中，開關 SW1 及 SW2 皆受控於偵錯啟動

信號 DEBEN，且開關 SW1 及 SW2 的導通或斷開的狀態是相反的。簡單來說，傳輸路徑切換器 110 會將所接收來自於記憶體控制器 10 的控制命令 CTRS 同時透過端點 A1 以及 A2 分別傳送至快閃記憶體模擬器 120 以及快閃記憶體 50。在另一方面，由快閃記憶體模擬器 120 以及快閃記憶體 50 傳至傳輸路徑切換器 110 的資料(模擬回應資料以及實際回應資料)則會依據路徑切換模組 111 中的開關 SW1 及 SW2 的導通或斷開狀態，來傳送模擬回應資料以及實際回應資料的其中之一至記憶體控制器 10。

綜上所述，本發明利用快閃記憶體模擬器來解譯記憶體控制器所產生的控制命令，並依據控制命令以產生模擬回應資料以進行監控及偵錯的功能。另外，本發明更藉由傳輸路徑切換器來選擇偵錯動作啟動或關閉時的信號傳輸路徑，並藉以使快閃記憶體模擬器在偵錯動作啟動時，可以有效與快閃記憶體以及記憶體控制器進行互動，而在偵錯動作關閉時，可以回復快閃記憶體以及記憶體控制器的正常動作。如此一來，在不需要高成本的電子裝置的輔助下，可以達到快閃記憶體的偵錯及監控功能。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示本發明實施例的快閃記憶體模組的發展系統 100 的示意圖。

圖 2 繪示本發明實施例的傳輸路徑切換器 110 的一實施方式示意圖。

【主要元件符號說明】

100：發展系統
110：傳輸路徑切換器
120：快閃記憶體模擬器
10：記憶體控制器
30：主機端
50：快閃記憶體
111：路徑切換模組
CTRLS：控制命令
DEBEN：偵錯啟動信號
SW1、SW2：開關
A1、A2：端點

七、申請專利範圍：

1. 一種快閃記憶體發展系統，包括：

一傳輸路徑切換器，串接在一記憶體控制器以及一快閃記憶體的一信號傳輸路徑間，接收一偵錯啟動信號；以及

一快閃記憶體模擬器，耦接該傳輸路徑切換器並設置在該快閃記憶體外，藉由該信號傳輸路徑接收來自該記憶體控制器的至少一控制命令，解譯該控制命令並回應該控制命令以產生至少一模擬回應資料，該快閃記憶體模擬器更透過該信號傳輸路徑傳送該模擬回應資料至該記憶體控制器。

2. 如申請專利範圍第 1 項所述之快閃記憶體發展系統，其中該傳輸路徑切換器藉由該信號傳輸路徑將該記憶體控制器傳送的該控制命令傳送至該快閃記憶體模擬器及該快閃記憶體，並依據該偵錯啟動信號將該模擬回應資料及該快閃記憶體產生的一實際回應資料的其中之一藉由該信號傳輸路徑傳送至該記憶體控制器。

3. 如申請專利範圍第 1 項所述之快閃記憶體發展系統，其中該快閃記憶體模擬器更耦接至一主機端，用以傳送該記憶體控制器的至少一狀態資訊至該主機端。

4. 如申請專利範圍第 3 項所述之快閃記憶體發展系統，其中該狀態資訊包括該記憶體控制器針對該快閃記憶體進行存取的一交通流量。

5. 如申請專利範圍第 3 項所述之快閃記憶體發展系

統，其中該主機端更透過該快閃記憶體模擬器以及該信號傳輸路徑來依據一非快閃記憶體控制命令來與該記憶體控制器相互傳送至少一資料信號。

6. 如申請專利範圍第 3 項所述之快閃記憶體發展系統，其中該主機端更設定一偵錯測試模式，並依據該狀態資訊與該偵錯測試模式來使該快閃記憶體模擬器產生一偵錯測試資料以作為該模擬回應資料並傳送至該記憶體控制器。

7. 如申請專利範圍第 3 項所述之快閃記憶體發展系統，其中該記憶體控制器依據一固定週期來檢查該快閃記憶體模擬器是否傳送一快閃記憶體存取需求，該記憶體控制器並依據該快閃記憶體存取需求來存取該快閃記憶體。

8. 如申請專利範圍第 7 項所述之快閃記憶體發展系統，其中該快閃記憶體存取需求由該主機端發送至該快閃記憶體模擬器。

9. 如申請專利範圍第 3 項所述之快閃記憶體發展系統，其中該主機端更用以儲存該狀態資料以獲得一備份狀態資料。

10. 如申請專利範圍第 9 項所述之快閃記憶體發展系統，其中該主機端更傳送該備份狀態資料至該記憶體控制器以作為該記憶體控制器的工作狀態的回復依據。

102年7月4日修正替換頁

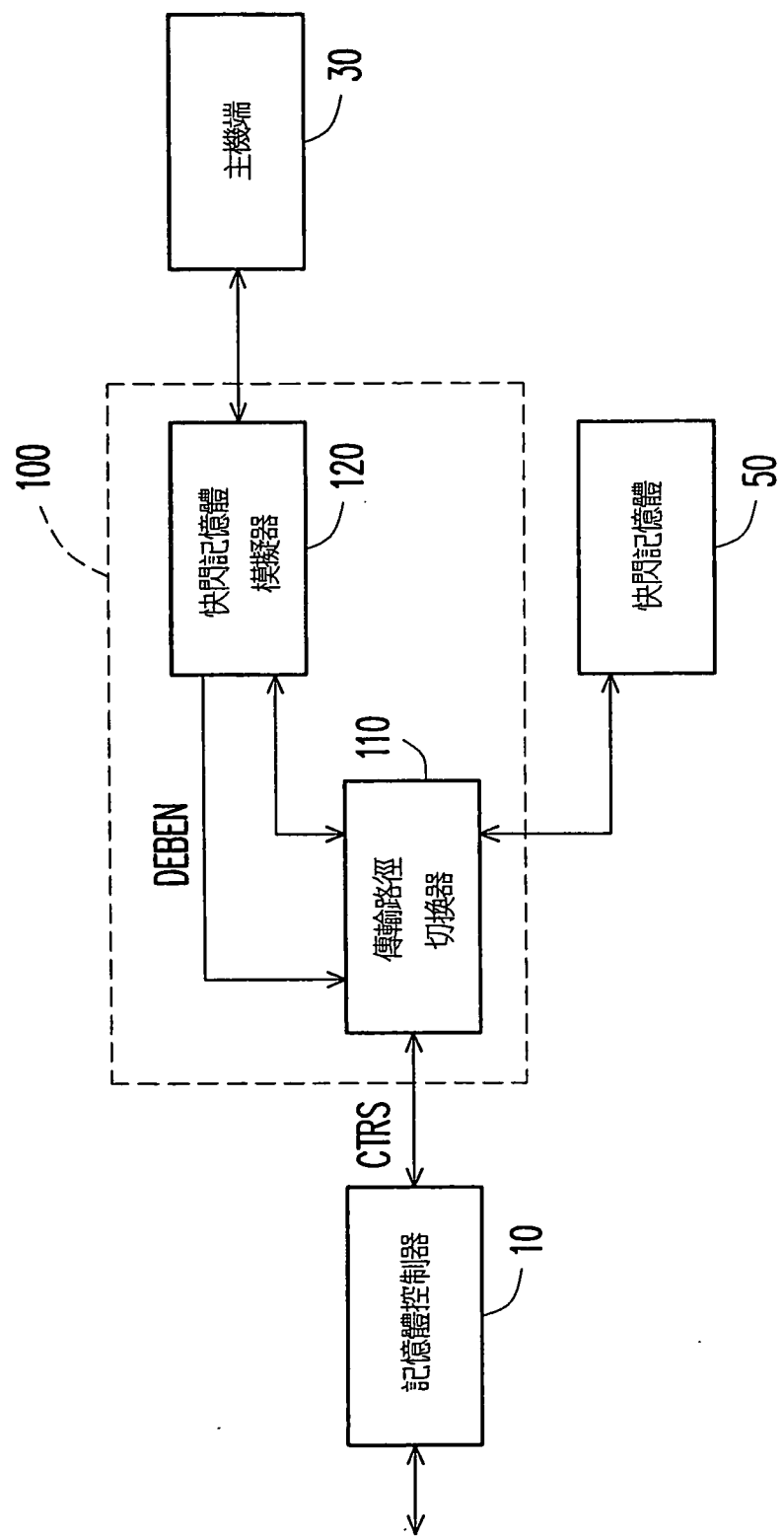
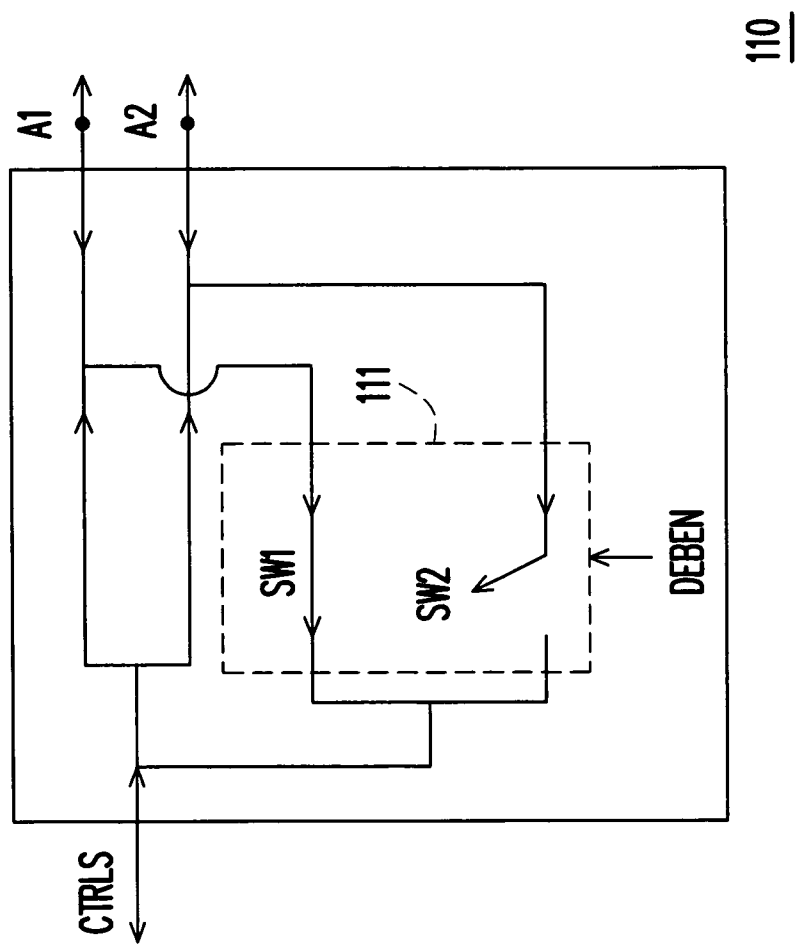


圖 1



2
圖