



(12) 发明专利

(10) 授权公告号 CN 1992255 B

(45) 授权公告日 2010.08.25

(21) 申请号 200610105783.5

(56) 对比文件

(22) 申请日 2006.07.25

CN 1459831 A, 2003.12.03, 说明书第7页第22行到第8页第22行, 附图5.

(30) 优先权数据

11/320,233 2005.12.27 US

审查员 闫东

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 陈学忠 蔡豪益 陈宪伟 郑心圃

侯上勇

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 陈晨

(51) Int. Cl.

H01L 23/522(2006.01)

H01L 23/525(2006.01)

H01L 21/768(2006.01)

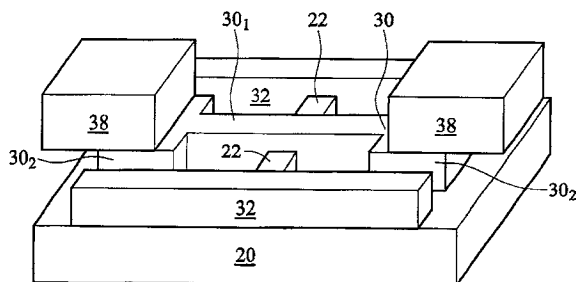
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

半导体结构、电熔线及其形成方法

(57) 摘要

本发明提供一种半导体结构、电熔线及其形成方法,该半导体结构包括介电层,位于浅沟槽隔离区上,以及接触栓塞,形成于该第一介电层内,由该第一介电层的表面贯穿至该浅沟槽隔离区上,其中该接触栓塞包括中间区,该中间区实质上比两个末端区狭窄,且该接触栓塞完全位于该浅沟槽隔离区上。该接触栓塞形成熔线元件,该半导体结构还包括两个金属线位于在该介电层上,其中两个金属线分别连接到该接触栓塞不同的末端区。本发明的熔线元件及其连接的金属线为金属对金属的接触,其可改善接触并减少接触阻抗,在接触区域较少发生烧坏现象,所以程序化电压及程序化时间较易控制。



1. 一种半导体结构,包含:

浅沟槽隔离区;

第一介电层,位于该浅沟槽隔离区上;

接触栓塞,形成于该第一介电层内,由该第一介电层的表面贯穿至该浅沟槽隔离区上,该接触栓塞的表面为一平坦的表面,且与该第一介电层的表面齐平,其中该接触栓塞包括中间区以及两个末端区,该中间区比该两个末端区狭窄,且该接触栓塞完全位于该浅沟槽隔离区上;

硅长条,位于该浅沟槽隔离区上,且与该接触栓塞的长边方向垂直,其中该接触栓塞的中间区在该硅长条之上,且该接触栓塞比该硅长条厚;以及

两个金属线,位于第二介电层中,该第二介电层位于该第一介电层上,其中该两个金属线分别连接到该接触栓塞的两个末端区。

2. 如权利要求 1 所述的半导体结构,还包括多个侧壁间隔物,位于该硅长条的侧壁上。

3. 如权利要求 1 所述的半导体结构,还包括保护线,位于该第一介电层中,其中该保护线在该接触栓塞的侧边且平行于该接触栓塞。

4. 如权利要求 1 所述的半导体结构,其中该接触栓塞包括钨。

5. 如权利要求 1 所述的半导体结构,其中该第一介电层直接位于该浅沟槽隔离区上。

6. 如权利要求 1 所述的半导体结构,其中该接触栓塞的两个末端区的宽度比该中间区宽度大 1.5 倍以上。

7. 一种电熔线,包含:

熔线元件,由钨接触栓塞在介电常数小于 4.2 的低介电常数层间介电层中形成,该钨接触栓塞的表面为一平坦的表面,且与该低介电常数层间介电层的表面齐平,其中该熔线元件包括比两个末端区狭窄的中间区;

浅沟槽隔离区,位于该熔线元件下;

多晶硅长条,位于该熔线元件的中间区下,其中该多晶硅长条位于该浅沟槽隔离区上;以及

两个金属线,位于该低介电常数层间介电层上,其中该两个金属线的一部分分别在该熔线元件不同的末端区上,且该熔线元件完全位于该浅沟槽隔离区上。

8. 如权利要求 7 所述的电熔线,包括一个以上相互平行的多晶硅长条。

9. 如权利要求 7 所述的电熔线,还包括两个保护线,位于该熔线元件的两侧。

10. 一种半导体结构的形成方法,包含:

形成浅沟槽隔离区;

在该浅沟槽隔离区上形成多晶硅长条;

形成第一介电层在该浅沟槽隔离区上;

形成接触栓塞于该第一介电层内,由该第一介电层的表面贯穿至该浅沟槽隔离区上,该接触栓塞的表面为一平坦的表面,且与该第一介电层的表面齐平,其中该接触栓塞包括比两个末端区狭窄的中间区,且其中该接触栓塞的中间区在该多晶硅长条上,且该接触栓塞较该多晶硅长条厚;

形成第二介电层在该第一介电层上;

形成两个金属线在该第二介电层中,其中该两个金属线分别连接到该接触栓塞不同的

末端区。

11. 如权利要求 10 所述的半导体结构的形成方法,还包括在该接触栓塞的侧边同时形成保护线。

12. 如权利要求 10 所述的半导体结构的形成方法,其中形成该接触栓塞的两个末端区的宽度比该中间区宽度大 1.5 倍以上。

半导体结构、电熔线及其形成方法

技术领域

[0001] 本发明关于半导体结构,特别关于电熔线及其制造方法。

背景技术

[0002] 在半导体工业中,熔线元件已广泛地使用在集成电路中,例如用来改善制造合格率或制作用户化集成电路。在相同的晶粒上以完全一样或多余的电路取代有缺陷的电路,可使制造合格率明显提升。使用激光束切断的熔线称为激光熔线 (laser fuse),借由通过电流切断或烧断的熔线,则称为电熔线 (electrical fuse) 或 e-熔线 (e-fuse)。

[0003] 熔线在集成电路的设计中可以选择性地烧断,例如通过足够大的电流以产生电迁移 (electromigration) 或融熔 (melting),由此产生较具有阻抗的路径或断路。此外,也可使用一个比完全烧断熔线所需电流值低的电流,使得熔线劣化,以增加其电阻,选择性地烧断或劣化熔线的工艺通常称为程序化 (programming)。

[0004] 虽然激光熔线已被广泛地使用,然而其微缩化的能力有限,因为激光束聚焦能力的限制,致使熔线尺寸无法随着其它电子元件等比例地缩小,所以电熔线无法适合先进的纳米集成电路。

[0005] 常见的电熔线如图 1 所示,该熔线元件为一个多晶硅线 2 经由介层窗 (via) 4 连接到金属线 6。多晶硅线 2 经过掺杂后可降低电阻值,施加程序化电流在多晶硅线 2 上会产生热而形成断路。然而此结构的可靠度不佳,因为多晶硅线 2 的电阻值是由掺杂浓度决定,其会随着工艺的不同而产生差异,使得程序化电压及程序化时间也需随着改变。

[0006] 图 2A 说明另一个电熔线的立体图,其包括多晶硅板 12 经由钨接触栓塞 (tungsten contact plug) 14a 及 14b 分别连接到金属线 16 及 18,钨接触栓塞 14a 的截面积比钨接触栓塞 14b 小,其作为熔线元件,当程序化电流由一个金属线通过到另一个金属线时,钨接触栓塞 14a 会被高电流密度烧断。此结构有微缩化受限的问题,为了确保当钨接触栓塞 14a 烧断时,钨接触栓塞 14b 仍保持未受损,钨接触栓塞 14b 必须有明显较大的截面积,例如为钨接触栓塞 14a 截面积的 5 倍以上,因此整个熔线结构占据相对较大的晶粒面积。

[0007] 图 2B 说明图 2A 中熔线结构的一种变化例,其中钨接触栓塞 14a 及 14b 由长方形的钨接点 19 取代,其作为熔线元件,多晶硅板 12 设在钨接点 19 底下,其主要用来承载钨接点 19 用而非传送熔断电流。

[0008] 此结构的问题为钨接点 19 被热烧断之后形成断路,残留的热会引起钨与多晶硅板 12 的硅化反应,硅化物的低电阻值路径使得断掉的部分再连接起来,此再连接现象会形成短路或劣化作用 (具有相对较高的电阻值,但是没有完全断路)。

[0009] 因此,业界急需一种具有高可靠度,尺寸可缩小的电熔线,特别是使用在 90 纳米 (nm) 或以下的集成电路制造技术。

发明内容

[0010] 本发明的目的在于提供一种半导体结构、电熔线以及其形成方法。

[0011] 本发明的半导体结构包括第一介电层,位于浅沟槽隔离区 (shallow trench isolation, STI) 上,接触栓塞 (contact plug) 形成于该第一介电层内,由该第一介电层的表面贯穿至该浅沟槽隔离区上,其中接触栓塞包括实质上比两个末端区狭窄的中间区,且该接触栓塞完全位于该浅沟槽隔离区上,接触栓塞形成熔线元件,电熔线还包括两个金属线位于第二介电层中,且位于第一介电层上,其中两个金属线分别连接到接触栓塞不同的末端区。

[0012] 根据所述的半导体结构,还包括硅长条,位于该浅沟槽隔离区上,且与该接触栓塞的长边方向垂直,其中该接触栓塞的中间区在该硅长条之上,且该接触栓塞实质上比该硅长条厚。

[0013] 根据所述的半导体结构,还包括多个侧壁间隔物,位于该硅长条的侧壁上。

[0014] 根据所述的半导体结构,还包括保护线,位于该第一介电层中,其中该保护线在该接触栓塞的侧边且平行于该接触栓塞。

[0015] 根据所述的半导体结构,其中该接触栓塞包括钨。

[0016] 根据所述的半导体结构,其中该第一介电层直接位于该浅沟槽隔离区上。

[0017] 根据所述的半导体结构,其中该接触栓塞的两个末端区的宽度比该中间区宽度大 1.5 倍以上。

[0018] 本发明还提供一种电熔线,包括:熔线元件,由钨接触栓塞在介电常数小于 4.2 的低介电常数层间介电层中形成,其中该熔线元件包括实质上比两个末端区狭窄的中间区;浅沟槽隔离区,位于该熔线元件下;以及两个金属线,位于该低介电常数层间介电层上,其中该两个金属线的一部分分别在该熔线元件不同的末端区上,且该熔线元件完全位于该浅沟槽隔离区上。

[0019] 根据所述的电熔线,还包括一个多晶硅长条,位于该熔线元件的中间区下,其中该多晶硅长条位于该浅沟槽隔离区上。

[0020] 根据所述的电熔线,包括一个以上相互平行的多晶硅长条。

[0021] 根据所述的电熔线,还包括两个保护线,位于该熔线元件的两侧。

[0022] 本发明还提供一种半导体结构的形成方法,包括形成浅沟槽隔离区;形成第一介电层在该浅沟槽隔离区上;形成接触栓塞于该第一介电层内,由该第一介电层的表面贯穿至该浅沟槽隔离区上,其中接触栓塞包括中间区,其实质上比两个末端区狭窄;形成第二介电层在第一介电层上;以及形成两个金属线在第二介电层中,其中两个金属线分别连接到接触栓塞不同的末端区。此方法还包括形成多晶硅长条 (polysilicon strip) 使得接触栓塞的狭窄部分变得更窄,保护线可在接触栓塞的任一侧边形成以终止由热引起的裂缝。

[0023] 根据所述的半导体结构的形成方法,还包括在形成该第一介电层的步骤之前,在该浅沟槽隔离区上形成多晶硅长条,其中该接触栓塞的中间区位于该多晶硅长条上,且该接触栓塞实质上比该多晶硅长条厚。

[0024] 根据所述的半导体结构的形成方法,还包括在该接触栓塞的侧边同时形成保护线。

[0025] 根据所述的半导体结构的形成方法,其中形成该接触栓塞的两个末端区的宽度比该中间区宽度大 1.5 倍以上。

[0026] 本发明具有多项优点,首先,熔线元件及其连接的金属线为金属对金属的接触,其

可改善接触并减少接触阻抗,在接触区域发生的压降较小,且在接触区域较少发生烧坏现象,所以程序化电压及程序化时间较易控制;第二,本发明优选实施例可随着集成电路尺寸及操作电压之的减小而缩小;第三,本发明优选实施例完全与现行的集成电路工艺兼容,可使用与其它半导体元件相同的掩膜来形成本发明优选实施例。

[0027] 本发明优选实施例的优点包括改善可靠度、较高的尺寸缩小能力以及与现行的集成电路工艺完全兼容。

附图说明

[0028] 为了让本发明的上述目的、特征、及优点能更明显易懂,以下结合所附图式,作详细说明如下:

[0029] 图 1 为公知的电熔线,其中多晶硅线作为熔线元件;

[0030] 图 2A 为公知的电熔线,其中接触栓塞在多晶硅板上形成作为熔线元件;

[0031] 图 2B 为图 2A 中结构的变化,其中在多晶硅板上形成接触栓塞长条作为熔线元件;

[0032] 图 3A ~ 3C 和图 4 ~ 11 说明本发明优选实施例形成的中间过程。

[0033] 其中,附图标记说明如下:

- | | | |
|--------|----------------------------------|--------------|
| [0034] | 2 | 多晶硅线 |
| [0035] | 4 | 介层窗 |
| [0036] | 6、16、18、38 | 金属线 |
| [0037] | 12 | 多晶硅板 |
| [0038] | 14a、14b | 接触栓塞 |
| [0039] | 19 | 接点 |
| [0040] | 20 | 浅沟槽隔离区 (STI) |
| [0041] | 22 | 多晶硅长条 |
| [0042] | 23 | 侧壁间隔物 |
| [0043] | 24、34 | 介电层 |
| [0044] | 26、28 | 接触孔 |
| [0045] | 26 ₁ 、30 ₁ | 狭窄部分 (中间区) |
| [0046] | 26 ₂ 、30 ₂ | 较宽区域 (末端区) |
| [0047] | 30 | 接触栓塞 (熔线元件) |
| [0048] | 32 | 保护线 |
| [0049] | 36 | 沟槽 |

具体实施方式

[0050] 本发明优选实施例的工艺剖面图、立体图及俯视图如图 3 至 11 所示,所有本发明的实施例和附图中,使用相同的参照数字来标示相同的元件,每个附图编号中的字母 A 或 B 表示不同的变化或观察角度。

[0051] 图 3A、3B 及 3C 说明在介电绝缘区 20 上形成多晶硅长条 22,介电绝缘区 20 是形成在半导体衬底上 (未图示),优选为浅沟槽隔离区 (STI),因此也可将介电绝缘区 20 称为浅

沟槽隔离区 20。图 3A 为剖面图,浅沟槽隔离区 20 优选的形成方法为在半导体衬底形成凹陷,然后用介电材料如二氧化硅填充该凹陷。

[0052] 多晶硅长条 22 的形成方法例如可在浅沟槽隔离区 20 上先形成硅层,再用蚀刻方式移除不需要的部分。条状物 22 通常为多晶硅,因此称为多晶硅长条 22,但也可包括非晶硅。多晶硅长条 22 最好不进行掺杂,使其具有较高的电阻值,多晶硅长条 22 的厚度 T_1 优选约为 0.1 到 1.0 微米 (μm)。

[0053] 多晶硅长条 22 的侧壁可进一步由侧壁间隔物 23 保护,如图 3B 所示,如此多晶硅长条 22 可与随后形成的钨接触栓塞隔绝。侧壁间隔物 23 可经由在多晶硅长条 22 上形成蚀刻终止层再除去不需要的部分而形成。此外,侧壁间隔物 23 也可以跟其它侧壁间隔物一起形成,例如栅极电极的侧壁间隔物。另外,侧壁间隔物 23 可延伸到多晶硅长条 22 的顶端,将多晶硅长条 22 与其上层完全隔绝。

[0054] 图 3C 说明图 3A 结构的立体图,虽然在图中只显示一个多晶硅长条 22,但在另一实施例中,也可包括一个以上的多晶硅长条 22(参阅图 11,其为优选实施例的俯视图),且优选为相互平行。

[0055] 参阅图 4,在浅沟槽隔离区 20 及多晶硅长条 22 上形成介电层 24,在优选实施例中,介电层 24 为层间介电层,其优选为介电常数小于 4.2 的低介电常数材料,介电层 24 的厚度 T_2 由设计规格和集成电路的需求决定,厚度 T_2 必须大于多晶硅长条 22 的厚度 T_1 ,在优选实施例中,厚度 T_2 优选为小于 1.0 微米。在另一实施例中,介电层 24 还包括除了层间介电层以外的其它介电层,例如蚀刻终止层。

[0056] 图 5 说明在介电层 24 中形成接触孔 26 和 28 的立体图,在介电层 24 上形成图案化光致刻蚀剂(未显示),然后蚀刻介电层 24 形成接触孔 26 和 28,以露出浅沟槽隔离区 20,接触孔 28 定义出两个接下来形成的保护线的图案,接触孔 26 定义出接下来形成的接触栓塞的图案,其亦即熔线元件。接触孔 26 和 28 最好延伸到介电层 24 的底部,且经由接触孔 26 露出多晶硅长条 22。

[0057] 接触孔 26 为狗骨头形状,其在中间区具有狭窄的部分 26_1 以及在末端区具有两个较宽的部分 26_2 。在 90 纳米技术中,接触孔 26 的狭窄部分 26_1 的宽度 W_1 小于约 1.0 微米,且优选约为 0.01 微米到 0.5 微米之间,接触孔 26 较宽的部分 26_2 的宽度 W_2 优选约为 0.01 微米到 10 微米之间。为了让电流聚集效应只发生在熔线元件的狭窄部分,而不会影响连接到熔线的金属线, W_2 与 W_1 优选的比例为大于 1.5,接触孔 28 的宽度 W_3 优选约为 0.01 微米到 10 微米之间,其长度 L 实质上大于或等于接触孔 26 的中间区狭窄部分 26_1 的长度。本领域的技术人员应可了解, W_1 、 W_2 及 W_3 的宽度与所使用的工艺技术有关,如果集成电路的尺寸缩小,则其宽度也将随之减小。

[0058] 图 6 为金属栓塞 30 和 32 分别在接触孔 26 和 28 中形成后的结构立体图,需注意的是为了可以清楚显示其结构,其中省略了介电层 24,虽然金属栓塞 30 和 32 优选是由钨制成,但也可以使用铝、铜或其它熟知的替代物及合金。此外,金属栓塞 30 和 32 可以为复合结构,包括例如阻挡层和黏着层,例如钛/氮化钛或氮化钽以及其它层,优选的阻挡层及黏着层包括不易于硅化反应的材料。接触栓塞 30 是作为熔线元件,因此在后文中称为熔线元件 30,接触栓塞 32 则作为保护线 32。

[0059] 当熔线元件 30 烧断,由烧断熔线元件 30 的电流产生的热可能会使低介电常数介

电层 24 产生裂缝,保护线 32 可终止断裂,避免裂缝延伸到其它区域,因此,优选的保护线 32 必须足够长,以延伸到比裂缝可能发生的区域更远的区域。

[0060] 形成与熔线元件 30 连接的连线如图 7 和 8 所示,在优选实施例中,使用单镶嵌工艺形成金属线;但在另一实施例中,也可先沉积金属层(如铝)再蚀刻以形成金属线。图 7 和 8 为沿着线 A-A'(参阅图 6)的垂直面的剖面图,在图 7 中,在介电层 24、熔线元件 30 及保护线 32 上形成介电层 34,介电层 34 优选为低介电常数介电层,其介电常数低于约 3.5,更佳为超低介电常数介电层,其介电常数低于约 2.5。接下来形成沟槽 36,暴露出到少一部份的熔线元件 30,最好是露出 30_2 的适当区域,但使 30_1 保持覆盖。

[0061] 参阅图 8,在沟槽 36 中形成金属线 38,金属线 38 的材料优选为铜或铜合金,但其它材料如铝或铝合金也可以使用。在沉积铜或铜合金之前可先在沟槽 36 中形成扩散阻挡层(未显示),其材料包括钛、氮化钛、钽、氮化钽或其它替代物。铜的沉积可通过先形成铜晶种或铜合金薄膜,然后在晶种层上沉积铜以填充沟槽 36。接下来使用化学机械研磨(CMP)让铜与介电层 34 的表面平坦化。

[0062] 经由上述工艺所形成之优选实施例,其立体图及俯视图分别由图 9 和 10 所示,其中形成一个多晶硅长条 22;在另一实施例中,则形成一个以上的多晶硅长条 22,其俯视图如图 11 所示。

[0063] 当程序化电压施加在金属线 38 之间,因为熔线元件 30 的狭窄部分 30_1 具有较小的宽度,所以在狭窄部分 30_1 的电流密度较高,多晶硅长条 22 的存在还降低了狭窄部分 30_1 的截面积,且加强电流聚集效应,因此只需要较低的程序化电压与/或较短的程序化时间。在示范性的实施例中,熔线元件 30 的宽度 W_1 (参阅图 5)及厚度 T_2 (参阅图 4)分别为 0.13 微米及 0.4 微米,当施加 1 伏特(volt)的程序化电压时,造成约 0.01 到 0.1 安培(amps)的程序化电流,通过熔线元件 30 的狭窄部分 30_1 的电流密度约为 2 安培/微米平方(A/ μm^2),假设多晶硅长条 22 其厚度 T_1 约为 0.2 微米,在多晶硅长条 22 上方的熔线区域的电流密度还可增加到约 5 安培/微米平方(A/ μm^2)。

[0064] 本发明优选实施例具有多项优点,首先,熔线元件及其连接的金属线为金属对金属的接触,其可改善接触并减少接触阻抗,在接触区域发生的压降较小,且在接触区域较少发生烧坏现象,所以程序化电压及程序化时间较易控制;第二,本发明优选实施例可随着集成电路尺寸及操作电压的减小而缩小;第三,本发明优选实施例完全与现行的集成电路工艺兼容,可使用与其它半导体元件相同的掩膜来形成本发明优选实施例。

[0065] 虽然本发明已揭示优选实施例如上,然其并非用以限定本发明,任何本领域的技术人员在不脱离本发明的精神和范围内,可做些许更动与润饰,因此本发明的保护范围应当以后面所附的权利要求所界定为准。

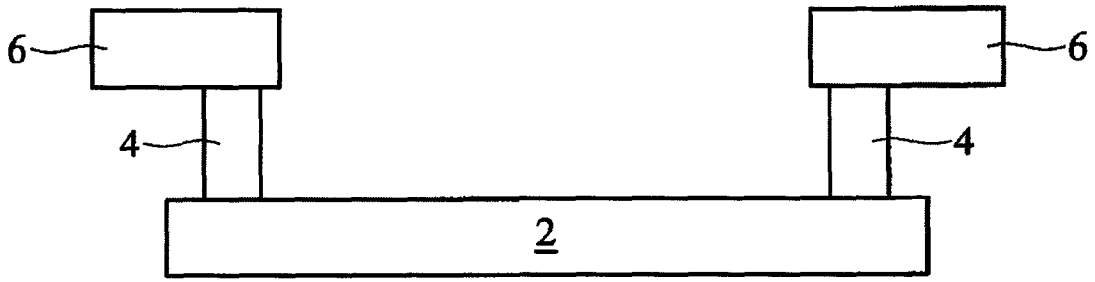


图 1

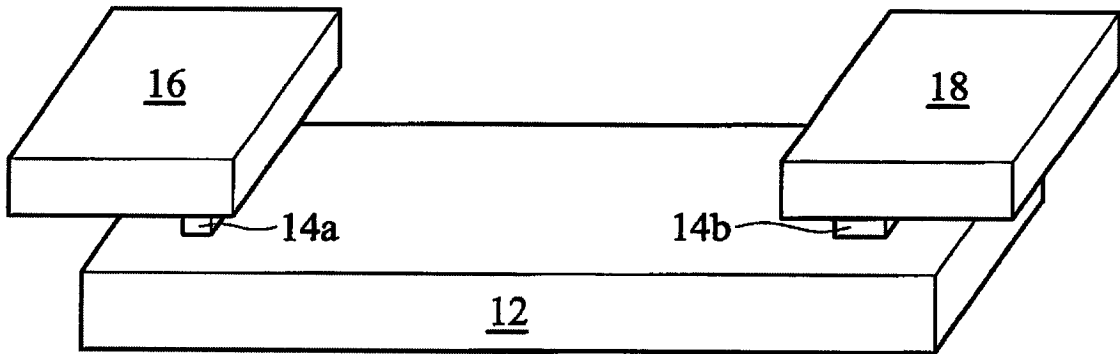


图 2A

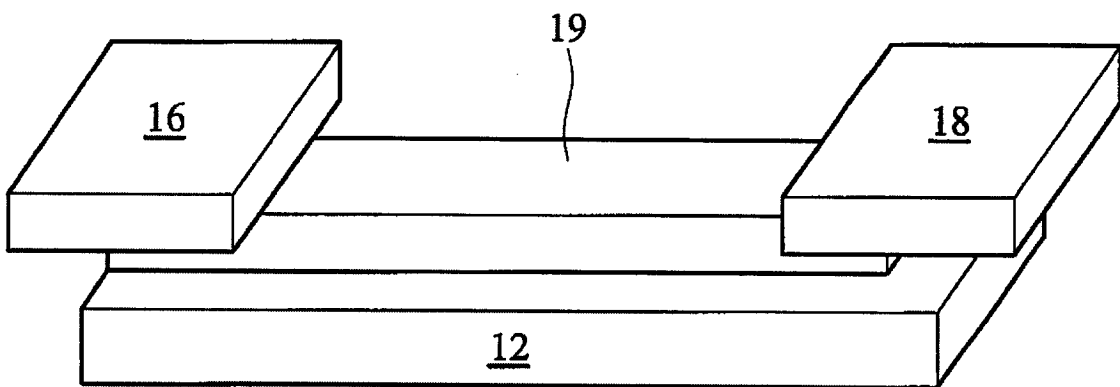


图 2B

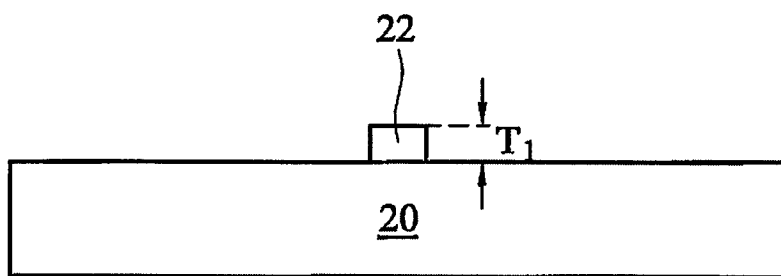


图 3A

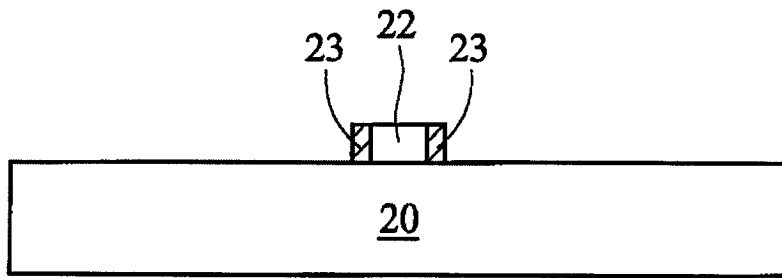


图 3B

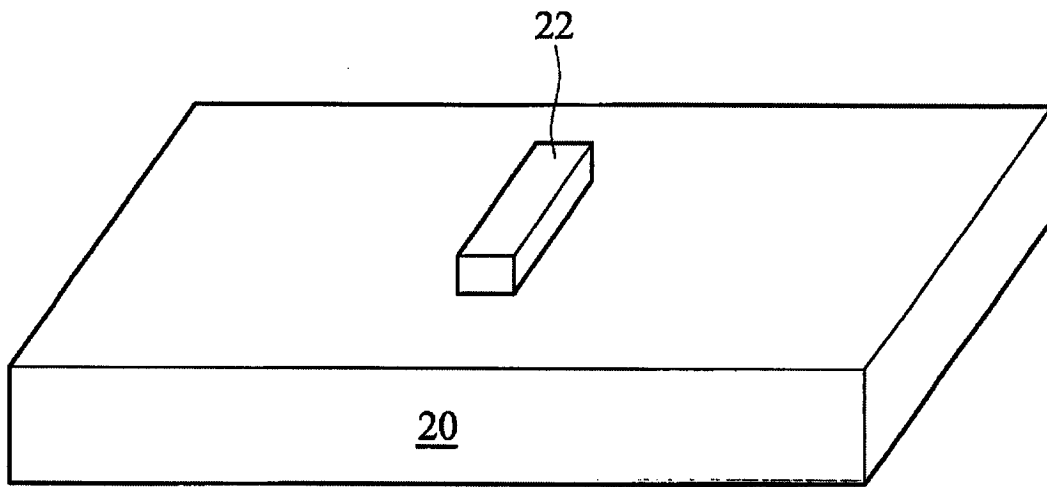


图 3C

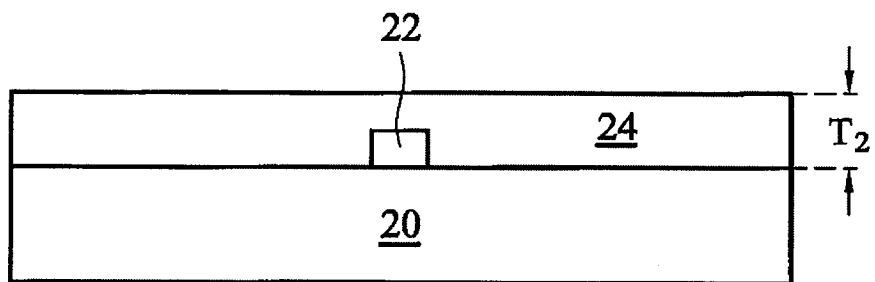


图 4

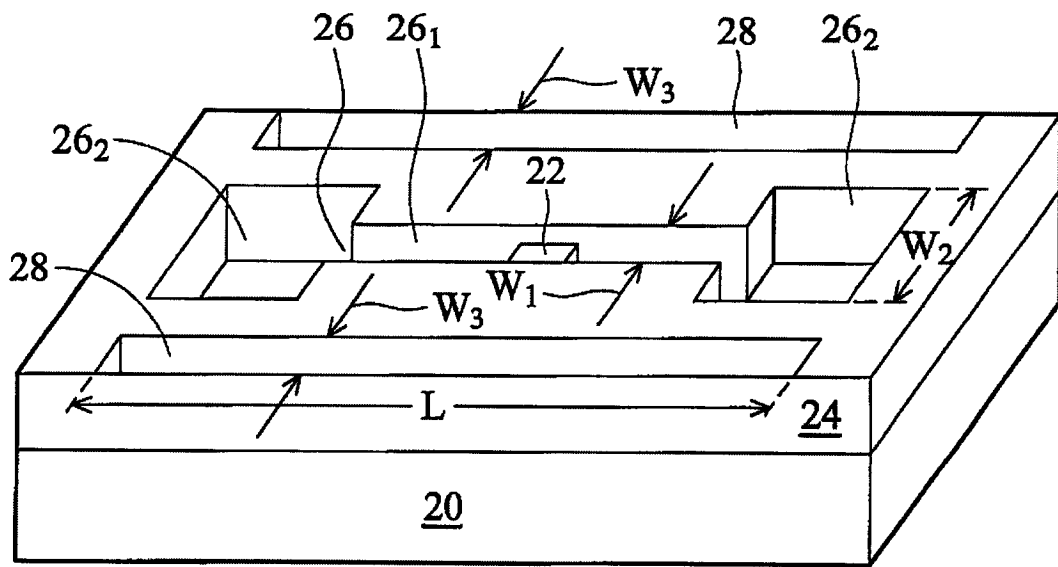


图 5

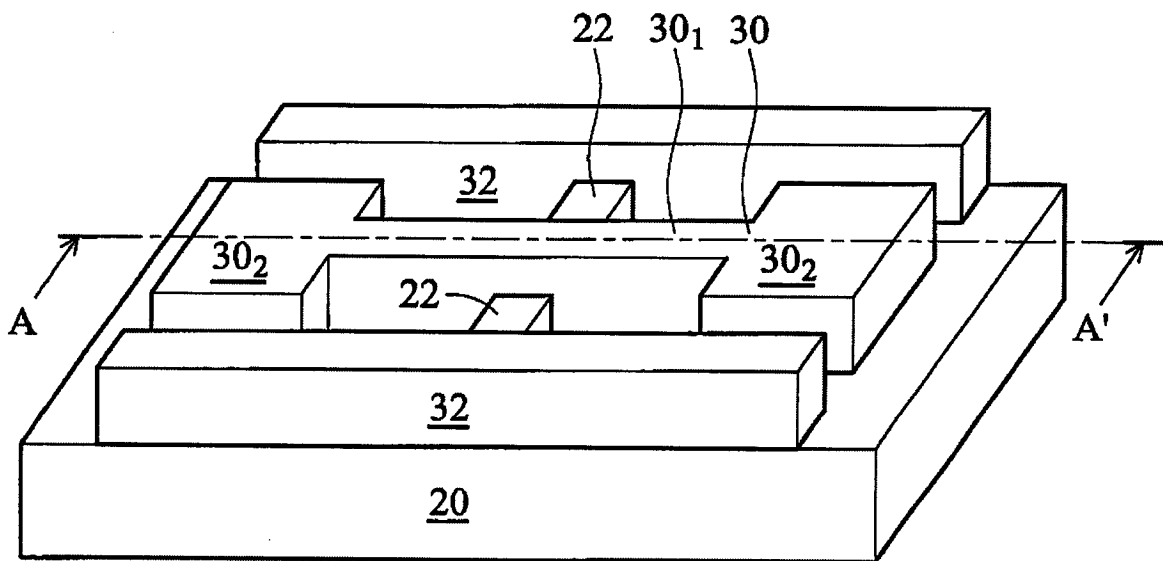


图 6

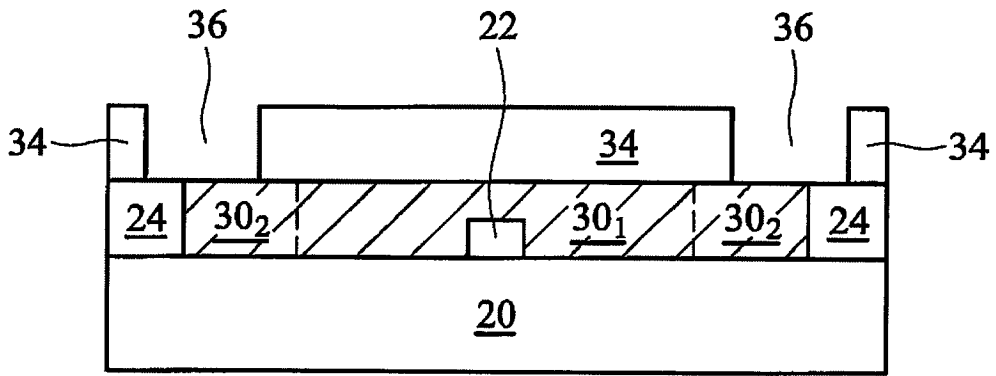


图 7

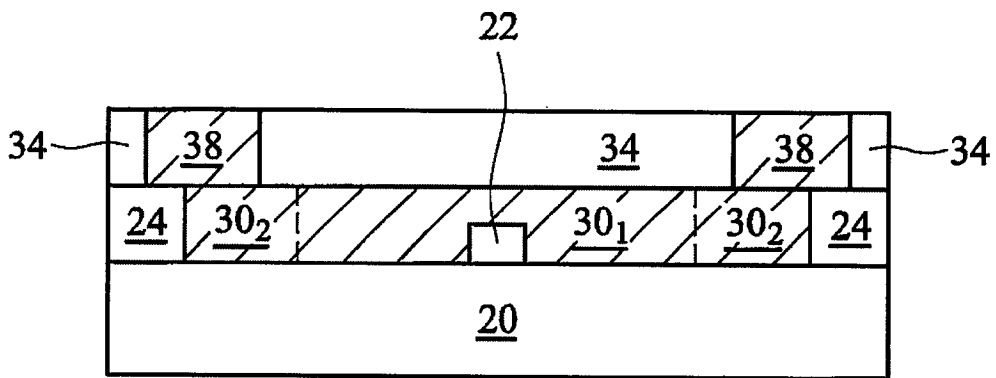


图 8

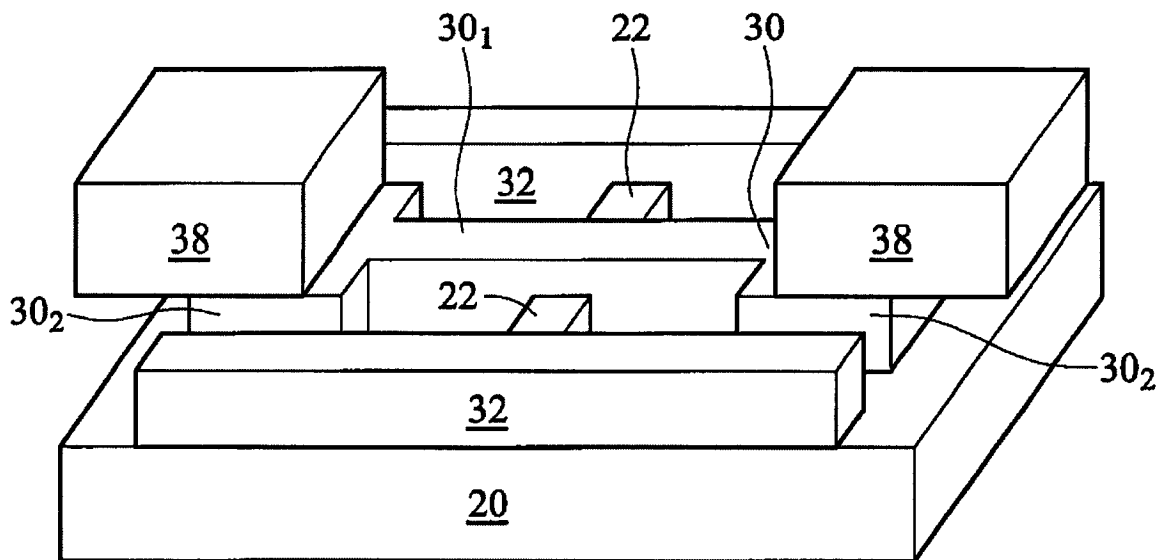


图 9

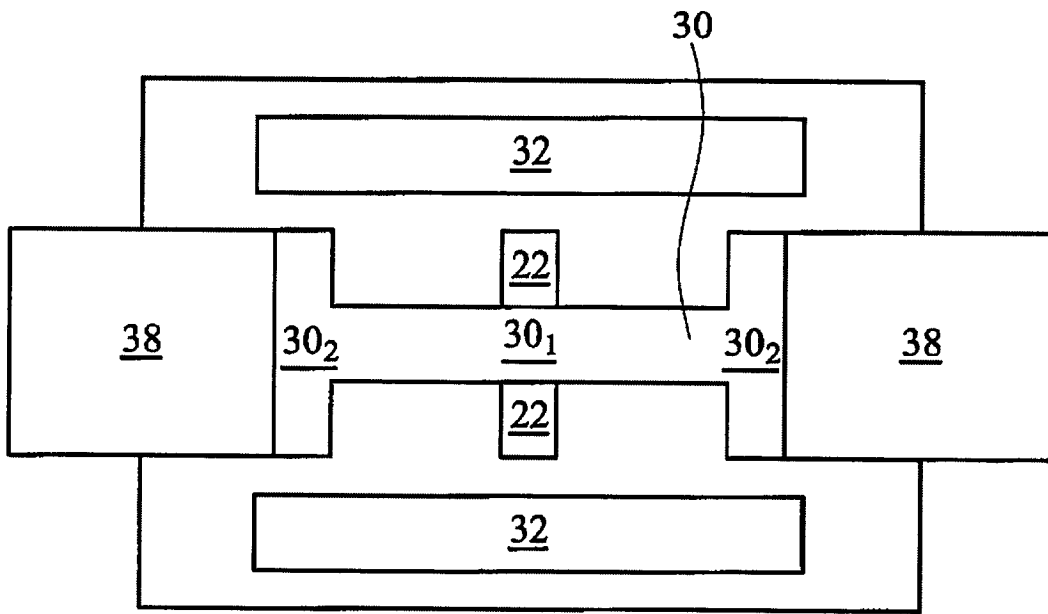


图 10

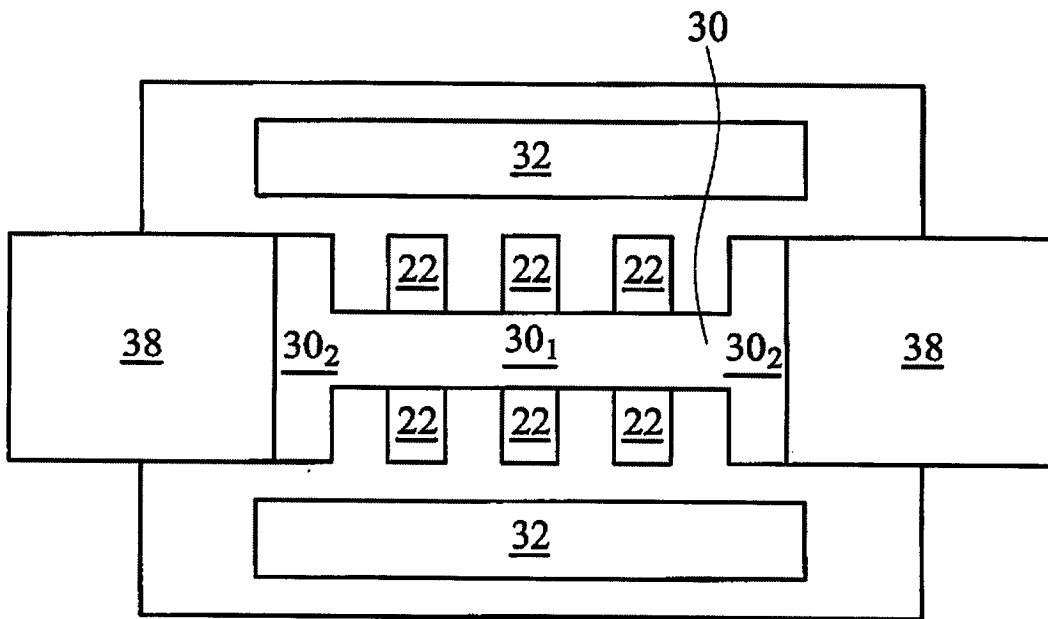


图 11