(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0081644
(43) 공개일자 2021년07월02일

(51) 국제특허분류(Int. Cl.)
G06F 12/0888 (2016.01) *G06F 15/78* (2006.01)
(52) CPC특허분류
G06F 12/0888 (2013.01)
G06F 15/781 (2013.01)
(21) 출원번호 10-2019-0173814
(22) 출원일자 2019년12월24일
심사청구일자 2019년12월24일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
정성우
서울특별시 강남구 도곡로28길 8, 104동 1802호 (도곡동, 도곡1차아이파크아파트)
두 콩 뚜안
서울특별시 동대문구 안암로 118-1, 402호(제기동)
이영서
서울특별시 동대문구 무학로49길 40, 502호(용두동)
(74) 대리인
송인호, 윤형근, 최관락

전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법 및 장치**

(57) 요 약

본 발명은 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법 및 장치를 개시한다. 본 실시예에 따르면, 개별 워프의 L1 캐시 이용률을 추적하고, 상기 개별 워프의 유형을 분류하며, 분류된 워프 유형에 따라 상기 개별 워프의 바이패스의 임계값을 결정하는 유형 분류 구조; 상기 개별 워프의 바이패스 이력을 기록하는 포화 카운터(Saturating Counter, SC) 및 상기 상기 개별 워프의 바이패스의 임계값을 비교하여 상기 개별 워프의 메모리 요청에 대한 바이패스를 적응적으로 결정하는 요청 바이패스 구조 및 상기 요청 바이패스 구조에 의해 바이패스되는 메모리 요청이 입력되는 모놀리식 3D 기반 NoC(Network on Chip)를 포함하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치가 제공된다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711093591
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	모노리틱 3D에 기반한 CPU/GPU 컴포넌트의 아키텍처적 설계
기 여 율	40/100
과제수행기관명	고려대학교 산학협력단
연구기간	2019.03.01 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711093540
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	초절전 IoT 소자 결합 3차원 플랫폼 집적 공정과 최적 아키텍처 개발, 검증
기 여 율	30/100
과제수행기관명	인하대학교 산학협력단
연구기간	2019.03.01 ~ 2019.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711092438
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	모노리틱 3D 기반 3차원 고집적 뉴로모픽 인터커넥트 설계/분석 플랫폼
기 여 율	30/100
과제수행기관명	동국대학교 산학협력단
연구기간	2019.03.01 ~ 2019.12.31

명 세 서

청구범위

청구항 1

개별 워프의 L1 캐시 이용률을 추적하고, 상기 개별 워프의 유형을 분류하며, 분류된 워프 유형에 따라 상기 개별 워프의 바이패스의 임계값을 결정하는 유형 분류 구조;

상기 개별 워프의 바이패스 이력을 기록하는 포화 카운터(Saturating Counter, SC) 및 상기 상기 개별 워프의 바이패스의 임계값을 비교하여 상기 개별 워프의 메모리 요청에 대한 바이패스를 적응적으로 결정하는 요청 바이패스 구조 및

상기 요청 바이패스 구조에 의해 바이패스되는 메모리 요청이 입력되는 모놀리식 3D 기반 NoC(Network on Chip)를 포함하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 2

제1항에 있어서,

상기 유형 분류 구조는,

상기 개별 워프의 L1 캐시 이용률을 추적하는 추적부;

상기 개별 워프의 L1 캐시 이용률에 따라 적어도 3개의 유형을 결정하는 워드 유형 결정부; 및

상기 결정된 유형에 따라 상기 개별 워프의 바이패스 임계값을 할당하는 바이패스 임계값 할당부를 포함하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 3

제2항에 있어서,

상기 L1 캐시 이용률은 상기 개별 워프의 캐시 액세스 수(a), 캐시 미스 수(m) 및 예약 실패 수(r)이며,

상기 유형 결정부는, 모든 워프의 m/a 및 r/a의 평균과 상기 개별 워프의 m/a 및 r/a를 비교하여 상기 개별 워프의 유형을 결정하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 4

제3항에 있어서,

상기 유형 결정부는, m/a 및 r/a가 모든 워프의 평균보다 크거나 같은 워프를 T1 워프, 모든 워프의 평균보다 m/a 또는 r/a 중 하나가 더 큰 워프를 T2 워프, m/a 및 r/a가 모든 워프의 평균보다 작은 워프를 T3 워프로 결정하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 5

제4항에 있어서,

상기 바이패스 임계값 할당부는 상기 T1, T2 및 T3 워프에 대해 서로 다른 바이패스 임계값을 할당하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 6

제1항에 있어서,

상기 메모리 요청의 프로브 결과 태그 미스인 경우 상기 포화 카운터의 값이 증가하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 7

제6항에 있어서,

상기 포화 카운터는 상기 개별 워프의 아이디 별로 인덱싱되고,

상기 요청 바이패스 구조는 상기 포화 카운터의 값이 해당 워프의 바이패스 임계값 이상인 경우에만 L1 캐시를 바이패스하는 것으로 결정하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 8

제1항에 있어서,

상기 모놀리식 3D 비아 기반 NoC는 그리드 형 메쉬 구조를 갖는 복수의 라우터를 포함하고,

각 라우터는 네트워크에서의 위치 정의를 위한 고유한 주소를 가지며, 4개의 기본 방향(North, East, South 및 West)과 업/다운 방향의 6개의 물리적 포트를 포함하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치.

청구항 9

유형 분류 구조에서, 개별 워프의 L1 캐시 이용률을 추적하고, 상기 개별 워프의 유형을 분류하며, 분류된 워프 유형에 따라 상기 개별 워프의 바이패스의 임계값을 결정하는 단계; 및

요청 바이패스 구조에서, 상기 개별 워프의 바이패스 이력을 기록하는 포화 카운터(Saturating Counter, SC) 및 상기 상기 개별 워프의 바이패스의 임계값을 비교하여 상기 개별 워프의 메모리 요청에 대한 바이패스를 적응적으로 결정하는 단계를 포함하되,

상기 요청 바이패스 구조에 의해 바이패스되는 메모리 요청은 모놀리식 3D 기반 NoC(Network on Chip)로 입력되는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법 및 장치에 관한 것이다.

배 경 기 술

[0002] GPU(Graphics Processing Unit)는 지난 10년 동안 범용 애플리케이션의 성능을 개선하기 위해 사용되었다. GPU의 계산 리소스를 활용하기 위해 많은 수의 스레드(워프)를 동시에 시작할 수 있다. 그러나 대규모 멀티 스레딩이 항상 성능 이점으로 이어지는 것은 아니다.

[0003] 특히 너무 많은 스레드가 L1 데이터 캐시(L1 캐시)의 제한된 용량을 공유하므로 캐시 적중률이 매우 낮아짐에 따라 캐시 경합이 자주 발생한다. 또한 잘못 처리하는 리소스들, 예를 들어, MSHR(miss status holding registers) 및 미스 버퍼는 종종 정체 현상을 발생시킨다. 결과적으로 L1 캐시 병목 현상에 의해 GPU에서 캐시 계층의 효율성이 떨어진다.

[0004] L1 캐시 용량이 제한되어 있기 때문에 기존의 캐시 교체 정책이 캐시 경합 해결에 항상 효율적인 것은 아니다. 데이터 지역성이 열악한 응용 프로그램의 경우 L1 캐시를 사용하면 잘못 처리되는 리소스가 정체되어 성능이 저하된다. 이러한 맥락에서, 메모리 요청이 캐시를 바이패스할 수 있도록 하는 것은 GPU 캐시 관리를 개선하기 위한 솔루션으로 간주된다.

[0005] GPU에서 L1 캐시는 네트워크 온 칩(Network on Chip, NoC)에 의해 하위 레벨 메모리(예: L2 캐시)에 연결된다. L1 캐시 미스가 발생하는 경우, 메모리 요청(memory request)은 데이터를 검색하기 위해 NoC를 통과해야 한다. 네트워크 지연이 임계값보다 크거나 들어오는 패킷의 네트워크 버퍼를 사용할 수 없으면 NoC가 정체된다. 캐시 바이패스가 켜져 있으면 L1 캐시는 메모리 요청을 낮은 수준의 메모리로 필터링하는 역할을 잃게 된다. 따라서 더 많은 메모리 요청이 짧은 기간 동안 NoC로 전달되어 NoC 혼잡이 악화된다. 캐시 바이패스로 인한 NoC 혼잡을 해결하려면 NoC가 더 나은 네트워크 지연 및 처리량을 제공해야 한다. .

[0006] 3D 집적은 여러 레이어를 쌓아서 상호 연결 지연을 줄일 수 있다.

[0007] 가장 일반적으로 사용되는 3D 집적은 수직 연결을 구현하기 위해 TSV (Through-Silicon Via)를 기반으로 한다. 그러나 TSV 기반 3D 집적은 여전히 TSV의 큰 직경 및 피치와 같은 주요 단점을 가지고 있으며, 이는 다른 로직의 지연 및 영역을 증가시킨다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 특허등록공보 제10-1761301호

발명의 내용

해결하려는 과제

[0009] 종래기술의 문제점을 해결하기 위해, 본 발명은 캐시 미스 시 지연을 줄일 수 있는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법 및 장치를 제안하고자 한다.

과제의 해결 수단

[0010] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, 개별 워프의 L1 캐시 이용률을 추적하고, 상기 개별 워프의 유형을 분류하며, 분류된 워프 유형에 따라 상기 개별 워프의 바이패스의 임계값을 결정하는 유형 분류 구조; 상기 개별 워프의 바이패스 이력을 기록하는 포화 카운터(Saturating Counter, SC) 및 상기 상기 개별 워프의 바이패스의 임계값을 비교하여 상기 개별 워프의 메모리 요청에 대한 바이패스를 적응적으로 결정하는 요청 바이패스 구조 및 상기 요청 바이패스 구조에 의해 바이패스되는 메모리 요청이 입력되는 모놀리식 3D 기반 NoC(Network on Chip)를 포함하는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 장치가 제공된다.

[0011] 상기 유형 분류 구조는, 상기 개별 워프의 L1 캐시 이용률을 추적하는 추적부; 상기 개별 워프의 L1 캐시 이용률에 따라 적어도 3개의 유형을 결정하는 워드 유형 결정부; 및 상기 결정된 유형에 따라 상기 개별 워프의 바이패스 임계값을 할당하는 바이패스 임계값 할당부를 포함할 수 있다.

[0012] 상기 L1 캐시 이용률은 상기 개별 워프의 캐시 액세스 수(a), 캐시 미스 수(m) 및 예약 실패 수(r)이며, 상기 유형 결정부는, 모든 워프의 m/a 및 r/a의 평균과 상기 개별 워프의 m/a 및 r/a를 비교하여 상기 개별 워프의 유형을 결정할 수 있다.

[0013] 상기 유형 결정부는, m/a 및 r/a가 모든 워프의 평균보다 크거나 같은 워프를 T1 워프, 모든 워프의 평균보다 m/a 또는 r/a 중 하나가 더 큰 워프를 T2 워프, m/a 및 r/a가 모든 워프의 평균보다 작은 워프를 T3 워프로 결정할 수 있다.

[0014] 상기 바이패스 임계값 할당부는 상기 T1, T2 및 T3 워프에 대해 서로 다른 바이패스 임계값을 할당할 수 있다.

[0015] 상기 메모리 요청의 프로브 결과 태그 미스인 경우 상기 포화 카운터의 값이 증가할 수 있다.

[0016] 상기 포화 카운터는 상기 개별 워프의 아이디 별로 인덱싱되고, 상기 요청 바이패스 구조는 상기 포화 카운터의 값이 해당 워프의 바이패스 임계값 이상인 경우에만 L1 캐시를 바이패스하는 것으로 결정할 수 있다.

[0017] 상기 모놀리식 3D 비아 기반 NoC는 그리드 형 메쉬 구조를 갖는 복수의 라우터를 포함하고, 각 라우터는 네트워크에서의 위치 정의를 위한 고유한 주소를 가지며, 4개의 기본 방향(North, East, South 및 West)과 업/다운 방향의 6개의 물리적 포트를 포함할 수 있다.

[0018] 본 발명의 다른 측면에 따르면, 유형 분류 구조에서, 개별 워프의 L1 캐시 이용률을 추적하고, 상기 개별 워프의 유형을 분류하며, 분류된 워프 유형에 따라 상기 개별 워프의 바이패스의 임계값을 결정하는 단계; 및 요청 바이패스 구조에서, 상기 개별 워프의 바이패스 이력을 기록하는 포화 카운터(Saturating Counter, SC) 및 상기 상기 개별 워프의 바이패스의 임계값을 비교하여 상기 개별 워프의 메모리 요청에 대한 바이패스를 적응적으로 결정하는 단계를 포함하되, 상기 요청 바이패스 구조에 의해 바이패스되는 메모리 요청은 모놀리식 3D 기반

NoC(Network on Chip)로 입력되는 모놀리식 3D 집적 기술 기반 NoC 구조를 활용한 GPU 캐시 바이패스 방법이 제공된다.

발명의 효과

[0019] 본 발명에 따르면, L1 캐시 경합 및 NoC 혼잡을 완화함으로써보다 효율적인 캐시 관리가 가능한 장점이 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 GPU 캐시 바이패스 장치를 도시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 워프 분류 구조를 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 요청 바이패스 구조를 도시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 모놀리식 3D 기반 NoC 구조를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다.

[0022] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 GPU 캐시 바이패스 장치를 도시한 도면이다.

[0025] 도 1에 도시된 바와 같이, 본 실시예에 따른 GPU 캐시 바이패스 장치는 워프 분류 구조(Warp Classification Structure, WCS, 100), 요청 바이패스 구조(Request Bypass Structure, RBS, 102) 및 모놀리식 3D 기반 NoC(104)를 포함할 수 있다.

[0026] 워프 분류 구조(100)는 개별 워프의 L1 캐시 이용률을 추적하고, 각 워프의 유형을 분류하며, 분류된 워프 유형에 따른 바이패스의 임계값을 결정한다.

[0027] 도 2는 본 발명의 일 실시예에 따른 워프 분류 구조를 도시한 도면이다.

[0028] 워프는 최소 명령어 처리 단위로서 스레드라고도 한다.

[0029] 본 실시예에 따른 워프 분류 구조(100)는 L1 캐시 이용률이 낮은 워프의 메모리 요청에 높은 바이패스 확률을 할당하고 L1 캐시 이용률이 높은 워프의 메모리 요청에 낮은 바이패스 확률을 할당한다.

[0030] 도 2를 참조하면, 워프 분류 구조(100)는 추적부(200), 워프 유형 결정부(202) 및 바이패스 임계값 할당부(204)를 포함할 수 있다.

[0031] 워프 분류 구조(100)는 개별 워프의 L1 캐시 이용률에 따라 각각의 워프를 서로 다른 유형으로 분류하도록 설계된다.

[0032] 각 워프의 L1 캐시 이용률을 추정하기 위해, L1 캐시는 커널 실행 시작 시 훈련 기간이라는 기간에 액세스된다.

[0033] 훈련 기간 동안, 추적부(200)는 워프 당 캐시 액세스 수(a), 캐시 미스 수(m) 및 예약 실패 수(r)를 추적한다.

[0034] L1 캐시 미스에 대한 미스 처리 리소스 (예 : MSHR, 미스 버퍼)를 사용할 수 없는 경우의 예약 실패 수가 계산된다.

[0035] 훈련 기간이 끝나면 워프 유형 결정부(202)는 복수의 워프를 T1 워프 (높은 바이패스 확률), T2 워프 (정상 바이패스 확률) 및 T3 워프 (낮은 바이패스 확률) 중 하나로 결정한다.

[0036] T1 워프는 m/a 및 r/a가 모든 워프의 평균보다 크거나 같은 워프이고, T2 워프는 모든 워프의 평균보다 m/a 또는 r/a 중 하나가 더 큰 워프이며, T3 워프는 m/a 및 r/a가 평균보다 작은 워프이다.

[0037] 바이패스 임계값 할당부(204)는 각 워프 유형에 바이패스 임계값(Θ)을 할당하며, T1 워프에 T3 워프보다 높은 임계값을 할당한다.

[0038] 도 3은 본 발명의 일 실시예에 따른 요청 바이패스 구조를 도시한 도면이다.

[0039] 요청 바이패스 구조(102)는 요청 큐(Request Queue)에 대기중인 워프를 식별하는 제1 식별기(300), 각 워프의 바이패스 이력을 기록하는 2비트 포화 카운터(Saturating Counter, SC, 302), 제2 식별기(304) 및 바이패스 결정부(306)를 포함할 수 있다.

[0040] 요청 바이패스 구조(102)는 워프의 바이패스 이력을 기록하는 2비트 포화 카운터(Saturating Counter, SC)를 사용하여 메모리 요청에 대한 바이패스를 적응적으로 결정한다.

[0041] 포화 카운터(302)는 워프 ID별로 인덱싱된다.

[0042] 각 워프 ID에 대한 워프 유형 및 바이패스 임계값은 워프 분류 구조(100)에 의해 결정된다.

[0043] 요청 바이패스 구조(102)는 훈련 기간 후에 운영된다. 메모리 요청이 요청 큐를 통해 입력되면 즉시 L1 캐시 태그 어레이에 액세스하며, 이를 태그 프로브라 한다.

[0044] 메모리 요청의 프로브 결과는 요청 바이패스 구조(102)에서 해당 포화 카운터(302)를 업데이트하는데 사용된다. 모든 포화 카운터의 초기값은 '0'이다. 프로브 결과가 태그 미스인 경우, 즉, 일치하는 태그가 없는 경우, 포화 카운터의 값이 증가한다. 그렇지 않으면 포화 카운터의 값이 감소한다.

[0045] 바이패스 결정부(306)는 포화 카운터(302)의 값을 메모리 요청을 발행하는 워프의 바이패스 임계값(Θ)과 비교하고, 포화 카운터(302)의 값이 해당 바이패스 임계값 이상인 경우에만 L1 캐시를 바이패스하는 것으로 결정한다.

[0046] 이 경우 반환된 데이터는 L1 캐시가 아닌 SIMT(single-instruction, multiple-thread) 코어로 직접 전송된다. 그렇지 않으면 메모리 요청이 L1 캐시에 액세스한다.

[0047] 도 4는 본 발명의 일 실시예에 따른 모놀리식 3D 기반 NoC 구조를 도시한 도면이다.

[0048] 도 4는 라우터 및 링크와 같은 일반적인 구성 요소로 구성된 M3D NoC(network-on-chip)의 구조를 도시한 것이며, 도 3의 요청 바이패스 구조(102)에 의해 바이패스되는 메모리 요청이 M3D NoC(104)로 입력된다.

[0049] 본 실시예에 따른 M3D NoC(104)의 라우터는 그리드 형 메쉬 구조와 여러 레이어로 배열된다.

[0050] 각 라우터는 네트워크 인터페이스 컨트롤러 (NIC)를 통해 처리 요소(Processing Element, PE)와 인터페이스된다. 라우터는 네트워크에서의 위치를 정의하기 위한 고유한 주소(X, Y, Z)를 갖는다. 기본 방향(North, East, South 및 West) 외에 관련 버퍼 및 VC / Switch 중재자와 함께 두 개의 물리적 포트(하나는 Up, 다른 하나는 Down)가 라우터에 추가된다.

[0051] 라우터의 크로스바가 5x5에서 7x7로 확장된다. 하나의 레이어 상의 라우터는 2D 와이어를 통해 연결되고 다른 계층의 라우터는 모놀리식 인터 비아(MIV)를 통해 연결된다. M3D NoC는 XYZ 라우팅 알고리즘을 사용한다.

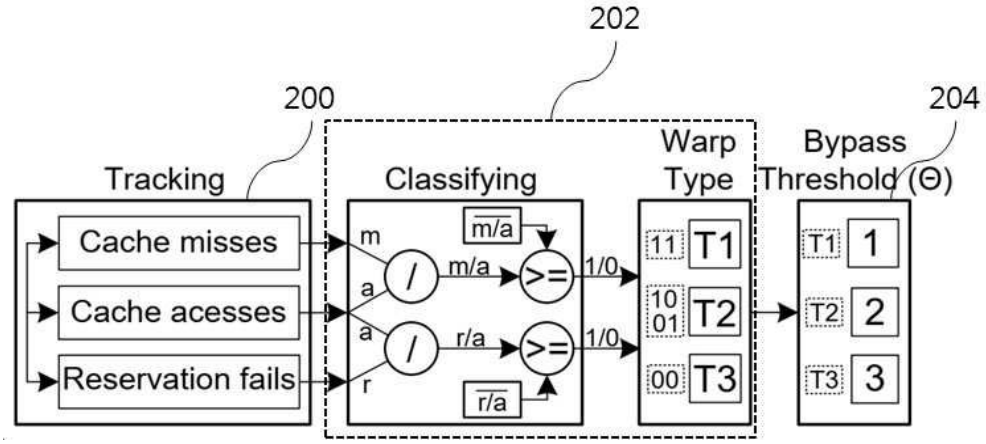
[0052] 상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

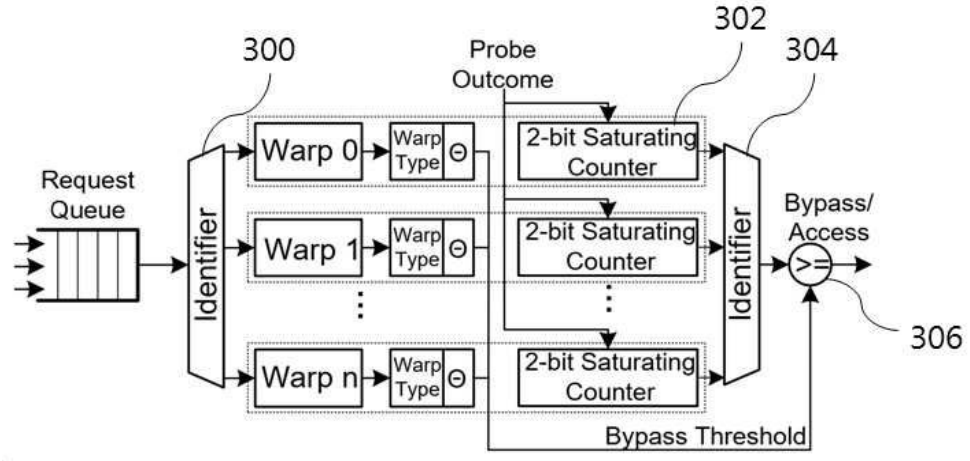
도면1



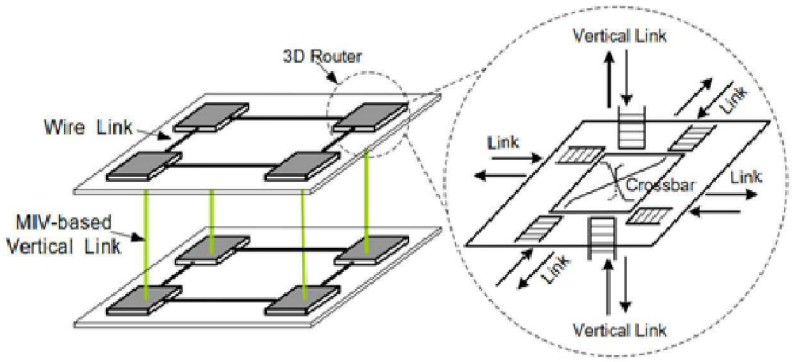
도면2



도면3



도면4


3D Router
Wire Link
MIV-based
Vertical Link
Vertical Link
Link
Link
Crossbar
Link
Link
Link
Vertical Link