



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06K 19/07 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0685270 2007년02월14일
---	-------------------------------------	--

(21) 출원번호	10-2005-0105256(분할)	(65) 공개번호	10-2005-0121645
(22) 출원일자	2005년11월04일	(43) 공개일자	2005년12월27일
심사청구일자	2005년11월04일		
(62) 원출원	특허10-2000-0066122	심사청구일자	2005년11월04일
	원출원일자 : 2000년11월08일		

(30) 우선권주장 JP-P-1999-00344310 1999년12월03일 일본(JP)

(73) 특허권자 가부시끼가이샤 르네사스 테크놀로지  
일본 100-6334 도쿄도 치요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 니시자와 히로타카  
일본국 도쿄도 치요다구 마루노우찌 1쵸메 5반 1고 신마루비루가부시끼  
가이샤 히타치세이사쿠쇼 치테키쇼유켄 혼부나이

유카와 요스케  
일본국 도쿄도 치요다구 마루노우찌 1쵸메 5반 1고 신마루비루가부시끼  
가이샤 히타치세이사쿠쇼 치테키쇼유켄 혼부나이

토즈카 타카시  
일본국 도쿄도 치요다구 마루노우찌 1쵸메 5반 1고 신마루비루가부시끼  
가이샤 히타치세이사쿠쇼 치테키쇼유켄 혼부나이

(74) 대리인 특허법인 원진

심사관 : 이승주

전체 청구항 수 : 총 23 항

(54) I C 카드

(57) 요약

반도체 집적회로 칩의 코스트를 상승시키지 않고 그것에 대한 정전과피방지를 강화할 수 있는 IC 카드를 제공한다.

카드 기관(1)에 반도체 집적회로 칩(2)을 가지고, 복수개의 접속단자(3)를 노출시킨 IC 카드이다. 상기 접속단자는 반도체 집적회로 칩의 소정의 외부단자(4)에 접속되며, 반도체 집적회로 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자(7, 8, 9)가 집적되고, 카드 기관에는 접속단자에 접속하는 제2 과전압 보호소자 예를 들면 면실장형의 배리스터(varistor)(11)가 실장된다. 배리스터는 제1 과전압 보호소자를 상회하는 전류허용능력을 가지는 가변저항소자이다. 배리스터에는 반도체 집적회로 칩에 내장된 제1 과전압 보호소자의 특성이나 능력과의 관계가 고려되어 있으므로, 그것에 의한 정전과 피 방지효과를 용이하게 실효한 것으로 할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

주면(main surface)과, 상기 주면과 대향되는 배면(rear surface)을 가지는 기관과;

상기 주면 상에 형성되는 복수의 제1 전극과;

상기 주면 상에 형성되는 복수의 제2 전극과;

상기 배면 상에 형성되는 복수의 외부 접속단자와;

주면을 가지고, 메모리 회로와 상기 주면 상에 형성되는 복수의 본딩패드를 포함하며, 상기 기관의 상기 주면 상에 탑재되는 제1 반도체 칩과;

주면을 가지고, 상기 메모리 회로를 제어하는 제어회로와 상기 주면 상에 형성되는 복수의 본딩 패드를 포함하며, 상기 제1 반도체 칩의 주면 상에 적층되는 제2 반도체 칩과;

상기 복수의 제1 전극 중 하나에 대응하여 상기 제1 반도체 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제1 와이어(wire)와;

상기 복수의 제2 전극 중 하나에 대응하여 상기 제2 반도체 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제2 와이어 및;

상기 제1 반도체 칩, 상기 제2 반도체 칩, 상기 제1 와이어, 상기 제2 와이어, 상기 복수의 제1 및 제2 전극을 밀봉하는 수지를 포함하고,

상기 제1 와이어는, 평면 시야(視野)에서, 상기 제1 반도체 칩의 한면 상에서 교차하며,

상기 제2 와이어는, 평면 시야에서, 상기 제1 와이어가 교차하는 상기 한면과는 다른, 상기 제1 반도체 칩의 다른 한면 상에서 교차하는 것을 특징으로 하는 메모리 카드.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제2 반도체 칩의 적층 평면 시야에 대해서, 상기 제2 와이어는 상기 제1 와이어와는 하나도 교차하지 않는 것을 특징으로 하는 메모리 카드.

청구항 3.

제 2 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

#### 청구항 4.

제 3 항에 있어서,

상기 제1 반도체 칩과 상기 제2 반도체 칩의 각각은, 각 칩의 두께를 줄이기 위해 연마된, 상기 주면과 대향되는 배면을 가지는 것을 특징으로 하는 메모리 카드.

#### 청구항 5.

제 4 항에 있어서,

상기 제2 반도체 칩은, 상기 제1 반도체 칩보다 작은 평면 시야영역을 덮는 (cover) 것을 특징으로 하는 메모리 카드.

#### 청구항 6.

제 2 항에 있어서,

상기 제1 반도체 칩과 상기 제2 반도체 칩의 각각은, 각 칩의 두께를 줄이기 위해 연마된, 상기 주면과 대향되는 배면을 가지는 것을 특징으로 하는 메모리 카드.

#### 청구항 7.

제 6 항에 있어서,

상기 제2 반도체 칩은, 상기 제1 반도체 칩보다 작은 평면 시야영역을 덮는 것을 특징으로 하는 메모리 카드.

#### 청구항 8.

제 2 항에 있어서,

상기 제2 반도체 칩은, 상기 제1 반도체 칩보다 작은 평면 시야영역을 덮는 것을 특징으로 하는 메모리 카드.

#### 청구항 9.

제 1 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

#### 청구항 10.

제 1 항에 있어서,

상기 제1 반도체 칩과 상기 제2 반도체 칩의 각각은, 각 칩의 두께를 줄이기 위해 연마된, 상기 주면과 대향되는 배면을 가지는 것을 특징으로 하는 메모리 카드.

### 청구항 11.

제 10 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

### 청구항 12.

제 1 항에 있어서,

상기 제2 반도체 칩은, 상기 제1 반도체 칩보다 작은 평면 시야영역을 덮는 것을 특징으로 하는 메모리 카드.

### 청구항 13.

제 12 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

### 청구항 14.

주면과, 상기 주면과 대향되는 배면을 가지는 기판과;

상기 주면 상에 형성되는 복수의 제1 전극과;

상기 주면 상에 형성되는 복수의 제2 전극과;

상기 배면 상에 형성되는 복수의 외부 접속단자와;

주면을 가지고, 메모리 회로와 상기 주면 상에 형성되는 복수의 본딩패드를 포함하며, 상기 기판의 상기 주면 상에 탑재되는 제1 반도체 칩과;

주면을 가지고, 상기 메모리 회로를 제어하는 제어회로와 상기 주면 상에 형성되는 복수의 본딩 패드를 포함하며, 상기 제1 반도체 칩의 상기 주면 상에 적층되는 제2 반도체 칩과;

상기 복수의 제1 전극 중 하나에 대응하여 상기 제1 반도체 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제1 와이어와;

상기 복수의 제2 전극 중 하나에 대응하여 상기 제2 반도체 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제2 와이어 및;

상기 제1 반도체 칩, 상기 제2 반도체 칩, 상기 제1 와이어, 상기 제2 와이어, 상기 복수의 제1 및 제2 전극을 밀봉하는 수지를 포함하고,

상기 제1 전극은, 평면 시야(視野)에서, 상기 탑재된 제1 반도체 칩의 한변을 따라 위치되어 있고,

상기 제2 전극은, 평면 시야에서, 상기 탑재된 제1 반도체 칩의 다른 한변을 따라 위치되어 있는 것을 특징으로 하는 메모리 카드.

**청구항 15.**

제 14 항에 있어서,

상기 제1 및 제2 반도체 칩의 적층 평면 시야에 대해서, 상기 제2 와이어는 상기 제1 와이어와는 하나도 교차하지 않는 것을 특징으로 하는 메모리 카드.

**청구항 16.**

제 14 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

**청구항 17.**

제 14 항에 있어서,

상기 제1 반도체 칩과 상기 제2 반도체 칩의 각각은, 각 칩의 두께를 줄이기 위해 연마된, 상기 주면과 대향되는 배면을 가지는 것을 특징으로 하는 메모리 카드.

**청구항 18.**

제 17 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

**청구항 19.**

제 14 항에 있어서,

상기 제2 반도체 칩은, 상기 제1 반도체 칩보다 작은 평면 시야영역을 덮는 것을 특징으로 하는 메모리 카드.

**청구항 20.**

제 19 항에 있어서,

상기 메모리 회로는 플래시 메모리인 것을 특징으로 하는 메모리 카드.

**청구항 21.**

제 14 항에 있어서,

상기 기관의 상기 주면을 덮는 캡(cap)을 더 포함하는 것을 특징으로 하는 메모리 카드.

**청구항 22.**

제 1 항에 있어서,

상기 기관의 상기 주면을 덮는 캡을 더 포함하는 것을 특징으로 하는 메모리 카드.

**청구항 23.**

주면과, 상기 주면과 대향되는 배면을 가지는 기관과;

상기 주면 상에 형성되는 복수의 제1 전극과;

상기 주면 상에 형성되는 복수의 제2 전극과;

상기 배면 상에 형성되는 복수의 외부 접속단자와;

주면을 가지고, 플래시 메모리 회로와 상기 주면 상에 형성되는 복수의 본딩패드를 포함하며, 접촉제에 의해 상기 기관의 상기 주면 상에 탑재되는 플래시 메모리 칩과;

주면을 가지고, 상기 플래시 메모리 회로를 제어하는 제어회로와 상기 주면 상에 형성되는 복수의 본딩 패드를 포함하며, 접촉제에 의해 상기 플래시 메모리 칩의 상기 주면 상에 적층되는 제어 칩과;

상기 복수의 제1 전극 중 하나에 대응하여 상기 플래시 메모리 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제1 와이어와;

상기 복수의 제2 전극 중 하나에 대응하여 상기 제어 칩의 상기 본딩 패드의 각각을 전기적으로 접속하는 제2 와이어와;

상기 플래시 메모리 칩, 상기 제어 칩, 상기 제1 와이어, 상기 제2 와이어, 상기 복수의 제1 전극 및 상기 복수의 제2 전극을 밀봉하는 수지 및;

상기 기관의 상기 주면을 덮는 캡(cap)을 포함하고,

상기 플래시 메모리 칩의 크기(size)는, 상기 제어 칩의 크기보다 크며,

상기 제1 와이어는, 평면 시야에서, 상기 플래시 메모리 칩의 제1번 상에서 교차하고,

상기 제2 와이어는, 평면 시야에서, 상기 제1 와이어가 교차하는 상기 제1번과는 다른, 상기 플래시 메모리 칩의 제2번 상에서 교차하며,

상기 제1 전극은, 상기 탑재된 플래시 메모리 칩의 상기 제1번을 따라 위치되어 있고,

상기 제2 전극은, 상기 탑재된 플래시 메모리 칩의 상기 제2번을 따라 위치되어 있는 것을 특징으로 하는 메모리 카드.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 IC 카드에 실장되어 있는 반도체 집적회로 칩의 정전파괴(ESD(Electrostatic Discharge)파괴라고도 칭함)를 제어하는 기술에 관한 것으로, 예를 들면 멀티미디어 카드 등의 메모리 카드에 적용하는 유효한 기술에 관한 것이다.

멀티미디어의 데이터 저장용으로서 소형 경량화를 실현한 여러가지의 메모리 카드가 제공되고 있다. 예를 들면, 메모리와 메모리 컨트롤러를 카드 기판에 탑재하여 적은 수의 신호로 호스트장치와 인터페이스가 가능하게 하는 것을 특징으로 하는 멀티미디어 카드가 제공되고 있다.

이러한 종류의 메모리 카드는 소형 경량화를 우선시키기 때문에, 호스트장치에 접속되는 접속단자를 카드 기판에서 노출시키고, 특별한 단자보호 커버 등의 기구는 설치되어 있지 않다. 따라서, 호스트장치에서 메모리 카드를 이탈시켰을 때, 노출단자에 닿거나 하면, 그 노출단자에 접속하는 반도체 집적회로 칩이 파괴될 염려가 있다. 통상, 반도체 집적회로 칩에는 입력회로의 정전파괴를 방지하기 위한 입력 보호회로가 함께 집적되어 있다. 입력 보호회로는 예를 들면 입력단자의 입력 신호 진폭전압에 대해 역 접속상태가 되는 다이오드 등의 소자를 전원단자와의 사이에 배치하여 구성된다. 그러나, 그와 같은 메모리 카드는 단체(單體)로 운반되거나 호스트장치에서 빈번하게 착탈되는 경우도 예상되어 정전파괴방지를 강화하는 것의 유용성이 본 발명자에 의해 발견되었다.

여기서, 상기 메모리 카드와는 기술분야가 다르지만, 정전파괴에 대한 입력보호를 강화하는 기술로서, 특개평 10-209379호 공보에 기재의 기술이 있다. 이것은 반도체기판 상의 전극층에 대해 정전기가 방전할 수 있는 간격(방전 갭)을 사이에 두고 금속배선층을 형성함으로써, 전극층에 정전기가 진입했을 때, 그 정전기를 금속배선층에 향해 방전시켜, 전극층에 진입한 정전기가 반도체소자 내부에 진입하는 것을 방지하려고 하는 것이다. 또, 특개평 7-271937호 공보에는 반도체 집적회로 칩 밖에 정전파괴방지를 위한 외장 MOSFET의 게이트·소스전극간 보호다이오드를 채용한 회로가 나타나 있다.

또, 각종 회로의 과전압보호의 관점에서, 반도체 세라믹스를 사용한 배리스터가 제공되고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명자는 접속단자를 노출한 메모리 카드 등의 IC 카드에 관한 정전파괴방지를 강화하는 관점에서, 이하의 검토를 행했다.

첫째, 정전파괴방지의 강화에 유용한 에너지 내량을 얻는 데에 소자 사이즈가 큰 제너다이오드 등을 반도체 집적회로 칩에 집적하면, 회로소자가 미세화된 중에서 면적효율이 나쁘게 되고, 현저하게 코스트를 상승시키는 것이 명백하게 되었다.

둘째, 반도체 집적회로 칩에 과전압 보호용의 소자를 외장하여 정전파괴방지 강화책을 강구하는 경우, 반도체 집적회로 칩에 내장된 과전압 보호회로의 특성이나 능력과의 관계를 고려하지 않으면 정전파괴방지의 실효가 향상되지 않으며, 또 외장 회로소자가 너무 크거나, 너무 많거나 하여 IC 카드의 사이즈나 두께를 크게할 염려가 있다는 것이 명백하게 되었다. 상기 종래기술에는 그와 같은 관점은 나타나 있지 않다. 본 명세서에서 과전압이란 정전적으로 발생하는 서지(surge)전압 혹은 과도전압을 의미한다.

셋째, 외장 회로소자에 의한 정전파괴방지 강화책을 강구해도, 취급자의 무지 등에 의한 예기치 않은 취급을 받은 경우라도 파괴로부터 절대로 피할 수 있다는 보장은 없으므로, 더욱 만전을 기할 필요가 있다.

넷째, 반도체 집적회로 칩의 입력회로가 정전파괴되도, 메모리의 데이터만은 무사한 경우도 상정할 수 있으며, 그와 같은 때는 메모리 카드의 데이터 리커버리를 가능하게 하는 것이, 데이터 구제라는 점에서 우수하고, 메모리 카드의 기억매체로서의 안전성도 높일 수 있다.

다섯째, 외장 회로소자에 의한 정전파괴방지 강화책을 강구하면, 적어도 그 만큼 카드 기판 상의 빈 영역이 줄고, 그와 같은 경우에도 신호선의 바람직하지 않은 리크에 의한 오동작의 원인이 되는 배선패턴의 밀집이나 본딩와이어의 밀집을 피할 수 있는 연구도 필요하게 된다. 이것은 메모리 카드의 기억용량을 증대시킬 때에도 필요한 고려이다.

본 발명의 목적은 반도체 집적회로 칩의 코스트를 상승시키지 않고 그것에 대한 정전파괴방지를 강화할 수 있는 IC 카드를 제공하는 데에 있다.

본 발명의 다른 목적은 카드의 사이즈나 두께를 크게 변화시키지 않고, 반도체 집적회로 칩에 과전압 보호소자를 외장하여 정전파괴방지를 강화할 수 있는 IC 카드를 제공하는 데에 있다.

본 발명의 그 밖의 목적은 취급자의 무지 등에 의한 예기치 않은 취급에 기인한 정전파괴의 예방도 기대할 수 있는 IC 카드를 제공하는 데에 있다.

본 발명의 그 밖의 목적은 반도체 집적회로 칩의 입력회로가 정전파괴되도, 메모리의 데이터가 무사한 경우에는 메모리 카드의 데이터를 용이하게 리커버리하는 것이 가능한 IC 카드를 제공하는 데에 있다.

본 발명의 그 밖의 목적은 외장 회로소자에 의한 정전파괴방지 강화책에 의해 카드 기관 상의 빈 영역이 줄어도, 신호선의 바람직하지 않은 리크에 의한 오동작의 원인이 되는 배선패턴의 밀집이나 본딩와이어의 밀집을 피할 수 있는 IC 카드를 제공하는 데에 있다.

본 발명의 또 다른 목적은 비교적 작은 사이즈에 비교적 큰 기억용량을 가지는 IC 카드를 제공하는 데에 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은 본 명세서의 기술 및 첨부도면에서 명백하게 될 것이다.

## 발명의 구성

본원에서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

[1] 반도체 집적회로 칩에 집적된 제1 과전압 보호소자와의 관계를 고려하여 정전파괴방지를 강화할 수 있는 제2 과전압 보호소자를 반도체 집적회로 칩에 외장한다. 즉, 카드 기관에 반도체 집적회로 칩을 가지고, 복수개의 접속단자를 노출시킨 IC 카드로서, 상기 접속단자는 상기 반도체 집적회로 칩의 소정의 외부단자에 접속되며, 상기 반도체 집적회로 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되고, 상기 카드 기관에는 상기 접속단자에 접속하는 제2 과전압 보호소자가 실장되어 있다.

이 때, 제1 관점에 의하면, 상기 제2 과전압 보호소자는 상기 제1 과전압 보호소자를 상회하는 전류허용능력을 가지는 가변저항소자이다.

제2 관점에 의하면, 상기 제2 과전압 보호소자에 정격전압보다도 큰 전압을 인가함으로써 규정의 펄스전류를 흘리는 데에 필요한 인가전압은 상기 제1 과전압 보호소자의 관계로 보아 상기 규정의 펄스전류보다도 적은 전류밖에 흘릴 수 없는 전압이다.

제3 관점에 의하면, 상기 제2 과전압 보호소자는 상기 제1 과전압 보호소자보다도 큰 파괴전압을 가지는 가변저항소자이다.

제4 관점에 의하면, 상기 제2 과전압 보호소자는 상기 제1 과전압 보호소자보다도 큰 용량을 가지는 소자이다.

이것에 의해 고속 서지펄스를 저저항으로 바이패스(by-pass)할 수 있다.

제5 관점에 의하면, 상기 제2 과전압 보호소자의 항복전압은 상기 제1 과전압 보호소자의 파괴전압보다도 작다.

제6 관점에 의하면, 상기 제2 과전압 보호소자의 항복전압은 상기 제1 과전압 보호소자에 의해 보호되는 회로의 파괴전압보다도 작다.

상기 어느 관점에 있어서도, 제2 과전압 보호소자에는 반도체 집적회로 칩에 내장된 제1 과전압 보호소자의 특성이나 능력과의 관계가 고려되어 있으므로, 그것에 의한 정전파괴 방지효과를 실효있는 것으로 할 수 있다.

상기 제2 과전압 보호소자는 일단을 상기 카드 기관의 전원용 접속단자에 접속하며, 타단을 신호용 접속단자에 접속해도 좋다. 이 신호용 접속단자는 반도체 집적회로 칩의 대응 외부단자에 접속되어 있다. 이때, 상기 신호용 접속단자에서 대응하는 제2 과전압 보호소자에 도달 할 때까지의 신호전파 거리는, 상기 신호용 접속단자에서 반도체 집적회로 칩의 대응 외부단자에 도달 할 때까지의 신호전파 거리보다도 짧다. 이것에 의해, 과전압에 의해 제2 과전압 보호소자가 기능하기 전에 반도체 집적회로 칩이 과전압에 의한 파괴적인 영향을 직접 받는 것을 저지할 수 있다.



상기 제2 과전압 보호소자로는 반도체 세라믹스를 주체로 한 면실장형의 배리스터, 칩 다이오드 어레이, 칩 콘덴서 또는 칩 트랜지스터를 채용해도 좋다. 이것은 제2 과전압 보호소자의 실장면적 혹은 점유면적을 작게 하는 것을 가능하게 한다. 면실장에 의해 제조코스트를 저감할 수 있다.

IC 카드로서 멀티미디어 카드와 같은 메모리 카드를 상정했을 때, 상기 반도체 칩은 컨트롤러 칩이며, 이 컨트롤러 칩에 접속되는 단수 또는 복수개의 메모리 칩(예를 들면 불휘발성 메모리 칩)이 더 상기 카드 기판에 탑재된다. 상기 컨트롤러 칩은 외부에서의 지시에 따라 상기 메모리 칩에 대한 리드·라이트 동작을 제어하는 메모리 컨트롤 기능을 가진다.

데이터 시큐리티(security) 혹은 저작권 보호 등을 고려하는 경우에는, 상기 컨트롤러 칩에는 상기 메모리 칩에 기록 데이터에 대해 암호화를 행하며, 상기 메모리 칩에서 판독한 데이터에 대해서 복호(復號)를 행하는 기밀보호 기능을 채용해도 좋다.

IC 카드의 제조과정에서도 정전파괴의 방지를 고려하면, 상기 접속단자에 접속하는 제2 과전압 보호소자를 상기 카드 기판에 먼저 실장하고, 그 후에 상기 접속단자에 상기 반도체 집적회로 칩의 소정의 외부단자를 접속하면 좋다. 이것에 의해, 상기 반도체 집적회로 칩을 접속하는 공정에서 제2 과전압 보호소자에 의한 보호를 받는다.

[2] 카드 기판에 반도체 집적회로 칩을 가지고, 복수개의 접속단자가 노출되며, 상기 접속단자에는 상기 반도체 집적회로 칩의 소정의 외부단자가 접속되고, 상기 반도체 집적회로 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되며, 상기 카드 기판에는 상기 접속단자에 접속하는 제2 과전압 보호소자가 실장된 IC 카드에 관한 것으로, 상기 제2 과전압 보호소자는 카드 기판에 형성되어 있는 도전패턴에 면실장으로 접속해도 좋다. 제2 과전압 보호소자의 실장코스트를 저감할 수 있다.

IC 카드로서 멀티미디어 카드와 같은 메모리 카드를 상정했을 때, 상기 반도체 칩은 컨트롤러 칩이며, 이 컨트롤러 칩에 접속되는 단수 또는 복수개의 메모리 칩이 더 상기 카드 기판에 탑재되게 된다. 이때 상기 접속단자와 컨트롤러 칩의 외부단자와의 접속에 본딩와이어를 이용하며, 상기 컨트롤러 칩과 메모리 칩과의 접속에 본딩와이어를 이용해도 좋다. 이것에 의해, 상기 본딩와이어에 의한 접속과 동기능의 다수의 배선패턴을 카드 기판에 밀집시켜 형성하지 않아도 된다. 컨트롤러 칩이나 메모리 칩의 상방공간을 배선에 이용할 수 있다. 따라서, 카드 기판의 코스트 저감에 기여할 수 있다.

복수개의 메모리 칩을 본딩와이어로 컨트롤러 칩에 병렬적으로 접속할 때, 본딩와이어의 배선 길이를 짧게한다는 관점에서, 상기 메모리 칩을 각각의 외부단자가 노출하도록 위치를 어긋나게 하여 복수개 중복된 상태로 상기 카드 기판에 실장하면 좋다. 이것에 의해, 각각의 메모리 칩을 중복되지 않게 배치하는 경우에 비해, 컨트롤러 칩과의 거리가 짧게 되며, 본딩와이어의 배선 길이가 짧게 된다. 따라서, 본딩와이어의 바람직하지 않은 접촉이나 단선의 염려를 저감할 수 있다. 특히 이때, 상기 카드 기판의 상기 일면의 표면적은 상기 메모리 칩 및 컨트롤러 칩의 총 면적보다도 크게 되어 있다는 조건을 유지하면 좋다. 이것은 카드 기판의 일면에만 배선층을 형성한다는 제약조건에도 충분히 대처할 수 있을 만큼의 여유 스페이스를 카드 기판에 확보할 수 있도록 하기 위한 고려이다. 단순히 카드 기판의 면적을 작게 하기 위해 메모리 칩을 중복하여 실장하는 것과는 사고방식이 다르다.

[3] 복수개의 메모리 칩과 상기 메모리 칩을 제어하는 컨트롤러 칩을 카드 기판의 일면에 실장하여 이루어지는 IC 카드에 관한 것으로, 상기 메모리 칩은 각각의 외부단자를 노출하도록 위치를 어긋나게 하여 복수개 중복된 상태로 상기 카드 기판에 실장할 때, 상기 컨트롤러 칩에서 서로 동일 신호를 받는 메모리 칩의 외부단자를 본딩와이어로 순차 직렬 접속한다. 소위 스티치 케뎀과 같은 본딩수법을 채용한다. 컨트롤러 칩에서 각 외부단자에 각각 본딩와이어로 접속하는 경우에 비해 본딩와이어를 전체로서 짧게 할 수 있으며, 이 점에서도, 본딩와이어의 밀집에 의한 바람직하지 않은 접촉이나 단선의 염려를 저감할 수 있다.

또, 복수개의 메모리 칩과 상기 메모리 칩을 제어하는 컨트롤러 칩을 카드 기판의 일면에 실장하여 이루어지는 IC 카드에 관한 것으로, 상기 메모리 칩을 각각의 외부단자를 노출하도록 위치를 어긋나게 하여 복수개 중복된 상태로 상기 카드 기판에 실장할 때, 상기 메모리 칩의 칩 선택신호 입력용의 외부단자를 불휘발성 메모리 칩의 외부단자 배열의 끝에 위치시켜, 각각 따로따로 본딩와이어로 상기 컨트롤러 칩에 접속한다. 복수개의 메모리 칩이 각각 칩 선택되어야 할 구성에서는, 칩 선택신호 입력용의 외부단자는 컨트롤러 칩의 칩 선택신호 출력용 외부단자에 각각 접속되어 있지 않으면 안되고, 상기 스티치본딩과 같은 수법을 채용할 수 없지만, 칩 선택용 외부단자는 메모리 칩의 끝에 배치되어 있으므로, 그 밖의 본딩와이어에 방해되지 않고 필요한 접속을 취하는 것이 용이하게 된다.

[4] 카드 기관에 실장되는 메모리 칩 및 컨트롤러 칩 등의 배열에 관해서는, 열 모양의 배열을 채용해도 좋다. 즉, 메모리 칩은 컨트롤러 칩에 접속되며, 카드 기관에 형성된 접속단자는 상기 컨트롤러 칩의 소정의 외부단자에 접속되고, 상기 컨트롤러 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되며, 상기 카드 기관에는 상기 접속단자에 접속하는 제2 과전압 보호소자가 실장되어 있다. 그리고, 상기 접속단자에서 멀어지는 거리를, 상기 제2 과전압 보호소자, 컨트롤러 칩, 복수개의 메모리 칩의 순으로 크게 하여, 그들을 상기 카드 기관의 한면에서 대향면에 향해 열 모양으로 배치한다. 이 열 모양 배치에 의해, 최종적으로 과전압을 퇴피시키기 위한 제2 과전압 보호소자가 과전압 인가단인 접속단자에 가장 가깝고, 데이터를 저장한 메모리 칩이 가장 멀게 되며, 반도체 칩의 정전과피방지라는 관점, 그리고, 데이터 보호라는 관점에서, 높은 신뢰성을 얻을 수 있다.

이 경우에도 전술과 마찬가지로, 상기 메모리 칩을 각각의 외부단자가 노출하도록 위치를 어긋나게 하여 중복된 상태로 상기 카드 기관에 실장해도 좋다.

카드 기관에 실장되는 메모리 칩 및 컨트롤러 칩 등의 배열은 열 모양 배열에 한정되지 않는다. 상기 카드 기관의 인접 2면 중 한쪽 면에 따라 상기 복수개의 접속단자가 배열되어 있을 때, 상기 인접 2면의 다른쪽 면에 길이방향을 따라 메모리 컨트롤러를 배치하고, 상기 복수개의 메모리 칩을 상기 접속단자의 배열방향과는 거의 직각 방향으로 병렬시킨다. 카드 기관에서 노출되는 접속단자는 상기 컨트롤러 칩의 소정의 외부단자에 접속되며, 상기 컨트롤러 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되고, 상기 메모리 칩은 상기 컨트롤러 칩에 접속된다. 접속단자와 컨트롤러 칩을 카드 기관의 인접 2면에 붙여 배치하는 레이아웃 구성에 의하면, 메모리 칩의 실장밀도 혹은 실장개수를 늘리는 것이 용이하게 된다. 상기 메모리 칩은 각각의 외부단자를 노출하도록 위치를 어긋나게 한 상태로 복수개 중복된 제1 그룹과, 동일하게 복수개 중복된 제2 그룹으로 나누어진 상태로 병렬하면, IC 카드의 높이도 억제하는 것이 용이하게 된다. 상기 카드 기관에는 상기 접속단자에 접속하는 제2 과전압 보호소자를 상기 접속단자의 배열방향에 따라 실장해도 좋다.

[5] 카드 기관의 양면에 도전패턴을 형성하여 IC 카드를 구성하는 경우에, 도전패턴의 접속에는 일반적으로 카드 기관을 관통하는 스루홀을 이용할 수 있다. 이때, 상기 스루홀은 상기 반도체 집적회로 칩과 함께 카드 기관의 타면을 덮는 몰드영역에서 바깥에 배치하면 좋다. 압력을 가하여 몰드를 행할 때, 몰드수지가 스루홀을 통해 카드 기관의 뒷면으로 누설되는 염려를 배제할 수 있다.

IC 카드에서 노출되는 접속단자에 스루홀을 형성하는 경우, 당해 스루홀을 상기 접속단자의 접동면에 대해 편이한 위치에 형성하면 좋다. 이것에 의해, IC 카드를 장착 슬롯에서 착탈하여도, 슬롯의 단자는 스루홀에 접촉(摺接)하지 않고, 기계적인 힘이 작용하는 일은 없으므로, 접속단자의 패턴에 스루홀에서 크랙이 생기거나 하여 손상하는 염려를 미연에 방지할 수 있다.

카드 기관의 일면에 복수개의 접속단자가 노출되며, 상기 카드 기관의 타면에 반도체 집적회로 칩이 실장되고, 상기 접속단자에 상기 반도체 집적회로 칩의 소정의 외부단자가 접속되며, 상기 반도체 집적회로 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되고, 상기 카드 기관의 타면에는 상기 접속단자에 접속하는 제2 과전압 보호소자가 실장된 IC 카드에 관한 것으로, 상기 반도체 집적회로 칩 및 제2 과전압 보호소자와 함께 카드 기관의 타면을 금속 캡으로 덮으면 좋다. 또, 이 금속 캡은 관금의 드로잉, 단조법, 다이캐스트법으로 형성할 수 있다. 이것에 의해, 수지 캡에 비해 EMI (Electro Magnetic Interference : 전자파방해) 대책이 되며, 기계적인 조임에 의한 밀봉이나 고온의 캡 밀봉도 가능하게 된다. 수지 캡에 있어서도, 페라이트(ferrite) 등의 전자파 흡수재료를 혼합하는 것도 가능하다. ESD 대책으로서는 카본 등의 도전입자를 혼합할 수 있다.

카드 기관 근방에서 발생하는 정전기방전에 의한 영향을 완화하기 위해 카드 기관에 도전성 실드 패턴을 채용해도 좋다. 즉, 카드 기관의 일면에 복수개의 접속단자가 노출되며, 상기 카드 기관의 타면에 반도체 집적회로 칩이 실장된 IC 카드로서, 상기 접속단자는 상기 반도체 집적회로 칩의 소정의 외부단자에 접속되고, 상기 반도체 집적회로 칩에는 상기 외부단자에 접속하는 제1 과전압 보호소자가 집적되며, 상기 카드 기관의 타면에는 상기 접속단자에 접속하는 제2 과전압 보호소자가 실장되고, 상기 카드 기관의 일면에는 상기 접속단자를 제외하는 영역에 도전성 실드 패턴을 형성하며, 상기 도전성 실드패턴을 그라운드전원 공급용의 상기 접속단자에 접속하고, 또 어느 접속단자라도 비접촉으로 한다. 상기 도전성 실드 패턴은 정전기를 분산시킨다.

[6] IC 카드 취급자의 무지 등에 의한 예기치 않은 취급을 받았을 때의 정전과피의 예방이라는 관점에서, 복수개의 접속단자를 노출시켜 반도체 집적회로 칩을 실장하고 있는 IC 카드의 표면에, 당해 IC 카드를 손가락으로 쥐는 위치를 명시하

기 위한 표시(예를 들면 착탈시에 손가락으로 쥐는 위치에 인쇄한 손가락 형상의 표시)를 만들어 둔다. 또, IC 카드의 표면에 상기 접속단자에 닿지 않도록 촉구하는 주의서를 붙인다. 또한, IC 카드를 포함한 포장재에 IC 카드의 상기 접속단자에 닿지 않도록 촉구하는 주의서를 붙여 둔다.

[7] 기억 데이터의 리커버리라는 관점에 착안한 IC 카드는 복수개의 접속단자를 노출시켜, 카드 기판에 복수개의 메모리 칩과 상기 메모리 칩을 제어하는 컨트롤러 칩을 실장하고, 상기 접속단자는 상기 컨트롤러 칩의 제1 군의 외부단자에 접속되며, 상기 메모리 칩은 상기 컨트롤러 칩의 제2 군의 외부단자에 접속되고, 상기 제2 군의 외부단자에 접속하는 데이터 평가용 단자를 상기 카드 기판에 형성해 둔다.

상기에 의하면, 컨트롤러 칩이 정전과피 등에 의해 메모리 컨트롤 동작 불가능으로 되었을 때, 외부에서 상기 데이터 평가용 단자를 통해 상기 메모리 칩을 직접 액세스 제어할 수 있다. 이것에 의해, 컨트롤러 칩이 파괴되어도, 메모리 칩에 데이터가 남아 있으면, 이것은 용이하게 회복할 수 있다.

상기 컨트롤러 칩의 제2 군의 외부단자에 포함되는 출력단자를 고출력 임피던스상태로 제어하는 제어단자를 상기 카드 기판에 더 설치하여도 좋다. 파괴된 컨트롤러 칩이 바람직하지 않은 신호출력 상태로 된 경우에 이것을 용이하게 해소할 수 있다.

상기 컨트롤러 칩은 상기 메모리 칩에 기록 데이터에 대해 암호화를 행하고, 상기 메모리 칩에서 판독한 데이터에 대해서 복호화를 행하는 기밀보호 기능을 가지는 경우가 있다. 이 경우에는, 데이터의 회복은 IC 카드의 메이커 혹은 그 허가를 얻은 자 등이, 메모리 칩에서 판독된 데이터를 복호하여 데이터의 회복을 도모하게 된다.

[8] 상기 데이터 평가용 단자를 구비한 IC 카드에 대한 데이터 리커버리의 가장 심플한 수법은, 상기 컨트롤러 칩에 의한 메모리 칩의 제어를 불가능한 상태로 하는 제1 처리와, 상기 데이터 평가용 단자에서 메모리 칩을 제어하여 데이터를 판독하는 제2 처리를 포함한다. 컨트롤러 칩이 상기 기밀보호 기능을 가지는 경우를 상정했을 때의 데이터 리커버리 방법은, 상기 컨트롤러 칩의 상기 제2 군의 외부단자에 포함되는 출력단자를 고출력 임피던스 상태로 제어하는 제1 처리와, 상기 데이터 평가용 단자에서 메모리를 제어하여 데이터를 판독하는 제2 처리와, 상기 제2 처리에서 판독한 데이터를 복호하는 제3 처리와, 상기 제3 처리에서 복호한 데이터를 다른 IC 카드에 기록하는 제4 처리를 포함한다.

이것에 의해, 반도체 집적회로 칩의 입력회로가 정전 파괴되어도, 메모리의 데이터가 무사한 경우에는 메모리 카드의 데이터를 용이하게 리커버리 할 수 있다.

#### < 배리스터에 의한 정전과피 방지기능의 강화 >

먼저, 배리스터 등의 외장 회로소자에 의해 반도체 집적회로에 대한 정전과피 방지기능을 강화하기 위한 원리적인 구성에 대해서 설명한다.

도 1에는 본 발명에 관한 IC 카드의 일예가 하나의 접속단자에 관해서 나타나 있다. 동 도면에 나타내는 IC 카드는 카드 기판(1)에 반도체 집적회로 칩(2)을 가지고, 대표적으로 나타낸 접속단자(3)를 노출시키고 있다. 접속단자(3)는 IC 카드가 착탈되는 호스트장치에 당해 IC 카드를 전기적으로 접속하기 위한 인터페이스 단자이다.

상기 접속단자(3)는 상기 반도체 집적회로 칩(2)의 소정의 외부단자(4)에 접속되어 있다. 외부단자(4)는 예를 들면 입력단자이며, 신호선(5)을 통해 예를 들면 입력회로 초단의 CMOS 인버터에 접속되어 있다. CMOS 인버터는 회로의 그라운드 단자(Vss)와 전원단자(Vcc)와의 사이에 직렬배치된 p채널형의 전계효과트랜지스터(단위 MOS 트랜지스터라고도 기록함)(Q1) 및 n채널형의 MOS 트랜지스터(Q2)로 구성된다. 상기 반도체 집적회로 칩(2)에는 상기 외부단자(4)에 접속하는 제1 과전압 보호소자로서 다이오드(7, 8), 사이리스터(thyristor)(9) 및 클램프(clamp) MOS 트랜지스터(Q5)가 집적되며, 상기 카드 기판(1)에는 상기 접속단자(3)에 접속하는 제2 과전압 보호소자로서 배리스터(11)가 실장되어 있다. 상기 다이오드(7, 8), 사이리스터(9) 및 클램프 MOS 트랜지스터(Q5)는 입력 보호회로(6)를 구성한다.

또한, MOS 트랜지스터의 소스 및 드레인은 동작전압의 방향에 따라 상대적으로 결정하는 개념이지만, 본 명세서에서는 편의상, 동작전원(Vss, Vcc)에 의한 통상 동작상태로 결정되는 명칭을 단자의 명칭으로서 이용한다.

상기 다이오드(7)의 애노드(anode)는 입력신호선(4)에, 캐소드(cathode)는 전원단자(Vcc)에 접속되며, 타방의 다이오드(8)의 캐소드는 입력신호선(4)에, 애노드는 그라운드단자(Vss)에 접속되어 있다. 사이리스터(9)는 pnp 트랜지스터(Q3)와

npn 트랜지스터(Q4)에 의해 증가적으로 구성되며, 애노드가 입력신호선(4)에, 캐소드가 그라운드단자(Vss)에 접속된다. MOS 트랜지스터(Q5)는 게이트·소스가 그라운드단자(Vss)에, 드레인이 입력신호선(4)에 접속된, 소위 다이오드 접속형태의 클램프 MOS 트랜지스터이다.

12, 13은 입력 보호저항이다. Q6, Q7은 게이트·소스가 접속된 소위 다이오드 접속형식의 p채널형 클램프 MOS 트랜지스터, n채널형 클램프 MOS 트랜지스터이다. 상기 클램프 MOS 트랜지스터(Q6, Q7)는 상기 입력 보호회로(6)에서 과전압이 누설될 경우에 대처하기 위한 보조적인 기능을 가지는 회로소자이며, 단독으로는 제1 과전압 보호소자가 될수 없으나, 다른 회로소자와 협동으로 과전압 보호소자로 될수 있는 것이다.

접속단자(3)에는 정상상태에서 그라운드전압(Vss)에서 전원전압(Vcc)의 사이의 전압진폭을 가지는 신호가 입력된다. 이때, 상기 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5, Q6, Q7)는 모두 역 접속상태로 되어 있다.

정전방전 등에 의해 접속단자(3)에 정극성의 과전압이 인가되면, 다이오드(7)가 순방향 접속상태가 되며, 또, 사이리스터(9)의 애노드가 순방향 소자전압을 초과하여 온상태가 되고, 이것에 의해 과전압은 전원전압(Vcc), 그라운드전압(Vss)에 흘러들어, 후단으로의 전달이 저지 혹은 완화된다. 클램프 MOS 트랜지스터(Q6)는 그 정극성의 과전압이 조금 누설되어도 온 동작하여 전원전압(Vcc)으로 흐르려고 한다.

한편, 정전방전 등으로 접속단자(3)에 부극성의 과전압이 인가되면, 이번은 다이오드(8)가 순방향 접속상태가 되며, 또 클램프 MOS 트랜지스터(Q5)가 온상태가 되고, 이것에 의해 과전압은 그라운드전압(Vss)에 흘러들어, 후단으로의 전달이 저지 혹은 완화된다. 클램프 MOS 트랜지스터(Q7)는 그 부극성의 과전압이 조금 누설되어도 온 동작하여 그라운드전압(Vss)으로 흐르려고 한다.

상기 배리스터(11)는 입력 보호회로(6)의 상기 과전압 보호소자 동작이 한계에 도달하기 전에 과전압 소자동작에 들어갈 수 있도록 설정된 회로소자이며, 정전파괴 방지기능 혹은 과전압 보호기능을 강화하려고 하는 것이다. 상기 배리스터(11)는 제너다이오드 등을 백 투 백(back to back)으로 접속한 회로와 등가 혹은 치환 가능하다.

여기서는 배리스터(11)에는 반도체 세라믹을 이용한 적층칩 배리스터를 채용한다. 이 배리스터(11)는 도2 측면면도에 예시되는 바와 같이, 면실장 가능한 작은 칩 모양을 하고, 양단에 도전성의 측면전극(20, 21)을 가지며, 한쪽의 측면전극(20)에는 타방의 측면전극(21)에 향해 한쌍의 층간전극(22, 23)이 설치되고, 타방의 측면전극(21)에는 상기 한쌍의 층간전극(22, 23)의 사이에 위치시킨 다른 층간전극(24)이 상기 한쪽의 측면전극(20)에 향해 설치되고, 측면전극(20, 21) 및 층간전극(22, 23, 24)의 사이는 반도체 세라믹스(25)로 충족되어 있다.

도 3에는 상기 배리스터(11)의 특성이 나타나 있다. 배리스터(11)는 가변저항소자이며, 도 3의 전류 - 전압(I - V)특성을 가지며, 통상의 정상 사용상태에서는 50 $\mu$ A의 누설전류 이하에서 동작하고, 실사용, 즉 접속단자(3)에서의 신호입력에 영향을 주지않는다. 이 상태는 디바이스로서 여러가지 제공되고 있는 배리스터의 데이터시트 등에 기술되어 있는 고유의 정격전압(사용전압이라고도 칭함)(Vwm) 이하에서 사용함으로써 얻을 수 있다. 반도체 집적회로 칩에 이상한 고전압이 들어 오기 시작하면, 비교적 낮은 전압에서는 반도체 집적회로 칩 내부의 입력 보호회로가 동작하기 시작하지만, 과전압에 대해, 입력 보호회로의 다이오드 등의 과전압 보호소자의 전류허용능력이 부족하게 되어 전류가 포화한다. 이것에 의해 배리스터(11)의 동작전류가 흐르기 시작한다. 그러면, 과전압이 항복전압(Vb) 부근에 도달하면, 전압은 전류에 의하지 않고 거의 일정하게 되는 저저항으로 되며, 그 이상의 과도 대전압에 대해서는 클램프전압(Vc)을 이론상의 한계로 하여, 높은 에너지 허용치로 반도체 집적회로 칩의 정전파괴를 방지한다.

예를 들면, 에너지 내성(耐性)레벨이 0.2J(줄)의 배리스터(11)를 외장한 IC 카드에, 내장 반도체 집적회로 칩의 정전파괴 내성인 수백 볼트 ~ 2킬로 볼트를 훨씬 초과하는 10킬로 볼트(10kV)를 1000A로 10나노초(10nS) 인가한 경우를 상정한 다. 이때의 에너지량은 10kV  $\times$  1000A  $\times$  10nS = 0.1J이며, 이 에너지량은 배리스터(11)의 상기 에너지 내성레벨 이하이므로, 정전파괴는 방지된다.

도 3에서 클램프전압(Vc)은 규정펄스전류, 예를 들면 1A를 8.20초 흘릴때의 단자전압(측면전극 간의 전압)으로 하고, 항복전압(Vb)은 예를 들면 1mA의 전류를 흘릴때의 단자전압으로 하여 규정할 수 있다. 정성적(定性的)으로 설명하면, 항복전압(Vb)은 그 범위에서 직류를 인가하여도 I - V특성의 가역성을 용이하게 유지할 수 있는 전압으로서 정의할 수 있다. 클램프전압(Vc)은 그것을 몇회 초과하면 파괴에 도달할 가능성이 극히 높으며 혹은 파괴에 도달하는 전압으로서 정의할 수 있다.

상기 배리스터(11)의 특성은 입력 보호회로(6)의 과전압 보호소자의 특성을 고려하면, 다음과 같이 규정할 수 있다.

첫째, 배리스터(11)는 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5), 게다가 클램프 MOS 트랜지스터(Q6, Q7)를 상회하는 전류허용능력을 가지는 가변저항소자로서 규정할 수 있다.

둘째, 상기 배리스터(11)에 정격전압보다도 큰 전압을 인가함으로써 규정의 펄스전류를 흘리는 데에 필요한 인가전압, 예를 들면 항복전압( $V_b$ ) 또는 그 근방의 전압은 상기 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터, 게다가 클램프 MOS 트랜지스터(Q6, Q7)의 관계로 보아, 만약 파괴하지 않으면, 상기 규정의 펄스전류보다도 적은 전류밖에 흘릴 수 없는 전압이다.

셋째, 상기 배리스터(11)는 상기 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5), 게다가 클램프 MOS 트랜지스터(Q6, Q7)보다도 큰 파괴전압을 가지는 가변저항소자이다.

넷째, 상기 배리스터(11)는 상기 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5), 게다가 클램프 MOS 트랜지스터(Q6, Q7)보다도 큰 부유용량을 가지는 가변저항소자이다. 도 2의 구조에서 이해되듯이, 전원 단자에 이용하는 경우는, 반도체 세라믹스는 유전체는 아니지만 비교적 큰 용량성분을 가지는 것은 분명하다. 이와 같은 부유용량 성분은 과도전압의 변화를 완화하도록 작용하므로, 큰 쪽이 정전파괴방지에 유용하다. 신호단자에 사용하는 경우는 고속 신호에 응답할 수 있도록 허용범위 내에서 저용량화가 필요하다.

다섯째, 상기 배리스터(11)의 항복전압은 상기 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5), 게다가 클램프 MOS 트랜지스터(Q6, Q7)의 파괴전압보다도 작다. 배리스터(11)는 입력 보호회로(6)가 파괴되기 전에 항복하여 과전압을 피할 수 있다.

여섯째, 상기 배리스터(11)의 항복전압은 상기 입력 보호회로(6)의 다이오드(7, 8), 사이리스터(9), 클램프 MOS 트랜지스터(Q5), 게다가 클램프 MOS 트랜지스터(Q6, Q7)에 의해 보호되는 회로, 예를 들면 MOS 트랜지스터(Q1, Q2)로 이루어지는 CMOS 인버터회로의 파괴전압보다도 작다.

상기에서 설명한 바와 같이, 배리스터(11)에는 반도체 집적회로 칩(2)에 내장된 입력 보호회로(6)를 구성하는 다이오드(7, 8) 등의 과전압 보호소자의 특성이나 능력과의 관계가 고려되어 있으므로, 배리스터(11)에 의한 정전파괴 방지효과를 실효있는 것으로 할 수 있다.

상기 접속단자(3)에서 배리스터(11)에 이르기까지의 신호전과 거리는 상기 접속단자(3)에서 반도체 집적회로 칩(2)의 대응 외부단자(4)에 이르기까지의 신호전과 거리보다도 짧게 되어 있다. 이것에 의해, 과전압에 의해 배리스터(11)가 기능하기 전에 반도체 집적회로 칩(2)이 과전압에 의한 파괴적인 영향을 직접 받는 것을 저지할 수 있다.

상기 배리스터(11)에는 반도체 세라믹스를 주체로 한 면실장형의 배리스터를 채용하고 있으므로, 배리스터(11)의 실장면적 혹은 점유면적을 작게 하는 것이 가능하게 된다. 이 면실장에 의해 IC 카드의 제조 코스트를 저감할 수 있다.

#### < 멀티미디어 카드에의 적용 >

다음에, 상기 배리스터(11)를 이용한 IC 카드를 멀티미디어 카드에 적용한 구체예를 설명한다.

도 4에는 멀티미디어 카드의 접속단자에 대한 배리스터의 접속태양이 예시되어 있다. 멀티미디어 카드는 그 표준화 단계에 의한 사양에 의하면,  $24\text{mm} \times 32\text{mm} \times 1.4\text{mm}$ 의 카드 치수를 가진다. 카드 기판(1)에는 접속단자로서, 칩 셀렉터신호(CS)를 입력하는 접속단자(3a), 커맨드(CMD)를 입력하는 접속단자(3b), 클럭신호(CLK)를 입력하는 접속단자(3c), 데이터(DAT)를 입출력하는 접속단자(3d), 전원전압( $V_{cc}$ )이 공급되는 접속단자(3e) 및 그라운드전압( $V_{ss}$ )이 공급되는 2개의 접속단자(3f, 3g)를 가진다. 이들 접속단자(3a ~ 3g)는 도면의 30으로 나타내는 영역에 실장되어 있는 도시를 생략하는 컨트롤러 칩이나 불휘발성 메모리 칩에 접속되어 있다. 또한, 도 4에서의 접속단자(3a ~ 3g)의 배치는 실제의 멀티미디어 카드와는 상이하게 도시하고 있다.

상기 카드 기판(1)에는 상기 접속단자(3a ~ 3e)와 접속단자(3e, 3g)와의 사이에 각각 배리스터(11a ~ 11e)가 실장되어 있다. 도 4에서 배리스터는 대응단자에 1개씩 설치되어 있지만, 복수개 직렬로 접속하여 이용해도 좋다.

특히 전원전압( $V_{cc}$ )을 받는 접속단자(3e)에 배치된 배리스터(11e)는 바이패스 콘덴서로서의 기능시키는 것이므로, 바이패스 콘덴서로 치환하거나 혹은 도 4와 같이 더 바이패스 콘덴서(31)를 병렬시켜도 좋다.

도 5에는 회로소자 실장상태를 주(主)로 하여 상기 멀티미디어 카드의 구성을 평면적으로 예시하고 있다. 도 6은 그 종단도면이다. 카드 기관(1)은 유리에폭시수지 등으로 구성되며, 그 카드 기관(1)의 뒷면에는 상기 접속단자(3a ~ 3g)가 도전패턴으로 형성되어 있다. 카드 기관(1)의 표면에는 배선패턴이나 도전패턴을 통해 상기 배리스터(11a ~ 11e), 컨트롤러 칩(33), 불휘발성 메모리 칩(34a, 34b)이 실장되어 있다. 도면에서, 36은 스루홀(40)을 통해 대응하는 접속단자(3a ~ 3g)에 접속된 도전패턴, 35는 배리스터(11a ~ 11e)의 일단을 그라운드전압(Vss)에 접속하기 위한 배선패턴이다. 배리스터(11a ~ 11e)는 배선패턴(35)과 접속단자(3a ~ 3e)에 걸쳐 면실장되어 있다.

도면에서 38, 39는 본딩패턴, 37은 대응하는 본딩패턴(38)과 도전패턴(36)을 접속하는 배선패턴이다. 상기 도전패턴(36)과 컨트롤러 칩(33)의 대응하는 외부단자(50)와는 본딩와이어(41)로 접속되며, 컨트롤러 칩(33)의 외부단자(51)와 대응하는 본딩패턴(39)과는 본딩와이어(42)로 접속된다. 본딩패턴(39)과 한쪽의 불휘발성 메모리 칩(34a)의 대응 외부단자(52a)와의 접속은 본딩와이어(43a)로 접속되며, 본딩패턴(39)과 다른쪽의 불휘발성 메모리 칩(34b)의 대응 외부단자(52b)와의 접속은 본딩와이어(43b)로 접속된다. 반도체 집적회로 칩은 소위 베어(bear) 칩이며, 그들의 상기 외부단자(50, 51, 52a, 52b)는 알루미늄, 알루미늄 합금이나 동 등의 본딩패드이다.

상기 불휘발성 메모리 칩(34a, 34b)은 예를 들면 전기적으로 재기록 가능한 플래시 메모리 칩이다. 플래시 메모리 칩은 예를 들면 컨트롤 게이트, 플로팅 게이트, 소스 및 드레인을 가지는 불휘발성 메모리셀 트랜지스터를 매트릭스 배열한 메모리셀 어레이를 가지며, 외부에서 공급되는 커맨드와 어드레스에 따라, 데이터 판독, 소거, 기록, 베리파이(verify) 등의 동작을 행하도록 되어 있다. 이 플래시 메모리 칩으로 이루어지는 불휘발성 메모리 칩(34a, 34b)은 외부단자(52a, 52b)로서, 칩 선택을 지시하는 칩 이네이블신호(칩 선택신호라고도 칭함)(/CE)의 입력단자, 기록동작을 지시하는 라이트 이네이블신호(/WE)의 입력단자, 입출력단자(I/O 0 ~ I/O 7), 입출력단자(I/O 0 ~ I/O 7)를 커먼·데이터의 입출력 또는 어드레스의 입력의 어느 쪽에 이용할까를 지시하는 커먼·데이터 이네이블신호(/CDE)의 입력단자, 출력동작을 지시하는 아웃 풋 이네이블신호(/OE)의 입력단자, 데이터 래치 타이밍을 지시하는 클록신호(/SC)의 입력단자, 기록동작 중을 외부에 지시하는 레디·비지신호(R/B)의 출력단자, 리셋신호(/RES)의 입력단자를 가진다.

상기 컨트롤러 칩(33)은 외부에서의 지시에 따라 상기 불휘발성 메모리 칩(34a, 34b)에 대한 리드·라이트동작을 제어하며, 또한 데이터 시큐리티 혹은 저작권 보호 등을 고려하여, 상기 불휘발성 메모리 칩(34a, 34b)에 기록하는 데이터에 대해 암호화를 행하고, 상기 불휘발성 메모리 칩(34a, 34b)에서 판독한 데이터에 대해 복호를 행하는 기밀보호 기능을 구비하고 있다.

컨트롤러 칩(33)의 외부단자(50)는 접속단자(3a ~ 3g)의 입출력기능에 대응되며, 멀티미디어 카드의 선택동작을 지시하는 셀렉터신호(CS)의 입력단자, 멀티미디어 카드의 동작을 지시하는 커맨드(CMD)를 시리얼 입력하는 입력단자, 외부단자(50)의 신호 입출력동작의 동기신호로 간주되는 클록신호(CLK)의 입력단자, 시리얼로 데이터(DAT)를 입출력하는 단자 및 전원전압(Vcc)과 그라운드전압(Vss)의 입력단자가 된다. 컨트롤러 칩(33)에는 상기 외부단자(50) 내, 입력단자에 대응하여 도 1에서 설명한 입력 보호회로(6) 및 클램프 MOS 트랜지스터(Q6, Q7)도 집적되어 있다.

컨트롤러 칩(33)에서의 메모리 액세스를 위한 외부단자(51)로서, 불휘발성 메모리 칩(34a)에 대한 칩 선택신호(/CE0)의 출력단자, 불휘발성 메모리 칩(34b)에 대한 칩 선택신호(/CE1)의 출력단자를 가지고, 또한 상기 불휘발성 메모리 칩(34a, 34b)의 외부단자에 대응되며 또 그것과는 입출력방향이 반대로 된 외부단자를 가진다.

#### < 본딩와이어 접속 >

상술한 바와 같이, 상기 접속단자(3a ~ 3g)와 컨트롤러 칩(33)의 외부단자(50)와의 접속에 본딩와이어(41)를 이용하며, 상기 컨트롤러 칩(33)과 불휘발성 메모리 칩(34a, 34b)과의 접속에 본딩와이어(43a, 43b)를 이용함으로써, 상기 본딩와이어에 의한 접속과 동기능의 다수의 배선패턴을 카드 기관(1)에 밀집시켜 형성하지 않아도 된다. 컨트롤러 칩(33)이나 불휘발성 메모리 칩(34a, 34b)의 상방공간을 배선에 이용할 수 있다. 요컨대, 본딩와이어의 공중배선에 의해, 기관배선을 간략화하는 것이 가능하게 된다. 따라서, 카드 기관(1)의 코스트 저감에 기여할 수 있다.

#### < 어긋나게 중복한 실장 >

도 5의 구성에서는 2개의 불휘발성 메모리 칩(34a, 34b)을 본딩와이어로 컨트롤러 칩(33)에 병렬적으로 접속하고 있다. 이때, 상기 불휘발성 메모리 칩(34a, 34b)을 각각의 외부단자(52a, 52b)가 노출하도록 위치를 어긋나게 하여 중복한 상태로 상기 카드 기관(1)에 실장하고 있다. 이것에 의해, 각각의 불휘발성 메모리 칩(34a, 34b)을 겹치지 않게 배치하는 경우에 비해, 컨트롤러 칩(33)과의 거리가 짧게 되며, 본딩와이어(43a, 43b)의 배선 길이가 짧게 된다. 따라서, 본딩와이어의

바람직하지 않은 접촉이나 단선의 염려를 저감할 수 있다. 복수개의 불휘발성 메모리 칩을 적층할 때의 어긋나는 량은 상층 칩의 본딩용 외부단자의 아래에는 하나 하층의 칩이 존재할 수 있는 범위로 결정되면 된다. 본딩용 외부단자의 아래에 하층의 칩이 존재하고 있지 않으면, 본딩시의 기계적인 힘에 의한 칩 손상의 염려가 있기 때문이다.

특히 이때, 상기 카드 기관(1)의 상기 일면의 표면적은 상기 불휘발성 메모리 칩(34a, 34b) 및 컨트롤러 칩(33)의 총 면적보다도 크게 되어 있다는 조건을 만족하고 있다. 이것은 카드 기관의 일면에만 배선층을 형성한다는 제약 조건에도 충분히 대처할 수 있는 만큼의 여유 스페이스를 카드 기관(1)에 확보할 수 있도록 하기 위한 고려이다. 단순히 카드 기관(1)의 면적을 작게 하기 위해 불휘발성 메모리 칩을 중복하여 실장하는 것과는 사고방식이 다르다.

< 열 모양 레이아웃 >

도 5의 예에서는 카드 기관(1)에 실장되는 불휘발성 메모리 칩(34a, 34b) 및 컨트롤러 칩(33) 등의 배열에 관해서는 열 모양의 배열을 채용하고 있다. 즉, 배리스터(11a ~ 11e), 컨트롤러 칩(33), 복수개의 메모리 칩(34a, 34b)의 순으로 상기 멀티미디어 카드의 접속단자(3a ~ 3g)에서 멀어지는 거리를 크게하여, 그들을 상기 카드 기관(1)의 한면에서 대향면에 향해 열 모양으로 배치하고 있다. 이 열 모양 배치에 의해, 최종적으로 과전압을 피하기 위한 제2 배리스터(11a ~ 11e)가 과전압 인가단인 접속단자(3a ~ 3g)에 가장 가깝고, 데이터를 저장한 불휘발성 메모리 칩(34a, 34b)이 가장 멀게 되며, 고속펄스의 서지흡수에 효과가 있으므로, 상기 배리스터(11a ~ 11e)에 의한 컨트롤러 칩(33)의 정전과피방지의 강화라는 점, 그리고, 불휘발성 메모리 칩(34a, 34b)의 기억데이터 보호라는 점에서, 높은 신뢰성을 얻을 수 있다.

< 접속단자에 대한 스루홀의 편의 >

도 5에 나타내는 바와 같이 스루홀(40)은 접속단자(3a ~ 3g)에 대해서 편의한 위치에 설치되어 있다. 즉, 도 7의 (A)에 상세가 예시되는 바와 같이, IC 카드에서 노출되는 접속단자(3a)에 스루홀(40)을 형성하는 경우, 당해 스루홀(40)을 상기 접속단자(3a)의 접동면에 대해 편의한 위치에 형성한다. 편의시키는 위치는 도 7의 (B)이라도 좋다. 이것에 의해, IC 카드를 장착 슬롯에서 착탈하여도 슬롯의 단자(40A)는 스루홀(40)에 접촉(摺接)하지 않고, 스루홀(40)에는 기계적인 힘이 작용되는 일은 없으므로, 접속단자(3a)의 패턴에 스루홀(40)에서 균열이 가거나 스루홀 구멍주변이 마모 등으로 손상할 염려를 미연에 방지할 수 있다.

< 몰드영역 바깥에 스루홀 형성 >

도 6에서, 상기 컨트롤러 칩(33) 및 불휘발성 메모리 칩(34a, 34b)은 전체로서 열경화성수지(55)로 몰드되어 있다. 배리스터 소자는 몰드 내에 삽입하거나, 몰드 바깥에 설치하는 것도 가능하다. 이때, 열경화성수지(55)에 의한 몰드영역에는 스루홀(40)을 포함하지 않도록 되어 있다. 따라서, 압력을 가해 몰드를 행할 때, 몰드수지(55)가 스루홀(40)을 통해 카드 기관(1)의 뒤쪽으로 누설되어, 몰드불량을 생기게 하는 염려를 배제할 수 있다.

< 금속 캡 >

도 6에서, 몰드 바깥에 배리스터를 설치한 경우의 배리스터(11a ~ 11e), 컨트롤러 칩(33) 및 불휘발성 메모리 칩(34a, 34b)이 실장되어 있는 카드 기관(1)의 표면은 금속 캡(56)으로 덮여있다. 이것에 의해, 수지 캡에 비해, EMI(Electro Magnetic Interference : 전자파 방해)대책이 되며, 기계적인 조임에 의한 밀봉이나 고온의 캡 밀봉도 가능하게 된다.

도 25에는 상기 금속 캡(56)의 구조가 여러 종류 나타나 있다. (A)는 1개씩 분리하여 단조로 제조된 경우를 나타내고, 라벨 부착용의 근소한 단차부도 형성되어 있다. (B)는 단조후에 블랭킹(blanking)으로 1개씩 분리하여 제조한 경우를 나타낸다. (C)는 판금굽힘성형으로 제조한 경우를 나타낸다. (D)는 (C)의 판금굽힘성형으로 제조된 금속 캡을 뒷면에서 본 사시도이다. 코너부는 굽힘성형 가공시에 주름지므로, 미리 노치(notch)가 형성되어 있다.

< 스티치본딩 >

도 8에는 불휘발성 메모리 칩의 접속에 스티치본딩을 적용한 멀티미디어 카드가 부분적으로 나타난다. 도 9는 스티치본딩 부분의 종단면도이다. 도 5와 같이, 상기 불휘발성 메모리 칩(34a, 34b)이 각각의 외부단자(52a, 52b)를 노출하도록 위치를 어긋나게 하여 복수개 중복된 상태로 상기 카드 기관(1)에 실장되어 있으며, 이때, 상기 컨트롤러 칩(33)에서 상호 동일 신호를 받는 불휘발성 메모리 칩의 외부단자(52a, 52b)를 본딩와이어(57)로 순차 직렬 접속하고 있다. 소위 스티치 페맵과 같은 본딩수법, 즉 스티치본딩이 채용되고 있다. 도 5와 같이 컨트롤러 칩(33)에서 각 외부단자(52a, 52b)에 각각 본딩와이어(43a, 43b)로 접속하는 경우에 비해, 본딩와이어를 전체로서 짧게 할 수 있고, 또 본딩패턴 영역에서의 본딩와이어수

를 저감할 수 있으며, 이 점에서 본딩와이어의 밀집에 의한 바람직하지 않은 접촉이나 단선의 염려를 저감할 수 있다. 또한, 불휘발성 메모리 칩(34a, 34b)에 대한 칩 선택은 각각 행하지 않으면 안되므로, 칩 선택신호(/CE0, /CE1)를 전달하기 위한 본딩와이어(43a, 43b)에는 스티치본딩을 채용할 수 없으며, 도 5와 같은 본딩형식 대로 되어 있다.

스티치본딩을 행하는 경우, 사용하는 와이어본드의 본딩형식에 따라 본딩패드(52a)에 대한 본딩방법이 다르다. 도 10의 (A)는 네일헤드본딩을 이용하는 경우이며, 이때, 와이어본드의 구조상, 본딩와이어 종단은 초생달 모양으로 잘게 썰리므로, 다음의 본딩기점은 종점과는 다른 위치에 설정되지 않으면 안된다. 따라서, 필연적으로 복수개로 분단된 본딩와이어(57, 57)에 의해 스티치본딩이 완료된다. 이것에 대해, 도 10의 (B)는 웨지본딩을 이용하는 경우이며, 이것을 서포트하는 와이어본드를 이용하면 본딩와이어를 도중에 끊지 않고 차례차례로 다른 위치에서 본딩을 행할 수 있다. 따라서, 이 방식에 의하면 1개의 본딩와이어(57)로 스티치본딩을 행할 수 있다.

도 11에는 불휘발성 메모리 칩의 4장 스택구조의 멀티미디어 카드의 구성을 평면적으로 예시하고 있다. 도 12는 그 종단면도이다. 4장 스택의 경우도 불휘발성 메모리 칩(34a ~ 34d)을 외부단자(52a ~ 52d)를 노출하도록 위치를 어긋나게 하여 중복한 상태로 상기 카드 기판(1)에 실장되어 있다. 이때, 상기 컨트롤러 칩(33)에서 서로 동일신호를 받는 불휘발성 메모리 칩(34a ~ 34d)의 외부단자(52a ~ 52d)는 상기 스티치본딩과 같이, 본딩와이어(60)로 순차 직렬 접속하고 있다. 또한 불휘발성 메모리 칩(34a ~ 34d)에 대한 칩 선택은 각각 행하지 않으면 안되므로, 칩 선택신호(/CE0 ~ /CE3)를 전달하기 위한 본딩와이어(43a ~ 43d)에는 스티치본딩을 채용하지 않고, 도 5와 같은 본딩 형식대로 되어 있다. 단, 칩 선택신호를 ID 커맨드화 하면 스티치본딩화 하는 것도 가능하다.

< 실드패턴 >

도 11의 구성에서는 카드 기판(1)의 근방에서 생기는 정전기 방전에 의한 영향을 한층 완화하기 위해 카드 기판(1)에 도 12에 나타내는 도전성 실드패턴(61)을 채용하고 있다. 즉, 카드 기판(1)에서의 접속단자(3a ~ 3g)의 노출면에, 폭 넓은 도전성 실드패턴(61)이 형성되어 있다. 이 도전성 실드패턴(61)은 특히 제한되지 않지만, 그라운드전원(Vss) 공급용의 상기 접속단자(3f, 3g)에 접속되며, 혹은 비교적 표면적이 크기 때문에 그대로 플로팅으로 해도 좋다. 이 도전성 실드패턴(61)은 정전기를 분산시킬 수 있다.

< 칩단에 CS 입력단자 >

도 11에 나타내는 바와 같이, 복수개의 불휘발성 메모리 칩(34a ~ 34d)을 어긋나게 하여 스택한 구조에서, 상기 불휘발성 메모리 칩(34a ~ 34d)의 외부단자(52a ~ 52d)중 칩 선택신호(/CE0 ~ /CE3)의 입력단자를 불휘발성 메모리 칩(34a ~ 34d)의 각각의 외부단자 배열의 끝에 위치시켜, 각각 따로따로 본딩와이어(43a ~ 43d)로 상기 컨트롤러 칩(33)의 외부단자(51)에 접속하고 있다. 도 8의 스택구조도 완전히 동일하다. 도 8 및 도 11에 나타내는 바와 같이, 복수개의 불휘발성 메모리 칩이 각각 칩 선택되어야 할 구성에서는 불휘발성 메모리 칩의 외부단자 중 칩 선택신호 입력용의 외부단자는 컨트롤러 칩(33)의 칩 선택신호 출력용 외부단자(51)에 각각 접속되지 않으면 안되고, 이 부분에 상기 스티치본딩과 같은 수법을 채용할 수 없을 지라도, 전술과 같이 칩 선택신호 입력용의 외부단자는 불휘발성 메모리 칩의 끝에 배치되어 있으므로, 그 밖의 본딩와이어에 방해되지 않게 필요한 접속을 취하는 것이 용이하다. 불휘발성 메모리 칩의 스택수가 많을수록, 그 효과는 현저하게 된다. 또, 도 5와 같이, 불휘발성 메모리 칩의 스택수가 2장일 때, 정밀도가 높은 와이어본드를 이용하면 1개의 본딩패턴에서 병렬하여 2개의 본딩와이어를 꺼내는 것이 용이한 경우에, 스티치본딩을 채용하고 있지 않는 때에도, 칩끝에 칩 선택신호 입력용 외부단자를 배치하는 구성을 채용해도 아무런 문제는 없다.

< 스택한 불휘발성 메모리 칩의 복수 그룹화 실장 >

도 13에는 멀티미디어 카드의 또 다른 예를 나타낸다. 도 14는 그 부분적인 종단면도이다. 도 13에 나타내는 멀티미디어 카드는 불휘발성 메모리 칩을 2장씩 스택한 것을 카드 기판(1)에 2조(組) 실장하여, 일면에만 상기 접속단자와 함께 배선패턴 및 본딩패턴을 형성한 단상배선의 카드 기판(1)을 이용하도록 구성한 것이다. 이 구조는 기판에 반도체 베어 칩을 실장하는 소위 COB(Chip On Board)구조가 적용되어 있다.

도 13에서, 접속단자(3a ~ 3g), 배선패턴(35, 37), 본딩패턴(38), 본딩패턴(39A, 39C) 및 배선패턴(39B)은 카드 기판(1)의 탑재측에 전부 형성되어 있다. 상기 접속단자(3a ~ 3g)와 배선패턴(35)은 카드 기판(1)에 형성한 개구에서 표면에 노출하여, 배리스터(11a ~ 11e)를 접속 가능하게 되어 있다. 동일하게, 상기 본딩패턴(38, 39A, 39C)도 카드 기판(1)에 형성한 개구에서 표면에 노출하여, 컨트롤러 칩(33)의 외부단자(50, 51), 불휘발성 메모리 칩(34a ~ 34d)의 외부단자(52a



52d)에 본딩 가능하게 되어 있다. 도 13에서는 본딩패턴(39A)과 불휘발성 메모리 칩(34a, 34b)의 외부단자(52a, 52b)와의 본딩, 그리고, 본딩패턴(39C)과 불휘발성 메모리 칩(34c, 34d)의 외부단자(52c, 52d)와의 본딩에 스티치본딩을 채용하고 있지 않지만, 칩 선택신호를 제외하고 도 8과 동일한 스티치본딩을 채용해도 된다.

도 13과 같이 불휘발성 메모리 칩을 2장씩 스택한 것을 카드 기관(1)에 2조 실장하면, 도 11과 같은 4장 스택구조에 비해 두께 치수를 작게 할 수 있다. 따라서, 불휘발성 메모리 칩을 4장씩 스택한 것을 카드 기관(1)에 2조 실장하면, 도 11과 같은 4장 스택구조와 같은 두께로 2배의 기억용량을 얻을 수 있다.

또한, 복수개의 접속단자(3a ~ 3g)가 카드 기관(1)의 한변에 따라 배열되어 있을 때, 그 인접 변에 길이방향을 따라 카드 컨트롤러(33)를 배치하며, 상기 접속단자(3a ~ 3g)의 배열방향과는 거의 직각인 방향으로 상기 불휘발성 메모리 칩을 배열시키면, 카드 기관(1)의 판면에 대해서 효율적으로 불휘발성 메모리 칩의 실장이 가능하게 된다.

상기 분할 스택구조, 그리고, 카드 기관(1)의 2변에 붙여 접속단자(3a ~ 3g)와 컨트롤러 칩(33)을 배치하는 구조의 각각에 의해, 규정 사이즈의 카드 기관에 불휘발성 메모리 칩을 실장하는 밀도를 높이거나 혹은 실장개수를 늘리는 것이 용이하게 된다.

도 15에는 상기 분할 스택구조와 카드 기관의 인접 2변에 붙여 접속단자와 컨트롤러 칩을 배치하는 구조를 적용한 다른 멀티미디어 카드의 예를 나타낸다. 동 도면의 예는 카드 기관(1)의 양면에 상기 접속단자와 함께 배선패턴 및 본딩패턴을 형성한 점과, 스택한 불휘발성 메모리 칩의 방향이 일치되어 있는 점에서 도 13과 상이하게 된다.

도 15에서, 접속단자(3a ~ 3g), 배선패턴(39B)은 카드 기관의 뒷면에 형성되며, 배선패턴(35, 37), 본딩패턴(38), 본딩패턴(39A, 39C)은 카드 기관(1)의 표면에 형성되어 있다. 상기 배선패턴(39B)과 본딩패턴(39A, 39C)과의 접속에는 스루홀(40A)이 이용되고 있다. 도 15도 도 13과 동일하게 스티치본딩을 채용하고 있지 않지만, 칩 선택신호를 제외하고 도 8과 동일한 스티치본딩을 채용해도 된다.

도 15의 멀티미디어 카드도 도 13과 같이, 상기 분할 스택구조, 그리고, 카드 기관(1)의 2변에 붙여 접속단자(3a ~ 3g)와 컨트롤러 칩(33)을 배치하는 구조의 각각에 의해, 규정 사이즈의 카드 기관에 불휘발성 메모리 칩을 실장하는 밀도를 높이거나, 혹은 실장개수를 늘리는 것이 용이하다.

이때 몰드 내부의 스루홀은 구멍부를 도전 페이스트(paste), 솔더레지스터 등으로 매립하고, 몰드수지의 누설을 대책하는 구조를 채용해도 좋다.

#### < 메모리 칩, 컨트롤러 칩의 스택구조 >

도 16 및 도 17에는 메모리 칩의 위에 컨트롤러 칩을 올려 양자를 스택한 예를 나타낸다. 도 16에서는 컨트롤러 칩(33)의 외부단자(51)는 불휘발성 메모리 칩(34)의 외부단자(52)와는 본딩와이어(70)로 직접 칩간 본딩으로 접속되어 있으나, 불휘발성 메모리 칩(34)에의 동작전원(V<sub>ss</sub>, V<sub>cc</sub>)의 급전저항을 작게 하기 위해, 카드 기관(1)의 뒷면에 전원배선패턴(71A, 72A)을 형성하고, 스루홀(71D, 72D)에서 접속된 본딩패턴(71B, 72B)과 불휘발성 메모리 칩(34)을 본딩와이어(71C, 72C)로 접속하고 있다. 단 불휘발성 메모리 칩(34)으로의 급전저항이 충분히 낮은 경우는 단자(51)와 단자(52)에서 V<sub>cc</sub>, V<sub>ss</sub>를 급전해도 좋다. 배리스터(11a ~ 11e)의 실장구조 등은 전술과 동일하며, 도 15와 동일기능을 가지는 회로요소에는 동일 참조번호를 붙여 그 상세한 설명을 생략한다.

도 17은 LOC(Lead On Chip)를 이용하여 메모리 칩과 컨트롤러 칩을 스택하는 구조가 예시된다. 73a ~ 73g에서 나타내는 것은, LOC용의 리드프레임의 리드의 일부를 각각 나타내고 있다. 전원(V<sub>cc</sub>, V<sub>ss</sub>)용의 리드(73e, 73f)는 예를 들면 각각 갈고리형(鉤型)으로 연재되어 패스바(74A, 74B)를 형성하고 있다. 불휘발성 메모리 칩(34)은 그 패스바(74A, 74B)에 고정되며, 컨트롤러 칩(33)은 불휘발성 메모리 칩(34)에 고정되어 있다. 컨트롤러 칩(33)의 외부단자(50)는 본딩와이어(4)로 리드(73a ~ 73g)에 접속되어 있다. 또, 컨트롤러 칩(33)의 외부단자(51)는 불휘발성 메모리 칩(34)의 외부단자(52)와 본딩와이어(70)에 의해 직접 칩간 본딩으로 접속되어 있지만, 불휘발성 메모리 칩(34)으로의 동작전원(V<sub>ss</sub>, V<sub>cc</sub>)의 급전은 급전저항을 작게 하기 위해, 상기 패스바(74A, 74B)와 불휘발성 메모리 칩(34)을 본딩와이어(75, 75)로 접속하고 있다. 배리스터(11a ~ 11e)는 대응하는 리드의 사이에 Ag 페이스트 등의 도전 페이스트에 의해 면실장되어 있다.

도 18에는 COB구조를 적용한 IC 카드의 다른 예를 나타낸다. 도 19는 그 IC 카드의 종단면도, 도 20은 도 18의 IC 카드의 카드 기관 저면에 형성되어 있는 도전패턴의 설명도이다. 카드 기관(84)의 저면에는 도전패턴(80a ~ 80g)이 형성되며, 각각에 대응하여 카드 기관(84)에는 개구(81a ~ 81g)가 형성되어 있다. 상기 도전패턴(80a ~ 80f)은 IC 카드에서 노출되는

접속단자를 구성한다. 반도체 집적회로 칩(83)은 상기 개구(81g)를 통해 도전패턴(80f)에 접속되며, 기관전위로서 그라운드 전압(V<sub>ss</sub>)이 공급된다. 반도체 집적회로 칩(83)의 외부단자를 구성하는 본딩패드(85a ~ 85f)는 개구(81a ~ 81f)를 통해 접속전극(80a ~ 80f)에 본딩와이어로 접속된다. 그리고, 전술과 같이 반도체 집적회로 칩(83)에 대한 정전과피의 방지를 강화하기 위해 반도체 세라믹을 주체로 하는 배리스터(82a ~ 82e)가 개구(81a ~ 81g)를 통해 접속전극(80a ~ 80f)과 도전패턴(80g)과의 사이에 Ag 페이스트 등의 도전성 페이스트로 면실장되어 있다.

< 주의서 >

도 21에는 정전과피 방지용의 주의서를 가지는 IC 카드 등이 예시되어 있다. 복수개의 접속단자를 노출시켜 반도체 집적회로 칩을 실장한 상기 멀티미디어 카드 등의 IC 카드의 표면에는 도 21의 (A)에 나타내는 바와 같이, 상기 접속단자(3a ~ 3g)에 닿지 않도록 촉구하는 주의서(90), 예를 들면 「접속단자에 손대지마」의 주의서가 붙어 있다. 또, 본 영역에 제조관리 코드를 기입해도 좋다. 또, 도 21의 (B)에 예시되는 바와 같이, IC 카드를 손가락으로 쥐는 위치를 명시하기 위한 표시, 예를 들면 착탈시에 손가락으로 쥐는 위치에 인쇄한 손가락 모양의 주의표시(91)를 만들어 둔다. 또 도 21의 (B)에 예시하는 바와 같이, IC 카드를 포장한 라미네이트 필름, 종이상자(紙箱), 플라스틱 케이스 등의 포장재(92)에, IC 카드의 상기 접속단자(3a ~ 3g)에 닿지 않도록 촉구하는 주의서(93)를 붙여도 좋다.

상기 주의서(90, 93)나 표시(91)는 IC 카드 취급자의 무지 등에 의한 예기치 않은 취급에 의해 IC 카드가 정전과피되는 것을 예방하는 데에 유용하다.

< IC 카드의 조립방법 >

도 22에는 도 4 및 도 5 등에 나타내는 IC 카드의 조립방법을 나타낸다. 먼저, PCB기관 또는 테이프기관 등의 카드 기관의 소정 도전패턴에 배리스터를 실장한다(S1). 실장에는 땀납 페이스트 또는 은 페이스트 등을 이용한다. 그 후 페이스트의 경화(베이크)를 행하여(S2), 필요 개수의 반도체 집적회로 칩을 카드 기관 상의 도전패턴에 다이접착(다이본딩)한다(S3). 그리고, 플라즈마 크리닝으로 카드 기관의 표면을 크리닝한다(S4). 그후, 다이본딩한 반도체 집적회로 칩의 본딩패드와 도전패턴을 금 본딩와이어를 이용하여 열초음파로 본딩한다(S5). 그리고, 반도체 집적회로 칩과 본딩와이어에 대해 수지 포팅밀봉을 행하고(S6), 수지 베이크에 의해 수지를 경화시키며(S7), 마지막으로 그 위에서 금속 캡을 카드 기관에 접착 고정하며, 혹은 플라스틱 인설트 몰드로 고정한다.

상기와 같이, 배리스터를 카드 기관에 먼저 실장하고, 그 후에, 상기 반도체 집적회로 칩의 다이본딩이나 와이어본딩을 행하기 때문에, IC 카드의 조립시에 배리스터에 의한 보호를 받아, IC 카드의 수율을 향상시킬 수 있다. 단, 온도조건 등의 제조상의 형편에 의해 배리스터를 나중에 실장해도 된다.

< 데이터 리커버리 단자 >

도 23에는 데이터 리커버리의 관점에 착안한 IC 카드가 예시된다. 기본적인 구성은 도 5와 동일하며, 상이점은 복수개의 데이터 리커버리 단자를 가지는 것이다. 도 23에서는 데이터 리커버리 단자의 접속상태를 강조하기 위해 컨트롤러 칩(33)과 불휘발성 메모리 칩(34a, 34b)과의 접속상태에 관해서는 도시를 간략화하고 있다. 도 23에서 도 5와 동일 기능을 가지는 회로요소에는 동일 부호를 붙여 그 상세한 설명을 생략한다.

컨트롤러 칩(33)은, 도 5에는 도시를 생략하고 있으나 외부단자(51)의 하나로서 내부에서 풀업(pull up)한 테스트신호(/TEST)의 입력단자(단순히 테스트단자(/TEST)라고도 기록함)를 가진다. 그 테스트단자(/TEST)는 로레벨이 입력되어 있을 때, 불휘발성 메모리 칩(34a, 34b)과의 인터페이스단자, 특히 출력단자 및 입출력단자를 고출력 임피던스상태, 또는 입출력동작 불가능한 상태로 제어한다.

카드 기관(1)에는 상기 컨트롤러 칩(33)의 메모리 인터페이스측의 모든 외부단자(51)에 배선(91)으로 일대일 대응으로 접속된 데이터 리커버리 단자(92)가 형성되어 있다. 또, 상기 컨트롤러 칩(33)의 카드 인터페이스측의 외부단자(50) 중 그라운드전원(V<sub>ss</sub>)용의 외부단자에 배선(95)으로 접속된 데이터 리커버리용 그라운드단자(96)와, 동일하게, 상기 컨트롤러 칩(33)의 카드 인터페이스측의 외부단자(50) 중 전원전압(V<sub>cc</sub>)용의 외부단자에 배선(93)으로 접속된 데이터 리커버리용 전원단자(94)가 설치되어 있다. 도 23에서, 90으로 나타내는 것은 정전과피방지를 위해 카드 기관(1)에 추가된 가드 링(guard ring)이다. 이 가드 링(90)은 카드 기관(1)을 주회(周回)하며, 회로의 그라운드 전원단자에 접속되어 있다.

데이터 평가용 단자(92, 94, 96)가 상기 카드 기관(1)에 형성되어 있으므로, 컨트롤러 칩(33)이 정전과피 등에 의해 메모리 컨트롤 동작이 불가능하게 되었을 때, 외부에서 상기 데이터 평가용 단자(92, 94, 96)를 통해 상기 불휘발성 메모리 칩(34a, 34b)를 직접 액세스 제어할 수 있다. 이것에 의해, 컨트롤러 칩(33)이 파괴되어도, 불휘발성 메모리 칩(34a, 34b)에 데이터가 남아 있으면, 이것을 용이하게 회복할 수 있다.

상기 컨트롤러 칩(33)은 상기 불휘발성 메모리에 기록하는 데이터에 대해 암호화를 행하며, 상기 불휘발성 메모리에서 판독한 데이터에 대해 복호를 행하는 기밀보호 기능을 가지는 경우, 데이터의 회복은 IC 카드의 메이커 혹은 그 허가를 얻은 자 등이 불휘발성 메모리 칩에서 판독한 데이터를 복호하여 데이터의 회복을 도모하게 된다.

< 데이터 리커버리 방법 >

도 24에는 상기 데이터 평가용 단자를 구비한 IC 카드에 대한 데이터 리커버리의 처리순서가 예시되어 있다.

상기 입력 보호회로나 배리스터에 의해 정전과피를 피하지 못하였던 것 등에 의해 컨트롤러가 동작불능이 된 멀티미디어 카드(MMC) 등을 데이터 리커버리의 대상으로 한다(S10). 그 밖의 물리적으로 접속단자가 파괴된 MMC 데이터 리커버리 대상으로 하는 것은 가능하다. 먼저, 대상 MMC에서 캡(56)을 벗기고(S11), 데이터 평가용 단자(92, 94, 96)에 테스터 등의 프로브를 연결한다(S12). 그리고 테스트신호(/TEST)의 입력단자를 로레벨로 고정하여, 컨트롤러 칩(33)의 메모리 인터페이스용 단자를 높은 임피던스상태(입출력동작 불가능한 상태)로 제어한다(S13). 이것에 의해, MMC 내장의 불휘발성 메모리 칩은 컨트롤러 칩의 제어에서 해방되며, 데이터 평가용 단자(92, 94, 96)에서 직접 액세스 가능하게 되고, 이 상태에서, 불휘발성 메모리 칩에서 데이터를 판독한다(S14). 여기서, 상기 컨트롤러 칩(33)은 상기 불휘발성 메모리 칩에 기록하는 데이터에 대해 암호화를 행하며, 상기 불휘발성 메모리에서 판독한 데이터에 대해 복호를 행하는 기밀보호 기능을 가지고 있으므로, 컨트롤러 칩(33)을 경유하지 않고 판독된 데이터에 대해서는 암호해독이 행해진다. 이와 같이 한 암호해독된 데이터는 새로운 MMC에 통상과 같이 접속단자(3a ~ 3g)를 통해 기록된다(S15). 이것에 의해 데이터 리커버리된 새로운 MMC가 유저에 제공된다(S16). 이때, 컨트롤러 칩의 암호 사양은 카드의 제조 트레이스(trace) 코드 또는 불휘발성 메모리에 기록한 제조코스트에 의해 확정할 수 있다.

이것에 의해, 컨트롤러 칩(33)의 입력회로가 정전 파괴되어도, 불휘발성 메모리 칩(34a, 34b)의 데이터가 무사한 경우에는, 메모리 카드의 데이터를 용이하게 리커버리하는 것이 가능하게 된다.

< 플래시 메모리 칩 >

여기서, 상기 플래시 메모리 칩에 관해서 설명해 둔다. 도 26에는 플래시 메모리 칩의 일예를 나타낸다. 동 도면에서, 103으로 나타내는 것은 메모리 어레이이며, 메모리 매트(mat), 데이터 래치회로 및 센스 래치회로를 가진다. 메모리 매트(103)는 전기적으로 소거 및 기록 가능한 불휘발성의 메모리셀 트랜지스터를 다수 가진다. 메모리셀 트랜지스터는 예를 들면 도 27에 예시되는 바와 같이, 반도체기관 혹은 메모리 웰(SUB)에 형성된 소스(S) 및 드레인(D)과, 채널영역에 터널산화막을 통해 형성된 플로팅 게이트(FG), 그리고 플로팅 게이트에 층간 절연막을 통해 중복된 컨트롤 게이트(CG)를 가지고 구성된다. 컨트롤 게이트(CG)는 워드선(106)에, 드레인(D)은 비트선(105)에, 소스(S)는 도시를 생략하는 소스선에 접속된다.

외부 입출력단자(I/O 0 ~ I/O 7)는 어드레스 입력단자, 데이터 입력단자, 데이터 출력단자, 커맨드 입력단자에 병용된다. 외부 입출력단자(I/O 0 ~ I/O 7)에서 입력된 X 어드레스 신호는 멀티플렉서(107)를 통해 X 어드레스 버퍼(108)에 공급된다. X 어드레스 디코더(109)는 X 어드레스 버퍼(108)에서 출력되는 내부 상보 어드레스 신호를 디코드하여 워드선을 구동한다.

상기 비트선(105)의 일단측에는 도시를 생략하는 센스 래치회로가 설치되며, 타단에는 동일하게 도시를 생략하는 데이터 래치회로가 설치되어 있다. 비트선(105)은 Y 어드레스 디코더(111)에서 출력되는 선택신호에 기초하여 Y 게이트 어레이 회로(113)에서 선택된다. 외부 입출력단자(I/O 0 ~ I/O 7)에서 입력된 Y 어드레스신호는 Y 어드레스 카운터(112)에 프리셋 되어, 프리셋 값을 기점으로 순차 인크리먼트된 어드레스신호가 상기 Y 어드레스 디코더(111)에 공급된다.

Y 게이트 어레이회로(113)에서 선택된 비트선은 데이터 출력동작시에는 출력 버퍼(115)의 입력단자에 도통되며, 데이터 입력동작시에는 데이터 제어회로(116)를 통해 입력버퍼(117)의 출력단자에 도통된다. 출력버퍼(115), 입력버퍼(117)와 상기 입출력단자(I/O 0 ~ I/O 7)와의 접속은 상기 멀티플렉서(107)로 제어된다. 입출력단자(I/O 0 ~ I/O 7)에서 공급되는

커맨드는 멀티플렉서(107) 및 입력버퍼(117)를 통해 모드 제어회로(118)에 공급된다. 상기 데이터 제어회로(116)는 입출력단자(I/O 0 ~ I/O 7)에서 공급되는 데이터 외에, 모드 제어회로(118)의 제어에 따른 논리치의 데이터를 메모리 어레이(103)에 공급 가능하게 한다.

제어신호 버퍼회로(119)에는 액세스 제어신호로서 상기 칩 이네이블신호(/CE), 아웃풋 이네이블신호(/OE), 라이트 이네이블신호(/WE), 데이터 래치 타이밍을 지시하는 신호(/SC), 리셋신호(/RES) 및 커맨드·데이터 이네이블신호(/CDE)가 공급된다. 모드 제어회로(118)는 이들 신호의 상태에 따라 외부와의 신호 인터페이스 기능 등을 제어하고, 또, 커맨드 코드에 따라서 내부동작을 제어한다. 입출력단자(I/O 0 ~ I/O 7)에 대한 커맨드 또는 데이터 입력의 경우, 상기 신호(/CDE)가 어서트(assert)되고, 커맨드이면 더욱 신호(/WE)가 어서트, 데이터이면 신호(/WE)가 네게이트(negate)된다. 어드레스 입력이면, 상기 신호(/CDE)가 네게이트 되고, 신호(/WE)가 어서트 된다. 이것에 의해, 모드 제어회로(118)는 외부 입출력단자(I/O 0 ~ I/O 7)에서 멀티플렉서 입력되는 커맨드, 데이터 및 어드레스를 구별할 수 있다. 모드 제어회로(118)는 소거나 기록 동작 중에 래디·비지신호(R/B)를 어서트하여 그 상태를 외부에 알릴 수 있다.

내부 전원회로(120)는 기록, 소거, 베리파이, 판독 등을 위한 각종 동작전원(121)을 생성하여, 상기 X 어드레스 디코드(109)나 메모리셀 어레이(103)에 공급한다.

상기 모드 제어회로(118)는 커맨드에 따라서 플래시 메모리를 전체적으로 제어한다. 플래시 메모리의 동작은 기본적으로 커맨드에 의해 결정된다. 플래시 메모리에 할당되어 있는 커맨드는 판독, 소거, 기록 등의 커맨드로 된다.

플래시 메모리는 그 내부상태를 나타내기 위해 스테이터스 레지스터(122)를 가지고, 그 내용은 신호(/OE)를 어서트하므로써 입출력단자(I/O 0 ~ I/O 7)에서 판독할 수 있다.

이상 본 발명자에 의해 행해진 발명을 실시형태에 기초하여 구체적으로 설명했으나, 본 발명은 그것에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.

예를 들면, 본 발명은 멀티미디어 카드 이외의 메모리 카드, 예를 들면 콤팩트 플래시 메모리 등에도 적용할 수 있다. 또, 메모리 칩을 어긋나게 하여 스택하는 구조, IC 카드의 접속단자에 대해 스루홀을 편의시키는 구조, 몰드영역 바깥에 스루홀을 형성하는 구조, 스택된 반도체 집적회로 칩에 대한 스티치본딩, 칩의 끝의 CS 입력단자를 배치하는 구조, 스택한 불휘발성 메모리를 복수 그룹으로 나누어 실장하는 IC 카드, 주의서, 그리고, 데이터 리커버리 단자를 가지는 IC 카드는, 반드시 배리스터를 가지는 구성에 적용하는 것에 한정되지 않는다. 본 발명의 IC 카드에 실장되는 메모리는 불휘발성 메모리에 한정되는 것은 아니고, 휘발성 메모리(SRAM, DRAM 등)라도 된다. 또, 불휘발성 메모리와 휘발성 메모리와의 쌍방이 탑재되는 IC 카드라도 좋다.

이상의 설명에서는 주로 본 발명자에 의해 행해진 발명을 그 배경으로 된 이용분야인 메모리 카드에 적용한 경우에 관해서 설명했으나, 본 발명은 그것에 한정되지 않고, 통장, 크레딧 카드, ID 카드 등의 IC 카드의 용도에도 적용할 수 있다.

## 발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 다음과 같다.

즉, 반도체 집적회로 칩의 코스트를 상승시키지 않고 그것에 대한 정전파괴방지를 강화할 수 있는 IC 카드를 제공할 수 있다.

IC 카드의 카드의 사이즈나 두께를 크게 변화시키지 않고, 반도체 집적회로 칩에 과전압 보호소자를 외장하여 정전파괴방지를 강화할 수 있다.

취급자의 무지 등에 의한 예기치 않은 취급에 기인한 IC 카드의 정전파괴의 예방도 기대할 수 있다.

반도체 집적회로 칩의 입력회로가 정전파괴되도, 메모리의 데이터가 무사한 경우에는 메모리 카드의 데이터를 용이하게 리커버리하는 것이 가능한 IC 카드를 제공할 수 있다.

배리스터 등의 외장 회로소자에 의한 정전파괴방지 강화책에 의해 IC 카드의 카드 기판 상의 빈영역이 줄어도, 신호선의 바람직하지 않은 리크에 의한 오동작의 원인이 되는 배선패턴의 밀집이나 본딩와이어의 밀집을 피할 수 있다.

비교적 작은 사이즈로 비교적 큰 기억용량을 가지는 IC 카드의 실현이 가능하게 된다.

### 도면의 간단한 설명

도 1은 본 발명에 관한 IC 카드의 일예를 하나의 접속단자에 관해서 도시한 회로도,

도 2는 베리스터의 단면구조의 일예를 나타내는 축(軸)단면도,

도 3은 베리스터의 특성을 나타내는 I - V 선 도면,

도 4는 멀티미디어 카드의 접속단자에 대한 베리스터의 접속태양을 예시하는 설명도,

도 5는 회로소자 실장상태를 주로 하여 멀티미디어 카드의 구성을 평면적으로 예시한 설명도,

도 6은 도 5의 멀티미디어 카드의 종(縱)단면도,

도 7은 멀티미디어 카드의 접속단자에 대해 스루홀을 편의(偏倚)시킨 상태를 나타내는 설명도,

도 8은 불휘발성 메모리 칩의 접속에 스티치(stitch)본딩을 적용한 멀티미디어 카드를 부분적으로 나타내는 평면도,

도 9는 스티치본딩 부분의 종단면도,

도 10은 네일헤드(nail head)본딩을 이용하는 경우와 웨지(wedge)본딩을 이용하는 경우의 와이어본딩 상태를 나타내는 설명도,

도 11은 불휘발성 메모리 칩의 4장 스택(stack)구조의 멀티미디어 카드의 구성을 평면적으로 예시한 설명도,

도 12는 도 11의 멀티미디어 카드의 단면구조를 예시하는 종단면도,

도 13은 메모리 칩의 분할 스택구조와 카드 기판의 인접 2면에 붙여 접속단자와 컨트롤러 칩을 배치하는 구조를 적용한 멀티미디어 카드를 예시하는 평면도,

도 14는 도 13의 멀티미디어 카드의 부분 종단면도,

도 15는 메모리 칩의 분할 스택구조와 카드 기판의 인접 2면에 붙여 접속단자와 컨트롤러 칩을 배치하는 구조를 적용한 다른 멀티미디어 카드를 예시하는 평면도,

도 16은 메모리 칩의 위에 컨트롤러 칩을 올려 양자(兩者)를 스택한 메모리 카드를 예시하는 평면도,

도 17은 LOC를 이용하여 메모리 칩과 컨트롤러 칩을 스택한 메모리 카드를 예시하는 평면도,

도 18은 COB 구조를 적용한 IC 카드의 다른 예를 나타내는 평면도,

도 19는 도 18의 IC 카드의 종단면도,

도 20은 도 18의 IC 카드의 카드 기판 저면(底面)에 형성되어 있는 도전(導電)패턴의 설명도,

도 21은 정전파괴 방지용의 주의서나 주의표시를 가지는 IC 카드를 예시하는 설명도,

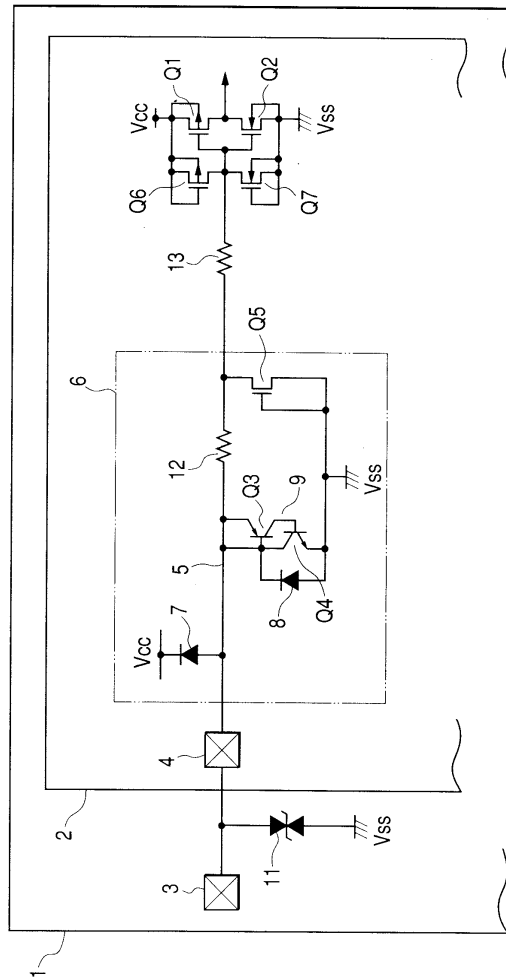
도 22는 베리스터(varistor)를 실장한 IC 카드의 조립방법을 예시하는 플로우차트,

도 23은 데이터 리커버리(recovery)의 관점에 착안한 IC 카드의 평면도,

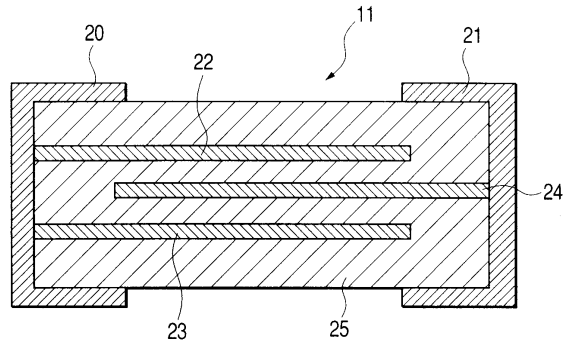
도 24는 데이터 평가용 단자를 구비한 IC 카드에 대한 데이터 리커버리 처리의 순서를 예시하는 플로우차트,  
 도 25는 금속 캡의 구조를 수(數)종류 예시하는 설명도,  
 도 26은 플래시 메모리 칩의 구성을 예시하는 블록도,  
 도 27은 플래시 메모리 칩용의 불휘발성 메모리셀 트랜지스터의 구조를 개략적으로 나타내는 단면도이다.

도면

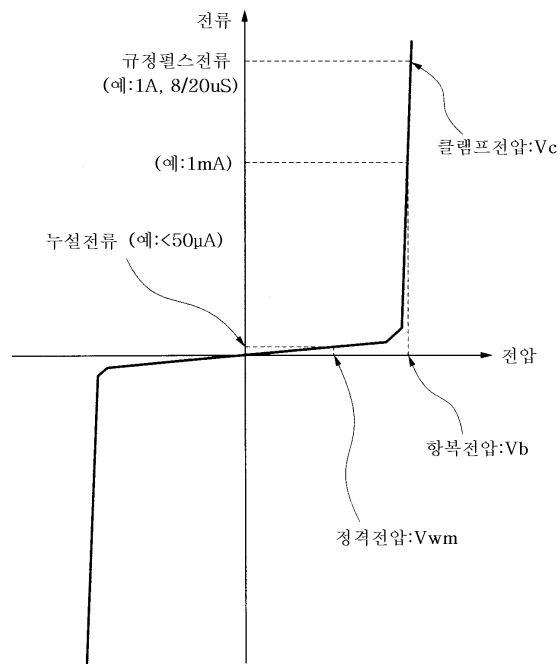
도면1



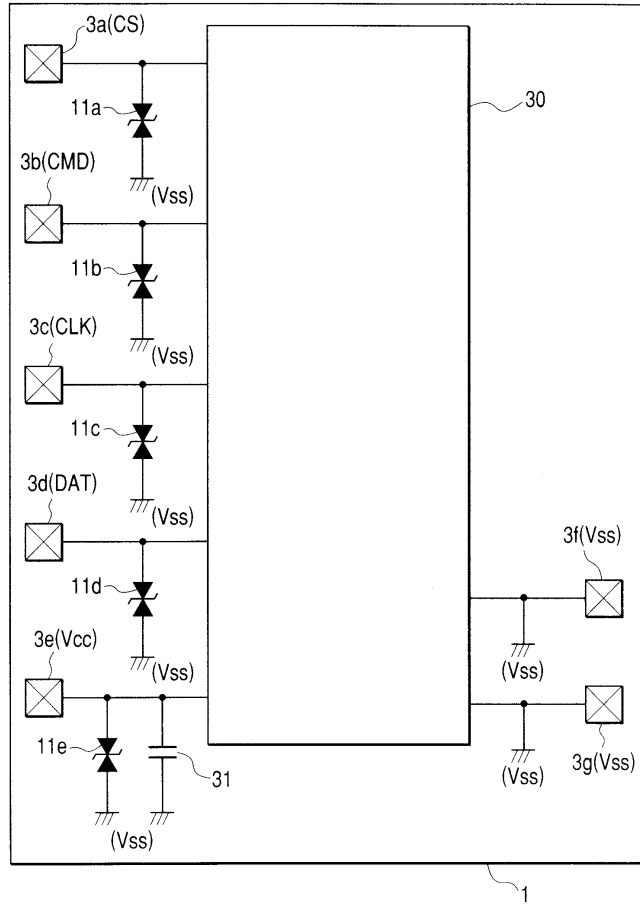
도면2



도면3

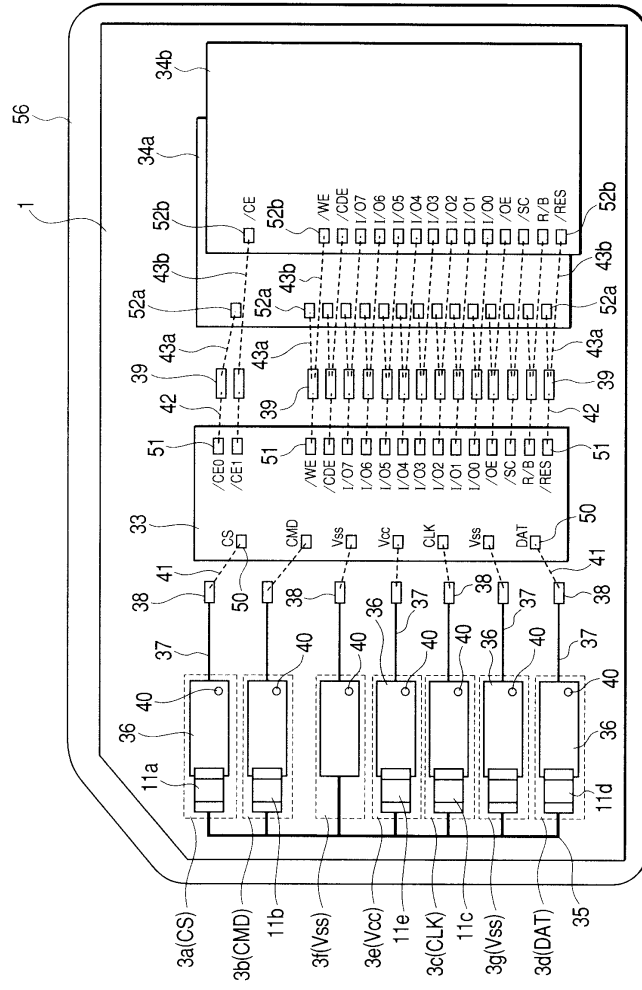


도면4

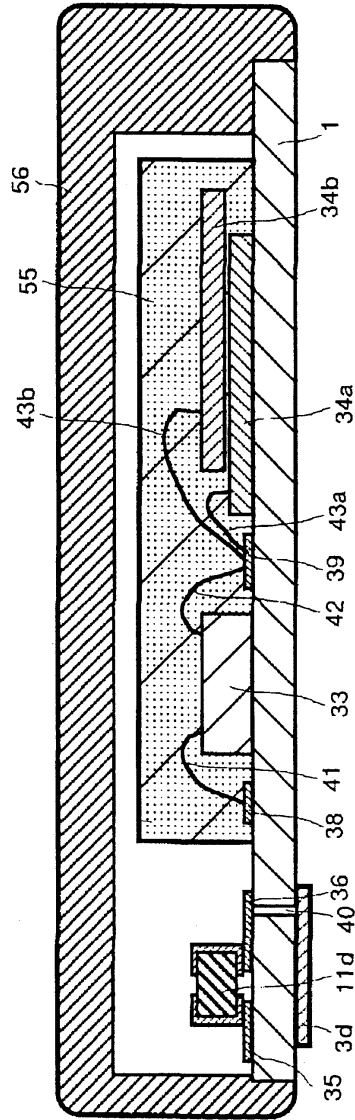




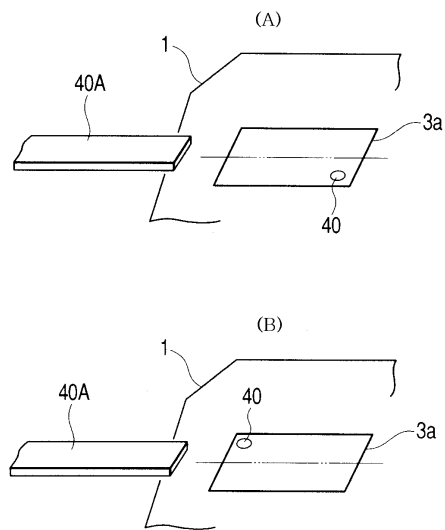
도면5



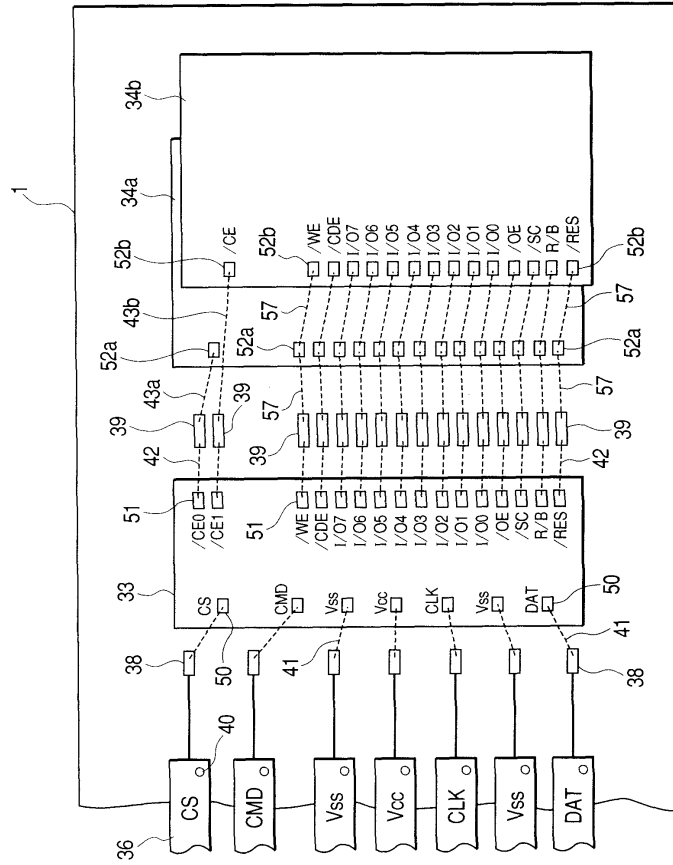
도면6



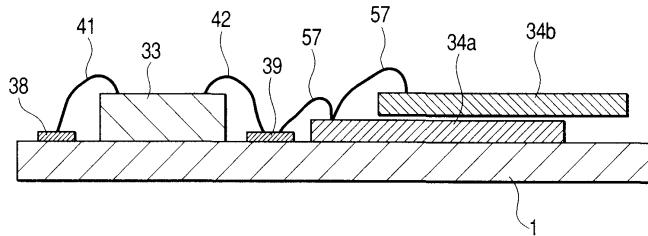
도면7



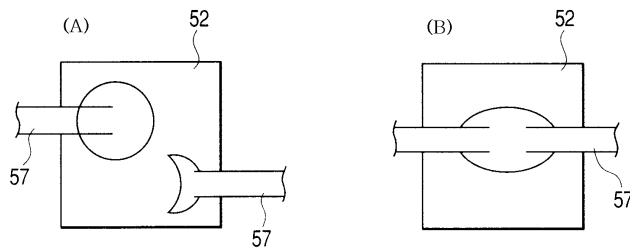
도면8



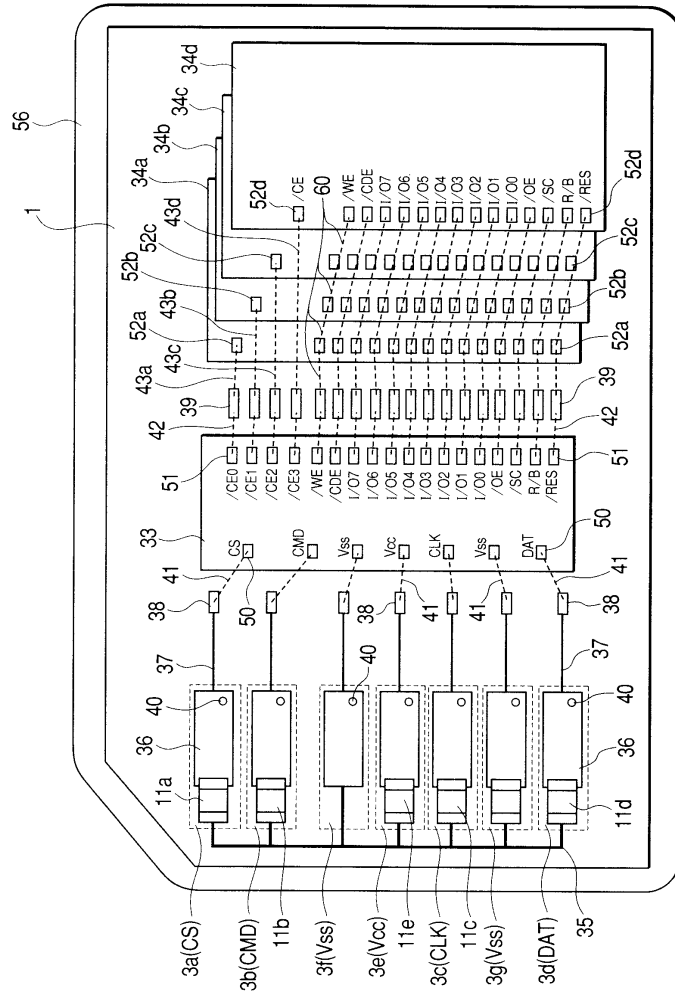
도면9



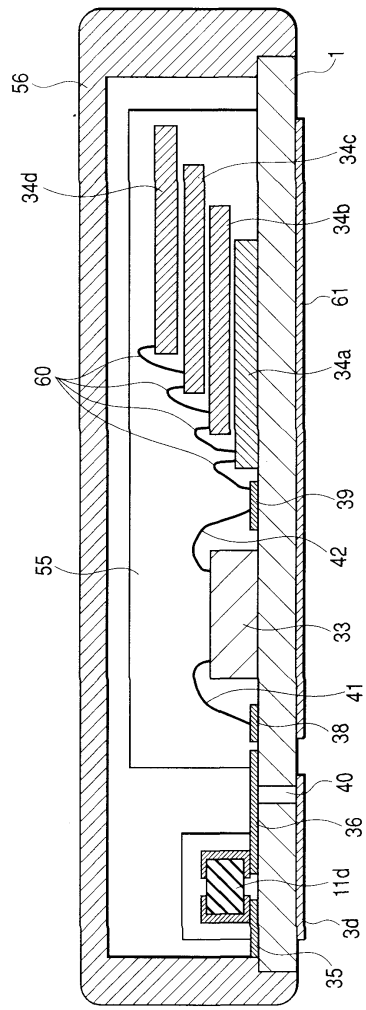
도면10



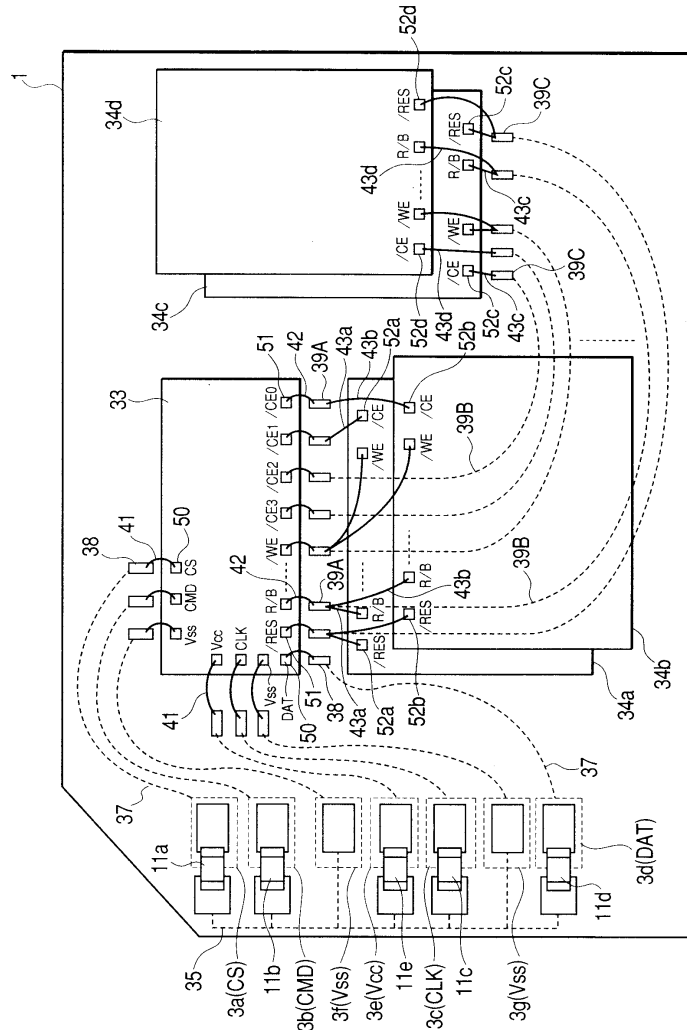
도면11



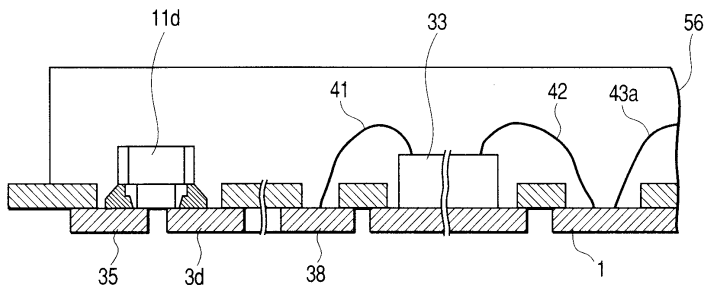
도면12



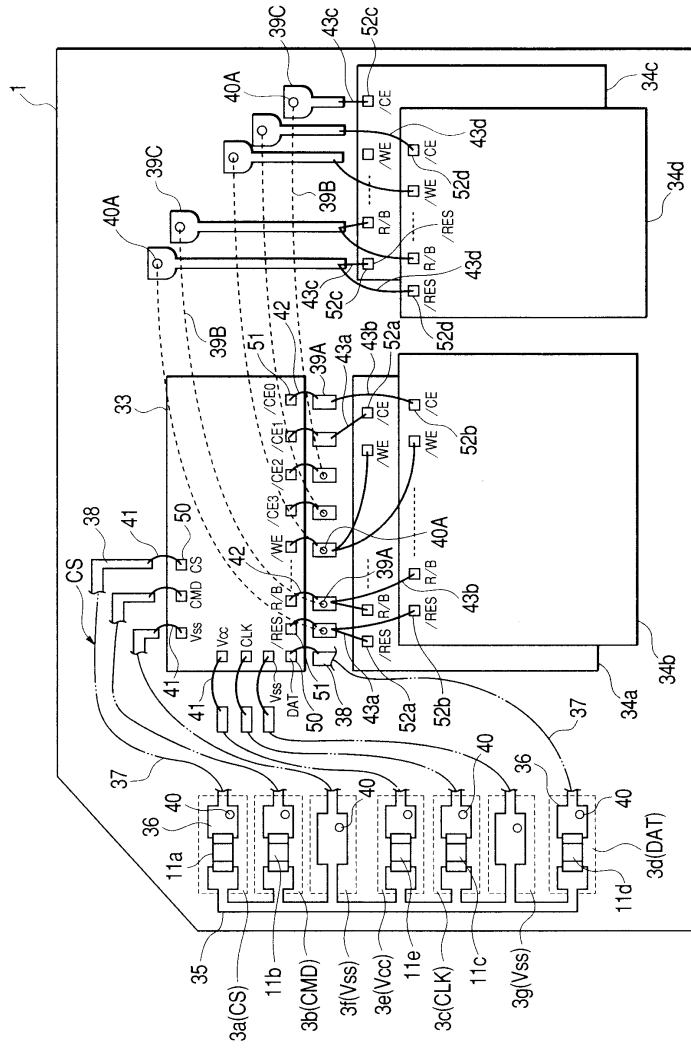
도면13



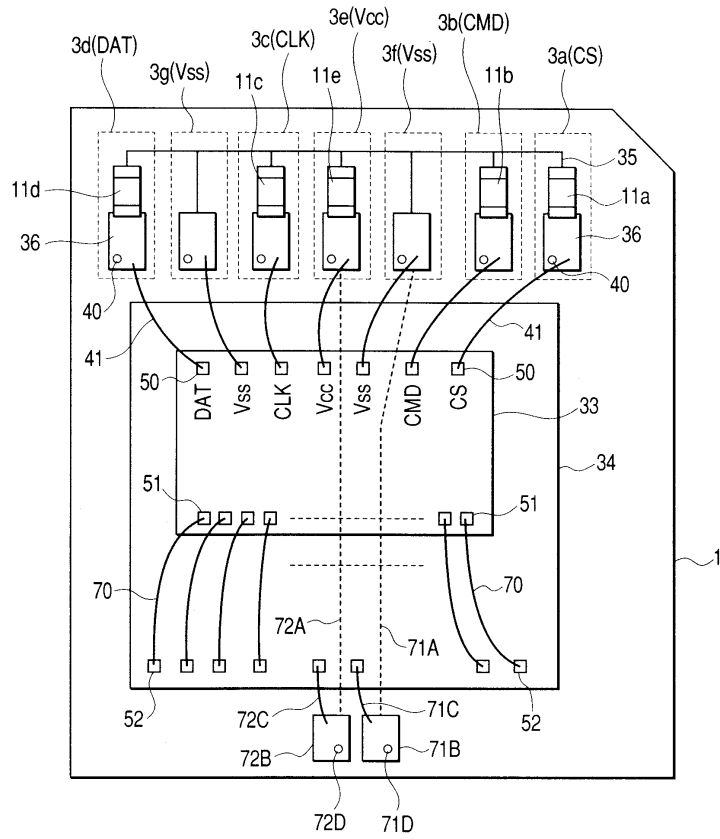
도면14



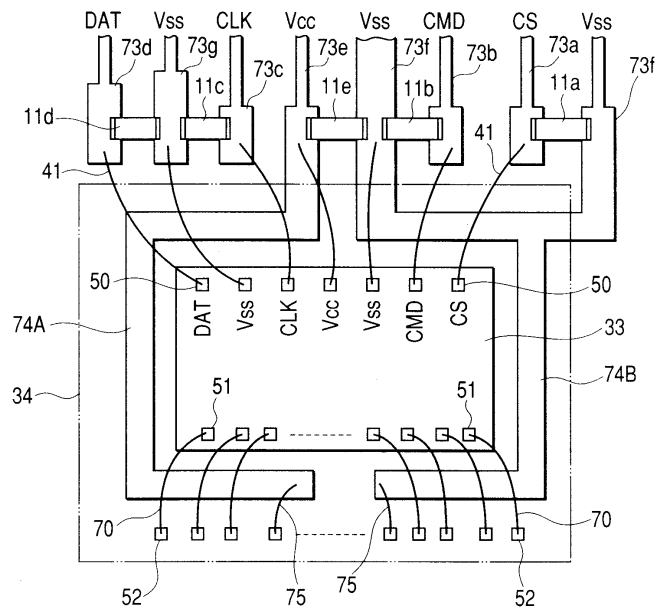
도면15



도면16

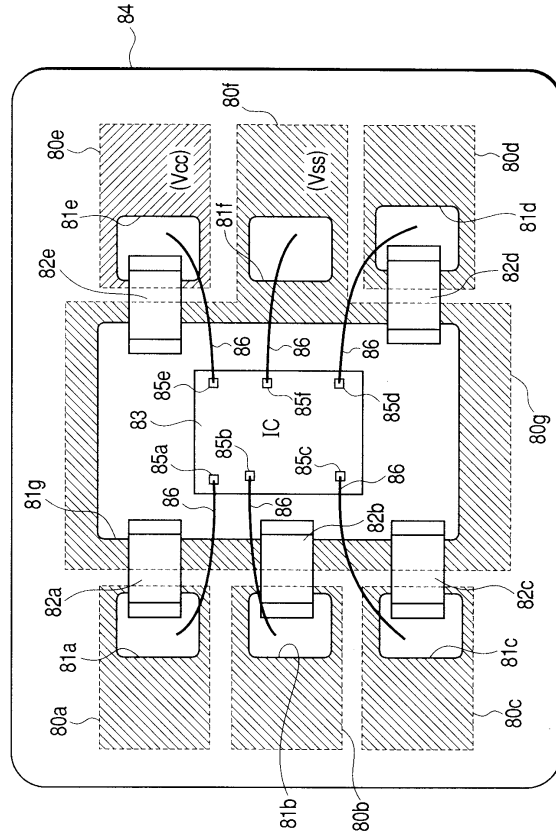


도면17

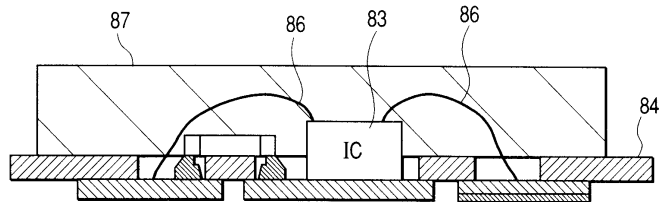




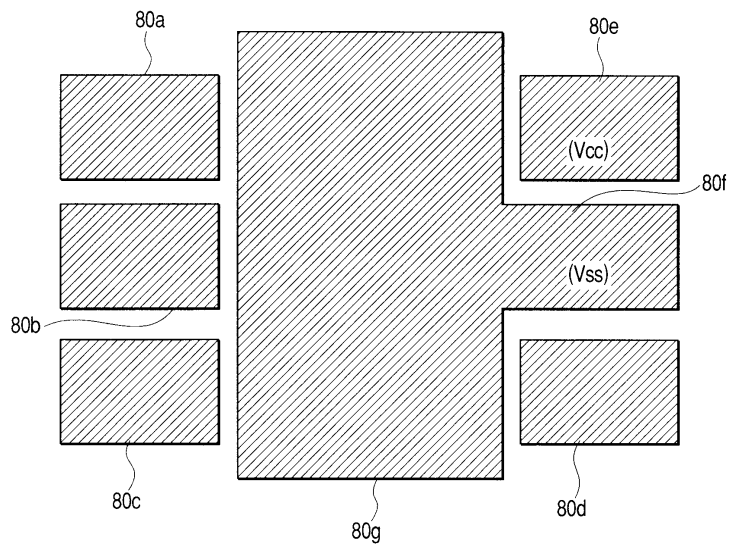
도면18



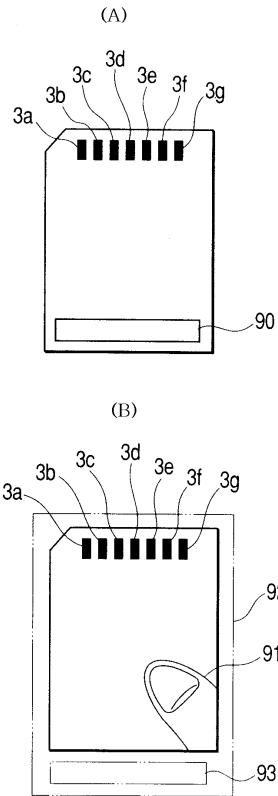
도면19



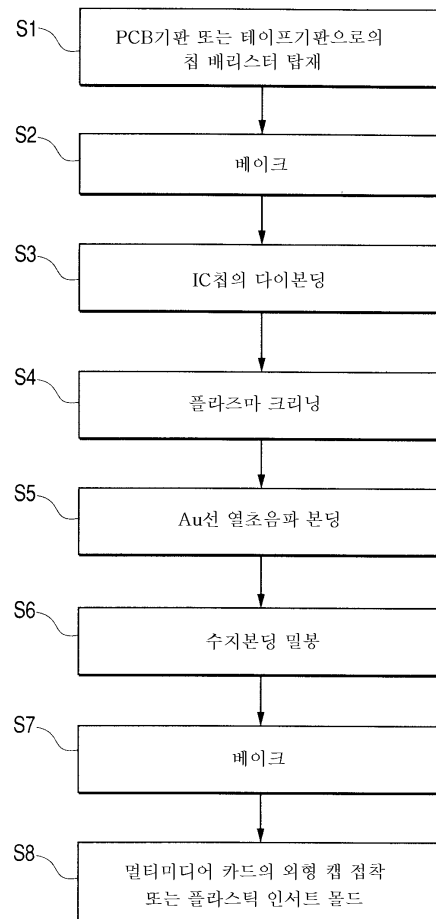
도면20



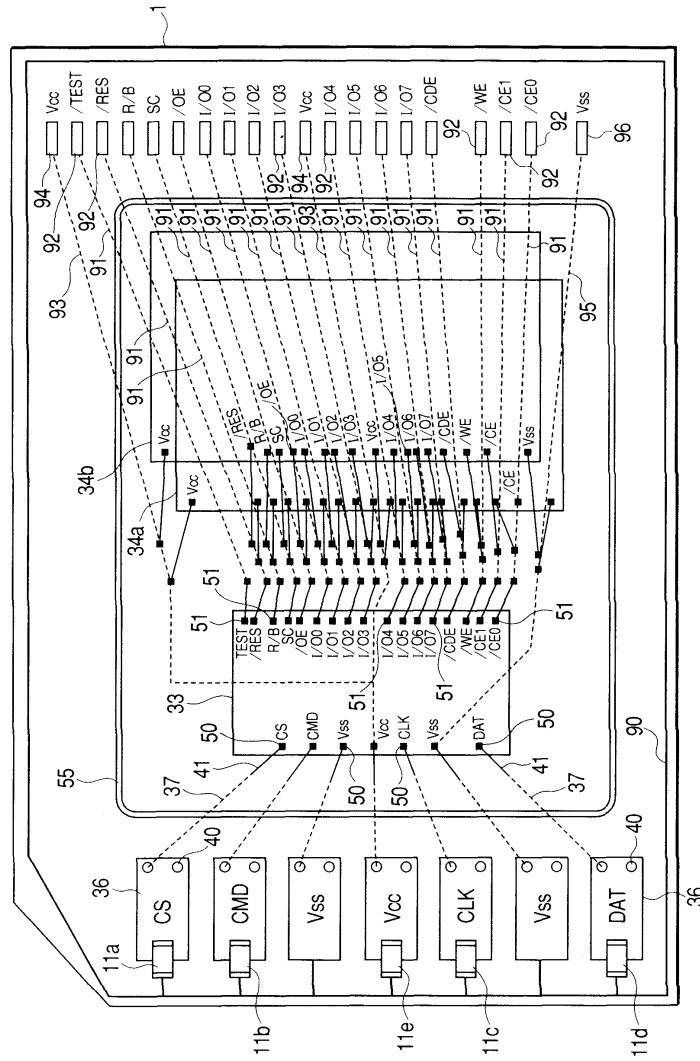
도면21



도면22

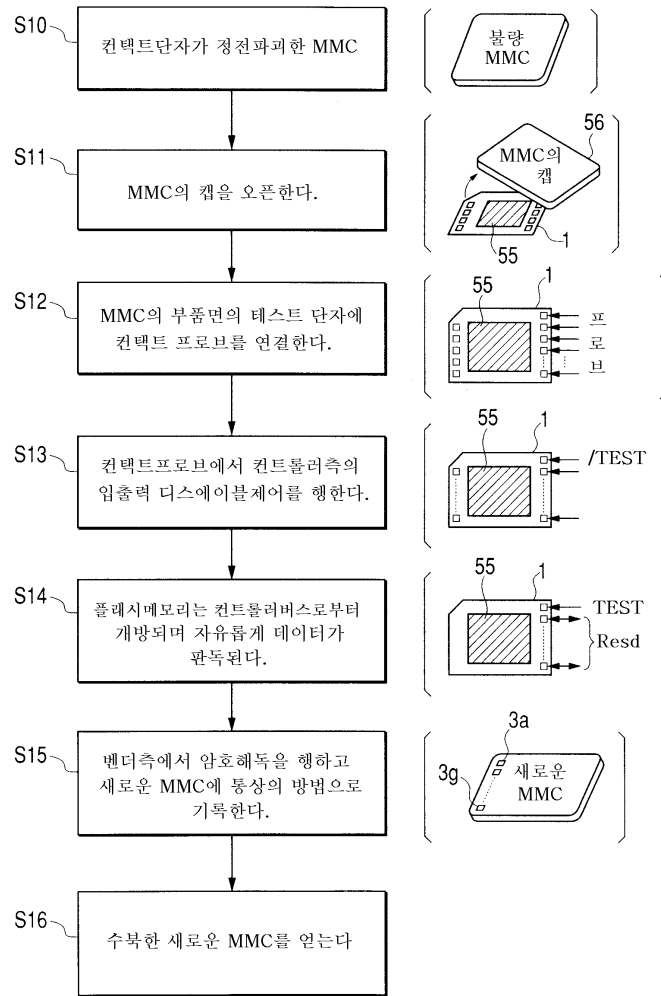


도면23

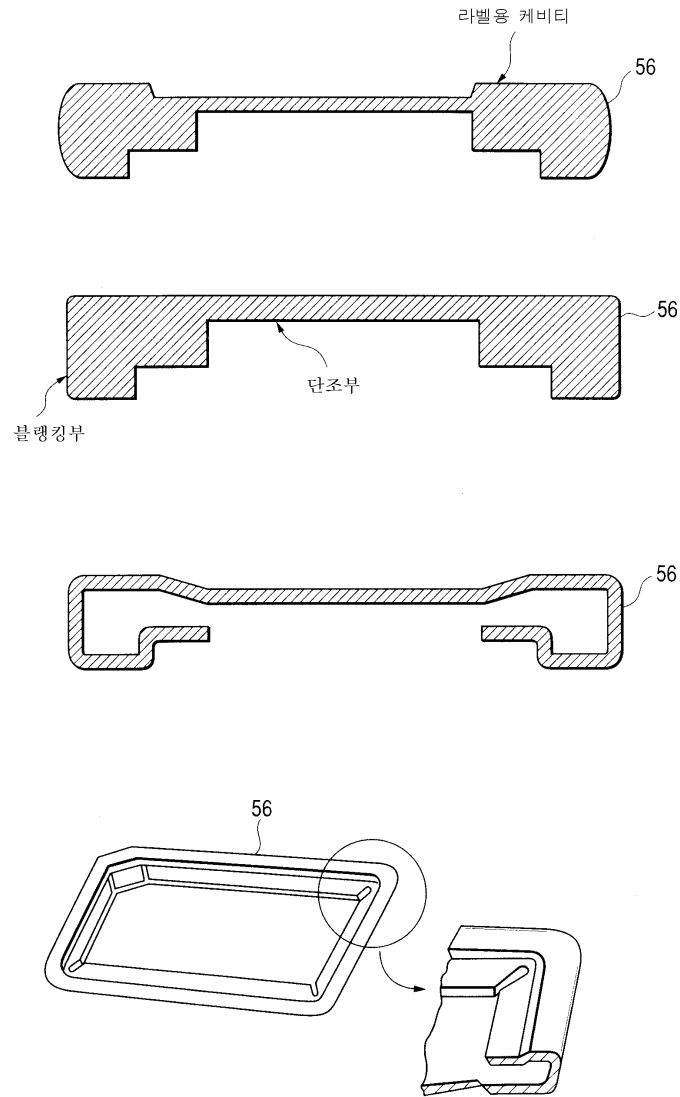


도면24

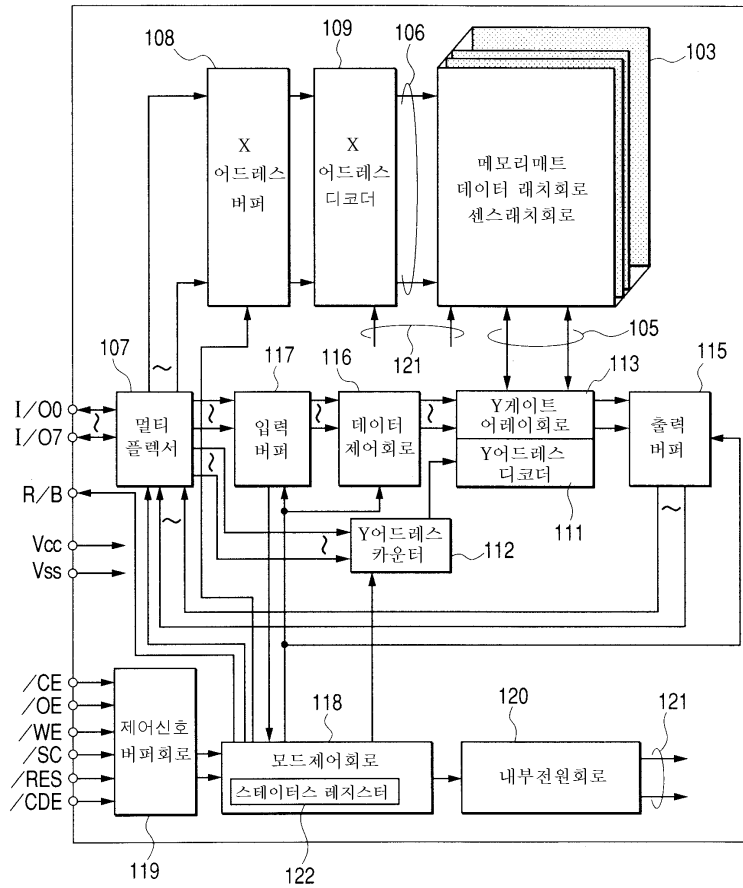
(데이터 리커버리 처리)



도면25



도면26



도면27

