

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月12日(12.01.2023)



(10) 国際公開番号

WO 2023/281998 A1

(51) 国際特許分類:

H01L 29/812 (2006.01) *H01L 27/088* (2006.01)
H01L 21/336 (2006.01) *H01L 29/778* (2006.01)
H01L 21/337 (2006.01) *H01L 29/78* (2006.01)
H01L 21/338 (2006.01) *H01L 29/808* (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号: PCT/JP2022/023968

(22) 国際出願日: 2022年6月15日(15.06.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-113581 2021年7月8日(08.07.2021) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 大嶽 浩隆 (**OTAKE Hirotaka**);
〒6158585 京都府京都市右京区西院溝崎
町2-1番地 ローム株式会社内 Kyoto (JP).

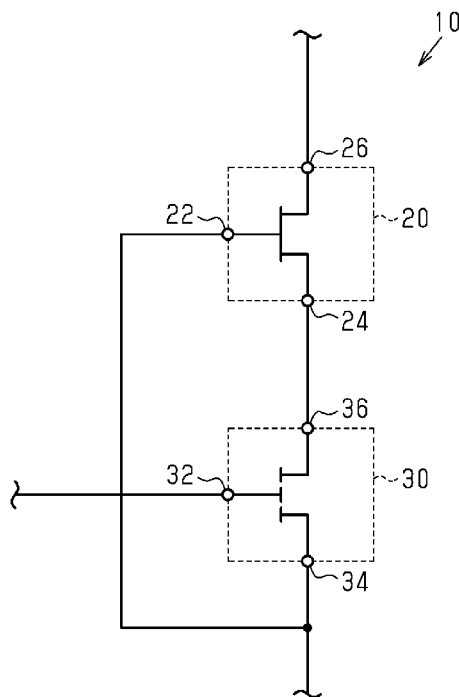
館 毅 (**TACHI Tsuyoshi**); 〒6158585 京都府京
都市右京区西院溝崎町2-1番地 ロ
ーム株式会社内 Kyoto (JP).

(74) 代理人: 恩田 誠, 外 (**ONDA Makoto et al.**);
〒5008731 岐阜県岐阜市大宮町二丁目
1-2番地1 Gifu (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 窒化物半導体装置



(57) Abstract: This nitride semiconductor device (10) is provided with: a depletion type transistor (20) which comprises a first gate terminal (22), a first source terminal (24) and a first drain terminal (26); and an enhancement type transistor (30) which comprises a second gate terminal (32), a second source terminal (34) and a second drain terminal (36). The second drain terminal (36) is connected to the first source terminal (24); and the second source terminal (34) is connected to the first gate terminal (22). The depletion type transistor (20) comprises: an electron transit layer which is configured from a nitride semiconductor that contains aluminum in the crystal composition; and an electron supply layer which is formed on the electron transit layer and is configured from a nitride semiconductor that contains a larger amount of aluminum in the composition than the electron transit layer.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 窒化物半導体装置 (10) は、第1ゲート端子 (22)、第1ソース端子 (24)、および第1ドレイン端子 (26) を含むディプレッション型トランジスタ (20) と、第2ゲート端子 (32)、第2ソース端子 (34)、および第2ドレイン端子 (36) を含むエンハンスメント型トランジスタ (30) とを備えている。第2ドレイン端子 (36) は、第1ソース端子 (24) に接続され、第2ソース端子 (34) は、第1ゲート端子 (22) に接続されている。ディプレッション型トランジスタ (20) は、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層と、電子走行層上に形成され、電子走行層よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層とを含んでいる。

明 細 書

発明の名称：窒化物半導体装置

技術分野

[0001] 本開示は、窒化物半導体装置に関する。

背景技術

[0002] 現在、窒化物半導体を用いた高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）の製品化が進んでいる。HEMTをパワーデバイスに適用する場合、フェールセーフの観点から、ゼロバイアス時にソース・ドレイン間の電流経路（チャンネル）を遮断するノーマリーオフ動作が求められる。

[0003] 特許文献1には、エンハンスメント型のシリコンMOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）と、ディプレッション型の窒化ガリウムHEMTとが直列接続されたカスコードトランジスタが開示されている。特許文献1のカスコードトランジスタでは、ディプレッション型の窒化ガリウムHEMTをスイッチングするために、エンハンスメント型のシリコンMOSFETが組み合わせられて、ノーマリーオフ動作を実現している。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-61265号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載されるような、エンハンスメント型のシリコンMOSFETと、ディプレッション型の窒化ガリウムHEMTとが直列接続されたカスコードトランジスタでは、オン抵抗の温度依存性が比較的大きい。例えば、動作温度が室温から150℃にまで上昇すると、カスコードトランジスタのオン抵抗は2倍以上に増加し得る。このようなオン抵抗の増加は、導通損

失を増大させ、チップ温度のさらなる上昇を招く可能性があるため、オン抵抗の温度依存性を低減することが望ましい。

課題を解決するための手段

[0006] 本開示の一態様による窒化物半導体装置は、第1ゲート端子、第1ソース端子、および第1ドレイン端子を含むディプレッション型トランジスタと、第2ゲート端子、第2ソース端子、および第2ドレイン端子を含むエンハンスメント型トランジスタとを備えている。前記第2ドレイン端子は、前記第1ソース端子に接続され、前記第2ソース端子は、前記第1ゲート端子に接続されている。前記ディプレッション型トランジスタは、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層と、前記電子走行層上に形成され、前記電子走行層よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層とを含む。

発明の効果

[0007] 本開示の窒化物半導体装置によれば、オン抵抗の温度依存性を低減することができる。

図面の簡単な説明

[0008] [図1]図1は、一実施形態による例示的な窒化物半導体装置の概略回路図である。

[図2]図2は、本開示の一態様による例示的なディプレッション型トランジスタの概略断面図である。

[図3]図3は、本開示の一態様による例示的なエンハンスメント型トランジスタの概略断面図である。

[図4]図4は、本開示の他の態様による例示的なディプレッション型トランジスタの概略断面図である。

[図5]図5は、本開示の窒化物半導体装置の応用例を示す概略回路図である。

[図6]図6は、本開示の窒化物半導体装置の別の応用例を示す概略回路図である。

発明を実施するための形態

- [0009] 以下、添付図面を参照して本開示の窒化物半導体装置の実施形態を説明する。なお、説明を簡単かつ明確にするために、図面に示される構成要素は必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図では、ハッチング線が省略されている場合がある。添付の図面は、本開示の実施形態を例示するに過ぎず、本開示を制限するものとみなされるべきではない。
- [0010] 以下の詳細な記載は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定することを意図しない。
- [0011] 図1は、一実施形態による例示的な窒化物半導体装置10の概略回路図である。窒化物半導体装置10は、ディプレッション型 (depletion mode) トランジスタ20と、エンハンスメント型 (enhancement mode) トランジスタ30とを備えている。ディプレッション型トランジスタ20は、第1ゲート端子22、第1ソース端子24、および第1ドレイン端子26を含む。エンハンスメント型トランジスタ30は、第2ゲート端子32、第2ソース端子34、および第2ドレイン端子36を含む。第2ドレイン端子36は、第1ソース端子24に接続され、第2ソース端子34は、第1ゲート端子22に接続されている。したがって、窒化物半導体装置10は、ディプレッション型トランジスタ20およびエンハンスメント型トランジスタ30のカスコード接続によって構成されている。カスコード接続に含まれるエンハンスメント型トランジスタ30により、窒化物半導体装置10のノーマリーオフ動作が可能となる。
- [0012] ディプレッション型トランジスタ20およびエンハンスメント型トランジスタ30のカスコード接続によって構成された窒化物半導体装置10のオン抵抗は、ディプレッション型トランジスタ20のオン抵抗と、エンハンスメント型トランジスタ30のオン抵抗との合計に相当する。以下にさらに詳細

に説明するように、オン抵抗の温度依存性が小さいディプレッション型トランジスタ20を用いることにより、窒化物半導体装置10全体のオン抵抗の温度依存性を低減することができる。

[0013] 図2は、本開示の一態様による例示的なディプレッション型トランジスタ20の概略断面図である。ディプレッション型トランジスタ20は、一例では、窒化物半導体ベースの高電子移動度トランジスタ（HEMT）である。ディプレッション型トランジスタ20は、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層56と、電子走行層56上に形成され、電子走行層56よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層58とを含む。

[0014] より詳細には、ディプレッション型トランジスタ20は、基板52と、基板52上に形成されたバッファ層54と、バッファ層54上に形成された電子走行層56と、電子走行層56上に形成された電子供給層58とを含むことができる。

[0015] 基板52は、シリコン（Si）、窒化アルミニウム（AlN）、酸化アルミニウム（ Al_2O_3 ）、または他の基板材料で形成することができる。基板52は、アモルファスAlNと、アモルファスAlNの表面に形成されたSiとを含むQST（Qromis' Substrate Technology）基板であってもよい。基板52の厚さは、例えば200 μm 以上1500 μm 以下とすることができる。図2に示される互いに直交するXYZ軸のZ方向は、デバイスが形成される基板52の面と直交する方向である。なお、本明細書において言及される層の厚さとは、明示的に別段の記載がない限り、Z方向に沿った寸法を指す。

[0016] バッファ層54は、基板52と電子走行層56との間に位置し、基板52と電子走行層56との間の格子不整合を緩和することができる任意の材料によって構成され得る。バッファ層54は、1つまたは複数の窒化物半導体層を含むことができ、例えば、窒化アルミニウムガリウム（AlGaIn）層、AlN層、および異なるアルミニウム組成を有するグレーテッドAlGaIn

層のうちの少なくとも1つを含んでもよい。

[0017] 電子走行層56は、アルミニウムを結晶組成に含む窒化物半導体によって構成されている。例えば、電子走行層56は、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ から形成され、 $0.1 < x < 0.2$ であってよい。一例では、 $x = 0.15$ である。本開示において、「アルミニウムを結晶組成に含む」という表現は、アルミニウムが、微量の不純物として含まれる構成を排除することを意図するものである。一例では、「アルミニウムを結晶組成に含む」とは、アルミニウムを少なくとも10%の組成で含むことを意味するが、これに限定されない。電子走行層56の厚さは、例えば、300nm以上400nm以下とすることができる。一例では、電子走行層56の厚さは、350nmである。

[0018] 電子供給層58は、電子走行層56よりも大きい組成のアルミニウムを含む窒化物半導体によって構成されている。例えば、電子供給層58は、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ から形成され、 $0.25 < y < 0.4$ であってよい。一例では、 $y = 0.35$ である。電子供給層58は電子走行層56よりも大きい組成のアルミニウムを含むため、 $x < y$ である。また、アルミニウム組成が大きいほどバンドギャップが大きくなるため、電子供給層58は、電子走行層56よりも大きなバンドギャップを有している。電子供給層58は、20nm以上30nm以下の厚さを有することができる。一例では、電子供給層58は、25nmの厚さを有している。

[0019] 電子走行層56と電子供給層58とは、互いに異なるアルミニウム組成を有し、したがって異なる格子定数を有する窒化物半導体によって構成されている。電子走行層56と電子供給層58との格子不整合系の接合は、電子供給層58に歪みを与え、この歪みが、電子走行層56中に二次元状に広がる電子、すなわち二次元電子ガス(2DEG)60を誘起する。2DEG60は、電子走行層56中、電子走行層56と電子供給層58とのヘテロ接合界面に近い位置(例えば、界面から数nm程度の距離)に広がっている。この2DEG60が、ディプレッション型トランジスタ20の電流経路(チャンネル)として機能する。

[0020] ディプレッション型トランジスタ20の電子供給層58は、エンハンスメント型トランジスタ30の後述する第2電子供給層108よりも大きな厚さを有することができる。これにより、ディプレッション型トランジスタ20において、電流コラプスの発生を抑制することができる。

[0021] なお、電流コラプスとは、トランジスタのオフ状態において、ドレイン・ソース間に高電圧が印加されると、次にトランジスタをオン状態にスイッチさせたときにオン抵抗が増大する現象を指す。これは、トランジスタ内部の結晶欠陥や層界面、例えば、電子走行層内、または電子供給層表面に電子がトラップされ、それらの電子が二次元電子ガスの発生を阻害することに起因し得る。ディプレッション型トランジスタ20の電子供給層58が比較的大きな厚さを有することにより、2DEG60から電子供給層58の表面を遠ざけることができるため、電流コラプスの発生を抑制することが可能となる。

[0022] ディプレッション型トランジスタ20は、電子供給層58上に形成されたゲート絶縁層62と、ソース電極64と、ドレイン電極66とをさらに含む。

ゲート絶縁層62は、電子供給層58と後述するゲート電極72とを絶縁することができる任意の材料によって形成することができる。例えば、ゲート絶縁層62は、窒化シリコン(SiN)およびAlNのうちの少なくとも一方を含んでいてよい。一例では、ゲート絶縁層62は、SiN層と、SiN層上に形成されたAlN層とを含むことができる。

[0023] ゲート絶縁層62は、電子供給層58の表面を露出させる第1開口62Aおよび第2開口62Bを有している。ソース電極64は、第1開口62Aを充填しており、第1開口62Aを介して電子供給層58に接している。ドレイン電極66は、第2開口62Bを充填しており、第2開口62Bを介して電子供給層58に接している。

[0024] ソース電極64およびドレイン電極66の各々は、1つまたは複数の金属層(例えば、チタン(Ti)層、窒化チタン(TiN)層、アルミニウム(

A l) 層、アルミニウムシリコン銅合金 (A l S i C u) 層、およびアルミニウム銅合金 (A l C u) 層などの任意の組み合わせから成る) によって構成することができる。一例では、ソース電極 6 4 およびドレイン電極 6 6 の各々は、T i 層と、T i 層上に形成された T i N 層と、T i N 層上に形成された A l C u 層と、A l C u 層上に形成された T i N 層とを含むことができる。ソース電極 6 4 およびドレイン電極 6 6 は、それぞれ第 1 開口 6 2 A および第 2 開口 6 2 B を介して電子供給層 5 8 直下の 2 D E G 6 0 とオーミック接触している。

[0025] ディプレッション型トランジスタ 2 0 は、ゲート絶縁層 6 2、ソース電極 6 4、およびドレイン電極 6 6 を覆う第 1 パッシベーション層 6 8 と、第 1 パッシベーション層 6 8 上に形成された第 2 パッシベーション層 7 0 と、ゲート電極 7 2 とをさらに含むことができる。第 1 パッシベーション層 6 8 および第 2 パッシベーション層 7 0 は、ソース電極 6 4 およびドレイン電極 6 6 の各々を部分的に覆っている。

[0026] 第 1 パッシベーション層 6 8 は、ゲート絶縁層 6 2 を露出する開口 6 8 A を有している。第 1 パッシベーション層 6 8 上に形成された第 2 パッシベーション層 7 0 は、開口 6 8 A よりも X 方向に沿って大きい幅を有する開口 7 0 A を有している。Z 方向に沿って上方から視た場合、開口 6 8 A は、開口 7 0 A の内側に位置している。また、開口 6 8 A および開口 7 0 A は、ドレイン電極 6 6 よりもソース電極 6 4 の近くに位置している。

[0027] 第 1 パッシベーション層 6 8 および第 2 パッシベーション層 7 0 は、S i N によって構成することができる。図示を省略するが、第 1 パッシベーション層 6 8 と第 2 パッシベーション層 7 0 との間にエッチングストップ層として A l N 層が形成されていてもよい。

[0028] ゲート電極 7 2 は、第 2 パッシベーション層 7 0 上に形成されるとともに、開口 6 8 A および開口 7 0 A を充填している。ゲート電極 7 2 は、開口 6 8 A および開口 7 0 A を介してゲート絶縁層 6 2 に接している。

[0029] Z 方向に沿って視た場合、ゲート電極 7 2 は、開口 6 8 A の領域に形成さ

れたゲートコンタクト部 72A と、開口 70A の領域から開口 68A を除いた領域に形成された第 1 ゲートフィールドプレート部 72B と、開口 70A よりも外側の領域に形成された第 2 ゲートフィールドプレート部 72C とを含むことができる。

[0030] 第 2 ゲートフィールドプレート部 72C は、X 方向に沿って開口 70A よりも大きな幅を有している。したがって、第 2 ゲートフィールドプレート部 72C は、第 1 ゲートフィールドプレート部 72B と比較して、ソース電極 64 およびドレイン電極 66 の近くまで延びている。なお、第 2 ゲートフィールドプレート部 72C は、ソース電極 64 およびドレイン電極 66 からは離間されている。

[0031] 第 1 ゲートフィールドプレート部 72B および第 2 ゲートフィールドプレート部 72C は、ゲート・ソース間電圧がゼロであり、かつドレイン・ソース間電圧が比較的高い場合に、特にゲート・ドレイン間の電界集中を抑制する働きをする。

[0032] ゲート・ソース間電圧がゼロであり、かつドレイン・ソース間電圧が比較的高い場合、第 1 ゲートフィールドプレート部 72B および第 2 ゲートフィールドプレート部 72C の下にある第 1 パッシベーション層 68 および／または第 2 パッシベーション層 70 にも電界がかかり、この電界は、ドレイン電極 66 に近いほど高くなる。

[0033] 図 2 の例では、ドレイン電極 66 の比較的近くに位置する第 2 ゲートフィールドプレート部 72C の下には、第 1 パッシベーション層 68 および第 2 パッシベーション層 70 の両方が設けられている。第 2 ゲートフィールドプレート部 72C の下において、第 2 パッシベーション層 70 の厚さの分だけパッシベーション層全体の厚さが増えるため、第 1 パッシベーション層 68 および第 2 パッシベーション層 70 の絶縁破壊耐性を向上させることができる。

[0034] ゲート電極 72、ソース電極 64、およびドレイン電極 66 は、図 1 にも示した第 1 ゲート端子 22、第 1 ソース端子 24、および第 1 ドレイン端子

26にそれぞれ接続されている。

[0035] 以上説明したように、ディプレッション型トランジスタ20は、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層56と、電子走行層56上に形成され、電子走行層56よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層58とを含んでいる。この構成によれば、電子走行層56がアルミニウムを結晶組成に含まない場合と比較して、2DEG60は、格子振動による電子移動度低下の影響を受けにくくなり、オン抵抗の温度依存性を低減することができる。例えば窒化ガリウム(GaN)層が電子走行層として用いられたGaNチャネルHEMTと比較して、ディプレッション型トランジスタ20のオン抵抗の温度依存性は小さい。

[0036] ノーマリーオフ動作をエンハンスメント型トランジスタ30によって保証しつつ、窒化物半導体装置10の耐圧をディプレッション型トランジスタ20によって向上させるという観点から、ディプレッション型トランジスタ20のドレイン・ソース間電圧の最大定格は、エンハンスメント型トランジスタ30のドレイン・ソース間電圧の最大定格よりも大きくてよい。同様の観点から、ディプレッション型トランジスタ20は、エンハンスメント型トランジスタ30よりも大きいオン抵抗を有することができる。例えば、ディプレッション型トランジスタ20は、エンハンスメント型トランジスタ30のオン抵抗の10倍よりも大きいオン抵抗を有することができ、このような場合、窒化物半導体装置10のオン抵抗のうち、ディプレッション型トランジスタ20のオン抵抗の占める割合は、90%以上である。

[0037] 一例では、ディプレッション型トランジスタ20のドレイン・ソース間電圧の最大定格は、500V以上であり、エンハンスメント型トランジスタ30のドレイン・ソース間電圧の最大定格は、30V以上であってよい。また、一例では、エンハンスメント型トランジスタ30のドレイン・ソース間電圧の最大定格は、100V以下であってよい。

[0038] 図3は、本開示の一態様による例示的なエンハンスメント型トランジスタ

30の概略断面図であり、ここでは、エンハンスメント型トランジスタ30は、窒化物半導体ベースのHEMTである。

[0039] エンハンスメント型トランジスタ30は、基板102と、基板102上に形成されたバッファ層104と、バッファ層104上に形成された電子走行層106と、電子走行層106上に形成された電子供給層108とを含むことができる。バッファ層104は、ディプレッション型トランジスタ20のバッファ層54と区別するため、第2バッファ層とも呼ばれる。電子走行層106は、ディプレッション型トランジスタ20の電子走行層56と区別するために、第2電子走行層とも呼ばれる。電子供給層108は、ディプレッション型トランジスタ20の電子供給層58と区別するために、第2電子供給層とも呼ばれる。

[0040] 基板102は、シリコン(Si)、シリコンカーバイド(SiC)、GaN、サファイア、または他の基板材料で形成することができる。一例では、基板102は、Si基板である。

[0041] なお、エンハンスメント型トランジスタ30の基板102は、ディプレッション型トランジスタ20の基板52と同じ材料で形成されていてもよく、あるいは、ディプレッション型トランジスタ20の基板52とは異なる材料で形成されていてもよい。基板52および基板102が同じ材料で形成される一例では、基板52および基板102の各々は、Si基板であってよい。基板52および基板102が異なる材料で形成される別の例では、基板52は、Alを含む半導体基板であり、基板102は、Si基板であってよい。

[0042] 基板102の厚さは、例えば200 μ m以上1500 μ m以下とすることができる。図3に示される互いに直交するXYZ軸のZ方向は、デバイスが形成される基板102の面と直交する方向である。

[0043] バッファ層104は、基板102と電子走行層106との間に位置し、基板102と電子走行層106との間の格子不整合を緩和することができる任意の材料によって構成され得る。バッファ層104は、1つまたは複数の窒化物半導体層を含むことができ、例えば、AlN層、AlGaN層、および

異なるアルミニウム組成を有するグレーテッドA l G a N層のうちの少なくとも1つを含んでもよい。例えば、バッファ層104は、単一のA l N層、単一のA l G a N層、A l G a N / G a N超格子構造を有する層、A l N / A l G a N超格子構造を有する層、またはA l N / G a N超格子構造を有する層によって構成されてもよい。

[0044] 一例において、バッファ層104は、基板102上に形成されたA l N層である第1バッファ層と、A l N層上に形成されたA l G a N層である第2バッファ層を含むことができる。第1バッファ層は、例えば、200nmの厚さを有するA l N層であってよく、第2バッファ層は、例えば、複数のA l G a N層が積層された構造を有していてもよい。なお、バッファ層104におけるリーク電流を抑制するために、バッファ層104の一部に不純物を導入して半絶縁性にしてもよい。その場合、不純物は、例えば炭素(C)または鉄(Fe)であり、不純物の濃度は、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 以上とすることができる。

[0045] 電子走行層106は、窒化物半導体によって構成されており、例えば、G a N層であってよい。電子走行層106は、ディプレッション型トランジスタ20の電子走行層56よりも小さなバンドギャップを有する窒化物半導体によって構成することができる。電子走行層106の厚さは、例えば、300nm以上2 μm 以下とすることができ、より好ましくは、300nm以上400nm以下であってよい。一例では、電子走行層106の厚さは、350nmである。

[0046] なお、電子走行層106におけるリーク電流を抑制するために、電子走行層106の一部に不純物を導入して電子走行層106の表層領域以外を半絶縁性にしてもよい。その場合、不純物は、例えばCであり、不純物の濃度は、例えばピーク濃度で $1 \times 10^{19} \text{ cm}^{-3}$ 以上とすることができる。すなわち、電子走行層106は、不純物濃度の異なる複数のG a N層、一例では、CドーピングG a N層と、ノンドーピングG a N層とを含むことができる。CドーピングG a N層中のC濃度は、 $9 \times 10^{18} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下とするこ

とができる。

[0047] 電子供給層108は、電子走行層106よりも大きなバンドギャップを有する窒化物半導体によって構成されており、例えば、AlGa_zN層であってよい。Al組成が大きいほどバンドギャップが大きくなるため、AlGa_zN層である電子供給層108は、Ga_zN層である電子走行層106よりも大きなバンドギャップを有している。一例においては、電子供給層108は、Al_zGa_{1-z}Nによって構成され、 z は $0.1 < z < 0.4$ であり、より好ましくは、 $0.2 < z < 0.3$ である。一例では、 $z = 0.25$ である。電子供給層108は、5 nm以上20 nm以下の厚さを有することができる。一例では、電子供給層108は、8 nm以上15 nm以下の厚さを有することができる。

[0048] 電子走行層106と電子供給層108とは、互いに異なる格子定数を有する窒化物半導体によって構成されている。電子走行層106と電子供給層108との格子不整合系の接合は、電子供給層108に歪みを与え、この歪みが、電子走行層106中に二次元電子ガス(2DEG)110を誘起する。2DEG110は、電子走行層106中、電子走行層106と電子供給層108とのヘテロ接合界面に近い位置(例えば、界面から数nm程度の距離)に広がっている。この2DEG110が、エンハンスメント型トランジスタ30の電流経路(チャネル)として機能する。

[0049] エンハンスメント型トランジスタ30は、電子供給層108上に形成されたゲート層112と、ゲート層112上に形成されたゲート電極114と、電子供給層108、ゲート層112、およびゲート電極114を覆うとともに、第1開口116Aおよび第2開口116Bを有するパッシベーション層116と、第1開口116Aを介して電子供給層108に接しているソース電極118と、第2開口116Bを介して電子供給層108に接しているドレイン電極120とをさらに含む。

[0050] ゲート層112は、電子供給層108の一部上に形成され、アクセプタ型不純物を含む窒化物半導体によって構成されている。ゲート層112は、例

例えばA l G a N層である電子供給層108よりも小さなバンドギャップを有する任意の材料によって構成され得る。一例では、ゲート層112は、アクセプタ型不純物がドーピングされたG a N層（p型G a N層）である。アクセプタ型不純物は、亜鉛（Z n）、マグネシウム（M g）、および炭素（C）のうちの少なくとも1つを含むことができる。ゲート層112中のアクセプタ型不純物の最大濃度は、一例では、 $7 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0051] ゲート層112は、電子供給層108に接している底面112Aと、底面112Aの反対側の上面112Bとを含む。ゲート電極114は、ゲート層112の上面112Bに形成される。ゲート層112は、図3におけるZ X平面において、矩形状、台形状、またはリッジ状の断面を有することができる。

[0052] 図3に示す例においては、ゲート層112は、ゲート電極114が形成される上面112Bを含むリッジ部122と、平面視でリッジ部122の外側に延びる2つの延在部124、126（第1延在部124および第2延在部126）を含んでいる。なお、平面視とは、Z方向に沿って上方からエンハンスメント型トランジスタ30を視ることを意味する。

[0053] 第1延在部124は、平面視でリッジ部122から第1開口116Aに向けて延びている。第1延在部124は、第1開口116Aからは離間されている。

第2延在部126は、平面視でリッジ部122から第2開口116Bに向けて延びている。第2延在部126は、第2開口116Bからは離間されている。

[0054] リッジ部122は、第1延在部124と第2延在部126との間にあり、第1延在部124および第2延在部126と一体に形成されている。第1延在部124および第2延在部126の存在により、ゲート層112の底面112Aは、上面112Bよりも大きな面積を有していてもよい。図3に示す例では、第2延在部126は、第1延在部124よりも、平面視でリッジ部

1 2 2の外側に向けて長く延びている。

[0055] リッジ部1 2 2は、ゲート層1 1 2の比較的厚い部分に相当し、80 nm以上150 nm以下の厚さを有することができる。ゲート層1 1 2、特にリッジ部1 2 2の厚さは、ゲート閾値電圧を含むパラメータを考慮して定めることができる。一例では、ゲート層1 1 2（リッジ部1 2 2）は、110 nmよりも大きい厚さを有している。

[0056] 第1延在部1 2 4および第2延在部1 2 6の各々は、リッジ部1 2 2の厚さよりも小さい厚さを有している。一例では、第1延在部1 2 4および第2延在部1 2 6の各々は、リッジ部1 2 2の厚さの1/2以下の厚さを有している。

[0057] なお、図3に示す例においては、第1延在部1 2 4および第2延在部1 2 6の各々は、略一定の厚さを有する平坦な部分である。なお、本明細書において「略一定の厚さ」とは、厚さが製造上のばらつき（例えば、20%）の範囲内にあることを指す。代替的に、第1延在部1 2 4および第2延在部1 2 6の各々は、リッジ部1 2 2に隣接する領域では、リッジ部1 2 2から遠ざかるほど漸減する厚さを有するテーパ部を含んでいてよく、リッジ部1 2 2から所定の距離を越えて離れた領域においては略一定の厚さを有する平坦部を含んでいてもよい。一例では、平坦部は、5 nm以上25 nm以下の厚さを有していてもよい。

[0058] ゲート電極1 1 4は、ゲート層1 1 2の上面1 1 2 Bに形成されている。リッジ部1 2 2は、ゲート層1 1 2の上面1 1 2 Bを含んでいるため、ゲート電極1 1 4は、ゲート層1 1 2のリッジ部1 2 2上に形成されているということもできる。ゲート電極1 1 4は、1つまたは複数の金属層によって構成されており、一例ではTiN層である。あるいは、ゲート電極1 1 4は、Tiからなる第1金属層と、第1金属層上に設けられTiNからなる第2金属層とによって構成されていてもよい。ゲート電極1 1 4の厚さは、例えば、50 nm以上200 nm以下であってよい。ゲート電極1 1 4は、ゲート層1 1 2とショットキー接合を形成している。

- [0059] パッシベーション層 116 は、電子供給層 108、ゲート層 112、およびゲート電極 114 を覆うとともに、第 1 開口 116 A および第 2 開口 116 B を有している。パッシベーション層 116 の第 1 開口 116 A および第 2 開口 116 B の各々は、ゲート層 112 から離間されており、ゲート層 112 は、第 1 開口 116 A と第 2 開口 116 B との間に位置している。より詳細には、ゲート層 112 は、第 1 開口 116 A と第 2 開口 116 B との間であって、第 2 開口 116 B よりも第 1 開口 116 A に近い位置にあってよい。パッシベーション層 116 は、電子供給層 108 の上面と、ゲート層 112 の側面および上面 112 B と、ゲート電極 114 の側面および上面とに沿って延びているため、非平坦な表面を有している。
- [0060] ソース電極 118 およびドレイン電極 120 は、1 つまたは複数の金属層（例えば、Ti 層、TiN 層、Al 層、AlSiCu 層、AlCu 層などの任意の組み合わせから成る）によって構成することができる。ソース電極 118 の少なくとも一部は、第 1 開口 116 A 内に充填されている。ドレイン電極 120 の少なくとも一部は、第 2 開口 116 B 内に充填されている。ソース電極 118 およびドレイン電極 120 は、それぞれ第 1 開口 116 A および第 2 開口 116 B を介して電子供給層 108 直下の 2DEG 110 とオーミック接触している。
- [0061] ソース電極 118 は、第 1 開口 116 A に充填されたソースコンタクト部 118 A と、パッシベーション層 116 を覆うソースフィールドプレート部 118 B とを含む。ソースフィールドプレート部 118 B は、ソースコンタクト部 118 A と連続しており、ソースコンタクト部 118 A と一体に形成されている。ソースフィールドプレート部 118 B は、平面視で第 2 開口 116 B とゲート層 112 との間に位置する端部 118 C を含む。ソースフィールドプレート部 118 B は、パッシベーション層 116 の表面に沿って、ソースコンタクト部 118 A から端部 118 C まで、ドレイン電極 120 に向かって延びているが、ドレイン電極 120 とは離間されている。ソースフィールドプレート部 118 B は、パッシベーション層 116 の非平坦な表面

に沿って延びているため、同様に非平坦な表面を有している。ソースフィールドプレート部 118B は、ゲート電極 114 にゲート電圧が印加されていないゼロバイアスの間にドレイン電極 120 にドレイン電圧が印加された場合に、ゲート電極 114 の端部近傍の電界集中を緩和する役割を果たしている。

[0062] ゲート電極 114、ソース電極 118、およびドレイン電極 120 は、図 1 にも示した第 2 ゲート端子 32、第 2 ソース端子 34、および第 2 ドレイン端子 36 にそれぞれ接続されている。

[0063] エンハンスメント型トランジスタ 30 が、上述のような窒化物半導体ベースの高電子移動度トランジスタ (HEMT) である場合、エンハンスメント型トランジスタ 30 のゲート・ソース間電圧の最大定格を 8 V 以上とすることができる。

[0064] 図 3 を参照して説明した例では、エンハンスメント型トランジスタ 30 は窒化物半導体ベースの HEMT であるが、エンハンスメント型トランジスタ 30 は、シリコンベースの金属酸化膜半導体電界効果トランジスタ (シリコン MOSFET) であってもよいことを理解されたい。エンハンスメント型トランジスタ 30 は、ノーマリーオフ動作を可能にする任意の適切なデバイスから選択することができる。

[0065] なお、エンハンスメント型トランジスタ 30 のオン抵抗の温度依存性は、ディプレッション型トランジスタ 20 よりも大きい可能性がある。しかしながら、窒化物半導体装置 10 全体のオン抵抗に占めるディプレッション型トランジスタ 20 のオン抵抗の割合は比較的小さく (例えば 10 % 未満)、温度依存性への影響は十分小さい。

[0066] (作用)

以下、本実施形態の窒化物半導体装置 10 の作用について説明する。

窒化物半導体装置 10 は、ディプレッション型トランジスタ 20 およびエンハンスメント型トランジスタ 30 のカスコード接続によって構成されている。ディプレッション型トランジスタ 20 およびエンハンスメント型トラン

ジスタ 30 のカスコード接続によって構成された窒化物半導体装置 10 のオン抵抗は、ディプレッション型トランジスタ 20 のオン抵抗と、エンハンスメント型トランジスタ 30 のオン抵抗との合計に相当する。したがって、オン抵抗の温度依存性が小さいディプレッション型トランジスタ 20 を用いることにより、ノーマリーオフ動作を保証しつつ、窒化物半導体装置 10 全体のオン抵抗の温度依存性を低減することができる。

[0067] ディプレッション型トランジスタ 20 は、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層 56 と、電子走行層 56 上に形成され、電子走行層 56 よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層 58 とを含む。この構成によれば、電子走行層 56 がアルミニウムを結晶組成に含まない場合と比較して、2DEG 60 は、格子振動による電子移動度低下の影響を受けにくくなり、オン抵抗の温度依存性を低減することができる。

[0068] 特に、窒化物半導体装置 10 のオン抵抗のうち、ディプレッション型トランジスタ 20 のオン抵抗が占める割合が大きい場合、ディプレッション型トランジスタ 20 のオン抵抗の温度依存性を低減することは、窒化物半導体装置 10 のオン抵抗の温度依存性の改善に効果的である。

[0069] (効果)

第 1 実施形態の窒化物半導体装置 10 は、以下の利点を有する。

(1) 窒化物半導体装置 10 は、ディプレッション型トランジスタ 20 およびエンハンスメント型トランジスタ 30 のカスコード接続によって構成され、ディプレッション型トランジスタ 20 は、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層 56 と、電子走行層 56 上に形成され、電子走行層 56 よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層 58 とを含む。

[0070] この構成によれば、ディプレッション型トランジスタ 20 にて発生する 2DEG 60 は、格子振動による電子移動度低下の影響を受けにくくなるため、ディプレッション型トランジスタ 20 のオン抵抗の温度依存性を低減する

ことができる。この結果、ノーマリーオフ動作を保証しつつ、窒化物半導体装置 10 全体のオン抵抗の温度依存性を低減することができる。

[0071] (2) エンハンスメント型トランジスタ 30 は、ディプレッション型トランジスタ 20 の電子走行層 56 よりも小さなバンドギャップを有する窒化物半導体によって構成された第 2 電子走行層 106 と、第 2 電子走行層 106 上に形成され、第 2 電子走行層 106 よりも大きなバンドギャップを有する窒化物半導体によって構成された第 2 電子供給層 108 と、第 2 電子供給層 108 上の一部に形成され、アクセプタ型不純物を含む窒化物半導体によって構成されたゲート層 112 とを含むことができる。

[0072] この構成によれば、ディプレッション型トランジスタ 20 およびエンハンスメント型トランジスタ 30 の両方が、pn 逆並列ダイオードを持たない窒化物半導体 HEMT であるため、高温時の良好な逆回復特性を実現することができる。

[0073] (3) ディプレッション型トランジスタ 20 の電子供給層 58 は、エンハンスメント型トランジスタ 30 の第 2 電子供給層 108 よりも大きな厚さを有することができる。

この構成によれば、ディプレッション型トランジスタ 20 において、2DEG 60 から電子供給層 58 の表面を遠ざけることができ、電流コラプスの発生を抑制することができる。

[0074] (4) ゲート層 112 は、ゲート電極 114 が形成される上面 112B を含むリッジ部 122 と、平面視でリッジ部 122 の外側に延びるとともにリッジ部 122 の厚さの $1/2$ 以下の厚さを有する延在部 126 (および/または 124) とを含むことができる。

[0075] この構成によれば、ゲート層 112 がリッジ部 122 のみを含む場合と比較して、延在部 126 (および/または 124) の分だけゲート層 112 の底面 112A の面積を増加させることができる。この結果、ゲート層 112 と電子供給層 108 との界面に蓄積されるホール密度を低減して、リーク電流を低減することができる。

[0076] (5) エンハンスメント型トランジスタ30のゲート・ソース間電圧の最大定格は、8V以上であってよい。

この構成によれば、ゲート駆動対象であるエンハンスメント型トランジスタ30のゲート・ソース間電圧の最大定格が比較的高いため、窒化物半導体装置10の動作の信頼性を高めることができる。

[0077] (6) ディプレッション型トランジスタ20およびエンハンスメント型トランジスタ30の各々は、Si基板を含んでいてもよい。

この構成によれば、ディプレッション型トランジスタ20およびエンハンスメント型トランジスタ30の各々はSi基板を用いて製造されるため、窒化物半導体装置10の製造コストを低減することができる。

[0078] (7) エンハンスメント型トランジスタ30は、Si基板を含み、ディプレッション型トランジスタ20は、Alを含む半導体基板を含んでいてもよい。

この構成によれば、ディプレッション型トランジスタ20が、比較的高い剛性を有する基板を用いて製造されるため、アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層56を、クラックの発生を抑制しながら厚く形成することが可能となる。

[0079] (8) ディプレッション型トランジスタ20は、エンハンスメント型トランジスタ30よりも大きいオン抵抗を有していてもよい。

この構成によれば、窒化物半導体装置10のオン抵抗のうち、ディプレッション型トランジスタ20のオン抵抗が占める割合が大きくなるため、窒化物半導体装置10のオン抵抗の温度依存性を効果的に低減することができる。

[0080] [ディプレッション型トランジスタの変更例]

図4は、変更例によるディプレッション型トランジスタ40の概略断面図である。ディプレッション型トランジスタ40は、図3に示すディプレッション型トランジスタ20の代わりに窒化物半導体装置10に含まれて、カスケード接続を構成することができる。

[0081] ディプレッション型トランジスタ40は、電子供給層58上に形成された、ドナー型不純物を含む窒化物半導体層202を含んでいる。ディプレッション型トランジスタ40は、電子供給層58とゲート絶縁層62との間に窒化物半導体層202を含むという点で、図3に示すディプレッション型トランジスタ20と相違している。図4のディプレッション型トランジスタ40において、図3に示すディプレッション型トランジスタ20と同様の構成要素には同じ符号が付されている。また、図4において、ディプレッション型トランジスタ20と同様な構成要素については詳細な説明を省略する。

[0082] 窒化物半導体層202は、電子供給層58上に形成されている。窒化物半導体層202は、ドナー型不純物を含む窒化物半導体によって構成されている。一例では、窒化物半導体層202は、ドナー型不純物を含むGa_{0.9}N層であってよい。別の例においては、窒化物半導体層202は、ドナー型不純物を含むAlGa_{0.9}N層であってよい。

[0083] 窒化物半導体層202は、電子供給層58を露出する開口202Aを有している。開口202Aは、Z方向に沿って上方から視た場合、開口70Aの領域内に形成されている。ゲート絶縁層62は、窒化物半導体層202上に形成されるとともに、開口202Aおよび開口202A内に露出された電子供給層58に沿って形成されている。開口202Aは、ゲート絶縁層62およびゲート電極72によって埋設されている。

[0084] この構成によれば、2DEG60から窒化物半導体層202の表面を遠ざけることができるため、電流コラプスの発生を抑制することができる。

[窒化物半導体装置の応用例]

図5は、本開示の窒化物半導体装置10の応用例を示す概略回路図である。図5には、本開示の窒化物半導体装置10（図1参照）を用いたLLC方式のDC/DCコンバータ300が示されている。DC/DCコンバータ300は、直流入力電源302から供給される直流入力電圧 V_{in} を直流出力電圧 V_{out} に変換して、負荷304（例えば、バッテリー）に電力を供給するように構成されている。

[0085] DC/DCコンバータ300は、フルブリッジ構成の4つの窒化物半導体装置10a, 10b, 10c, 10dと、共振インダクタ306と、共振コンデンサ308とを含んでいてよい。窒化物半導体装置10a, 10b, 10c, 10dは、それぞれ本開示の窒化物半導体装置10（図1参照）に対応している。共振インダクタ306および共振コンデンサ308は、窒化物半導体装置10aと窒化物半導体装置10bとの間のノード、および窒化物半導体装置10cと窒化物半導体装置10dとの間のノードにそれぞれ接続されている。なお、別の例では、DC/DCコンバータ300は、フルブリッジ構成の4つの窒化物半導体装置10a, 10b, 10c, 10dの代わりに、ハーフブリッジ構成の2つの窒化物半導体装置10を含んでいてもよい。

[0086] 窒化物半導体装置10a, 10b, 10c, 10dは、直流入力電圧 V_{in} を交流電圧に変換するように、駆動回路310から供給される駆動信号に応じてスイッチングされる。DC/DCコンバータ300は、一次巻線および二次巻線を有するトランス312をさらに含み、上記交流電圧が、トランス312の一次巻線に供給される。

[0087] DC/DCコンバータ300は、トランス312の二次巻線の2つの端にそれぞれ接続された整流素子314, 316と、トランス312の二次巻線のセンタータップに接続された平滑コンデンサ318とをさらに含んでいる。整流素子314, 316は、例えば、同期整流トランジスタまたはダイオードであってよい。図5に示すように、整流素子314, 316が同期整流トランジスタである場合、整流素子314, 316は、それぞれ信号S1, S2に応じて動作することができる。この結果、トランス312から出力される交流電圧が整流および平滑化されて、直流出力電圧 V_{out} を生成することができる。

[0088] 窒化物半導体装置10に含まれるディプレッション型トランジスタ20および／またはエンハンスメント型トランジスタ30が窒化物半導体HEMTである場合、窒化物半導体装置10は良好な逆回復特性を備えていたため、損

失が比較的小さいDC／DCコンバータ300を実現することができる。

[0089] 図6は、本開示の窒化物半導体装置10の別の応用例を示す概略回路図である。図6には、本開示の窒化物半導体装置10（図1参照）を用いたトータムポール型の力率改善（Power Factor Correction, PFC）回路400が示されている。PFC回路400は、交流入力電源402から供給される交流入力電圧 V_{in} と入力電流との位相差を低減して力率を向上させるように構成されている。PFC回路400では、負荷404にDC出力を供給するために、交流入力電圧 V_{in} が直流出力電圧 V_{out} に変換される。

[0090] PFC回路400は、昇圧のためのインダクタ406と、4つの窒化物半導体装置10e、10f、10g、10hと、平滑コンデンサ408とを含んでよい。窒化物半導体装置10e、10f、10g、10hは、それぞれ本開示の窒化物半導体装置10（図1参照）に対応している。インダクタ406は、窒化物半導体装置10eと窒化物半導体装置10fとの間のノードに接続されている。交流入力電源402は、窒化物半導体装置10gと窒化物半導体装置10hとの間のノードと、インダクタ406との間に接続されている。窒化物半導体装置10e、10f、10g、10hは、同期整流を行うために、駆動回路410から供給される駆動信号に応じてスイッチングされる。

[0091] 窒化物半導体装置10に含まれるディプレッション型トランジスタ20および／またはエンハンスメント型トランジスタ30が窒化物半導体HEMTである場合、窒化物半導体装置10は良好な逆回復特性を備えているため、損失が比較的小さいPFC回路400を実現することができる。

[0092] 図5に示すDC／DCコンバータ300および図6に示すPFC回路400は、例えばオンボードチャージャー（on board charger, OBC）に適用することができる。

[他の変更例]

上記実施形態および変更例の各々は、以下のように変更して実施することができる。

[0093] ・ゲート層 1 1 2 は、リッジ部 1 2 2 に加えて、第 1 延在部 1 2 4 および第 2 延在部 1 2 6 のうちの一方のみを含んでいてもよい。例えば、ゲート層 1 1 2 は、リッジ部 1 2 2 と、第 2 延在部 1 2 6 とを含み、第 1 延在部 1 2 4 を含んでいなくてもよい。さらに別の例では、ゲート層 1 1 2 は、リッジ部 1 2 2 を含み、第 1 延在部 1 2 4 および第 2 延在部 1 2 6 を含んでいなくてもよい。

[0094] ・ゲート電極 1 1 4 は、ゲート層 1 1 2 の上面 1 1 2 B の一部に形成されるように図示されているが、ゲート電極 1 1 4 は、ゲート層 1 1 2 の上面 1 1 2 B のすべてを覆うように形成されていてもよい。

[0095] ・ディプレッション型トランジスタ 2 0 の電子供給層 5 8 は、エンハンスメント型トランジスタ 3 0 の第 2 電子供給層 1 0 8 と同じ厚さを有していてもよく、または第 2 電子供給層 1 0 8 よりも小さい厚さを有していてもよい。

[0096] ・電子走行層 5 6 は、バッファ層 5 4 を介して基板 5 2 上に積層されてもよく、あるいはバッファ層 5 4 を介することなく、基板 5 2 上に積層されてもよい。

・電子走行層 1 0 6 は、バッファ層 1 0 4 を介して基板 1 0 2 上に積層されてもよく、あるいはバッファ層 1 0 4 を介することなく、基板 1 0 2 上に積層されてもよい。

[0097] 本明細書に記載の様々な例のうちの 1 つまたは複数、技術的に矛盾しない範囲で組み合わせることができる。

本明細書において、「A および B のうちの少なくとも 1 つ」とは、「A のみ、または、B のみ、または、A および B の両方」を意味するものとして理解されるべきである。

[0098] 本開示で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」の意味を含む。したがって、「第 1 層が第 2 層上に形成される」という表現は、或る実施形態では第 1 層が第 2 層に接触して第 2 層上に直接配置され得るが、他の実施

形態では第1層が第2層に接触することなく第2層の上方に配置され得ることが意図される。すなわち、「～上に」という用語は、第1層と第2層との間に他の層が形成される構造を排除しない。例えば、電子供給層108が電子走行層106上に形成されている構造は、2DEG110を安定して形成するために電子供給層108と電子走行層106との間に中間層が位置している構造を含んでいてもよい。

[0099] 本開示で使用される「垂直」、「水平」、「上方」、「下方」、「上」、「下」、「前方」、「後方」、「縦」、「横」、「左」、「右」、「前」、「後」などの方向を示す用語は、説明および図示された装置の特定の向きに依存する。本開示においては、様々な代替的な向きを想定することができ、したがって、これらの方向を示す用語は、狭義に解釈されるべきではない。

[0100] 例えば、本開示で使用されるZ方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造（例えば、図1に示される構造）は、本明細書で説明されるZ方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、X方向が鉛直方向であってもよく、またはY方向が鉛直方向であってもよい。

[0101] [付記]

本開示から把握できる技術的思想を以下に記載する。なお、限定する意図ではなく理解の補助のために、付記に記載される構成要素には、実施形態中の対応する構成要素の参照符号が付されている。参照符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、参照符号で示される構成要素に限定されるべきではない。

[0102] (付記1)

第1ゲート端子(22)、第1ソース端子(24)、および第1ドレイン端子(26)を含むディプレッション型トランジスタ(20)と、

第2ゲート端子(32)、第2ソース端子(34)、および第2ドレイン端子(36)を含むエンハンスメント型トランジスタ(30)と

を備え、

前記第2ドレイン端子(36)は、前記第1ソース端子(24)に接続され、前記第2ソース端子(34)は、前記第1ゲート端子(22)に接続され、

前記ディプレッション型トランジスタ(20)は、

アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層(56)と、

前記電子走行層(56)上に形成され、前記電子走行層(56)よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層(58)と

を含む、

窒化物半導体装置。

[0103] (付記2)

前記電子走行層(56)は、 $Al_xGa_{1-x}N$ から形成され、

前記電子供給層(58)は、 $Al_yGa_{1-y}N$ から形成され、

$0.1 < x < 0.2$ であり、 $0.25 < y < 0.4$ であり、 $x < y$ である

、

付記1に記載の窒化物半導体装置。

[0104] (付記3)

前記ディプレッション型トランジスタ(40)は、前記電子供給層(58)上に形成された、ドナー型不純物を含む窒化物半導体層(202)をさらに含む、付記1または2に記載の窒化物半導体装置。

[0105] (付記4)

前記エンハンスメント型トランジスタ(30)は、

前記ディプレッション型トランジスタ(20)の前記電子走行層(56)よりも小さなバンドギャップを有する窒化物半導体によって構成された第2電子走行層(106)と、

前記第2電子走行層(106)上に形成され、前記第2電子走行層(10

6) よりも大きなバンドギャップを有する窒化物半導体によって構成された第2電子供給層(108)と、

前記第2電子供給層(108)上の一部に形成され、アクセプタ型不純物を含む窒化物半導体によって構成されたゲート層(112)とを含む、付記1～3のうちのいずれか1つに記載の窒化物半導体装置。

[0106] (付記5)

前記ディプレッション型トランジスタ(20)の前記電子供給層(58)は、前記エンハンスメント型トランジスタ(30)の前記第2電子供給層(108)よりも大きな厚さを有している、付記4に記載の窒化物半導体装置。

[0107] (付記6)

前記ゲート層(112)は、110nm以上の厚さを有し、前記エンハンスメント型トランジスタ(30)は、前記ゲート層(112)とショットキー接合を形成するゲート電極(114)をさらに含む、付記4または5に記載の窒化物半導体装置。

[0108] (付記7)

前記ゲート層(112)は、前記ゲート電極(114)が形成される上面(112B)を含むリッジ部(122)と、平面視で前記リッジ部(122)の外側に延びるとともに前記リッジ部の厚さの1/2以下の厚さを有する延在部(126)とを含む、付記6に記載の窒化物半導体装置。

[0109] (付記8)

前記エンハンスメント型トランジスタ(30)のゲート・ソース間電圧の最大定格は、8V以上である、付記4～7のうちのいずれか1つに記載の窒化物半導体装置。

[0110] (付記9)

前記エンハンスメント型トランジスタ（３０）は、シリコンＭＯＳＦＥＴである、付記１～３のうちのいずれか１つに記載の窒化物半導体装置。

[0111] （付記１０）

前記ディプレッション型トランジスタ（２０）および前記エンハンスメント型トランジスタ（３０）の各々は、Ｓｉ基板（５２または１０２）をさらに含む、付記１～９のうちのいずれか１つに記載の窒化物半導体装置。

[0112] （付記１１）

前記電子走行層（５６）および前記第２電子走行層（１０６）の各々は、前記Ｓｉ基板（５２または１０２）上に形成されている、付記１０に記載の窒化物半導体装置。

[0113] （付記１２）

前記ディプレッション型トランジスタ（２０）および前記エンハンスメント型トランジスタ（３０）の各々は、前記Ｓｉ基板（５２または１０２）上に形成されたバッファ層（５４または１０４）をさらに含み、

前記電子走行層（５６）および前記第２電子走行層（１０６）の各々は、前記バッファ層（５４または１０４）を介して前記Ｓｉ基板（５２または１０２）上に積層されている、付記１０または１１に記載の窒化物半導体装置。

[0114] （付記１３）

前記ディプレッション型トランジスタ（２０）は、Ａｌを含む半導体基板（５２）をさらに含み、

前記エンハンスメント型トランジスタ（３０）は、Ｓｉ基板（１０２）をさらに含む、

付記１～９のうちのいずれか１つに記載の窒化物半導体装置。

[0115] （付記１４）

前記電子走行層（５６）は、前記Ａｌを含む半導体基板（５２）上に形成され、

前記第２電子走行層（１０６）は、前記Ｓｉ基板（１０２）上に形成され

ている、付記 13 に記載の窒化物半導体装置。

[0116] (付記 15)

前記ディプレッション型トランジスタ (20) は、前記 Al を含む半導体基板 (52) 上に形成されたバッファ層 (54) をさらに含み、

前記エンハンスメント型トランジスタ (30) は、前記 Si 基板 (102) 上に形成された第 2 バッファ層 (104) をさらに含み、

前記電子走行層 (56) は、前記バッファ層 (54) を介して前記 Al を含む半導体基板 (52) 上に積層され、

前記第 2 電子走行層 (106) は、前記第 2 バッファ層 (104) を介して前記 Si 基板 (102) 上に積層されている、付記 13 または 14 に記載の窒化物半導体装置。

[0117] (付記 16)

前記ディプレッション型トランジスタ (20) のドレイン・ソース間電圧の最大定格は、前記エンハンスメント型トランジスタ (30) のドレイン・ソース間電圧の最大定格よりも大きい、付記 1 ~ 15 のうちのいずれか 1 つに記載の窒化物半導体装置。

[0118] (付記 17)

前記エンハンスメント型トランジスタ (30) のドレイン・ソース間電圧の最大定格は、30V 以上であり、前記ディプレッション型トランジスタ (20) のドレイン・ソース間電圧の最大定格は、500V 以上である、付記 1 ~ 16 のうちのいずれか 1 つに記載の窒化物半導体装置。

[0119] (付記 18)

前記ディプレッション型トランジスタ (20) は、前記エンハンスメント型トランジスタ (30) よりも大きいオン抵抗を有している、付記 1 ~ 17 のうちのいずれか 1 つに記載の窒化物半導体装置。

[0120] (付記 19)

前記ディプレッション型トランジスタ (20) は、前記エンハンスメント型トランジスタ (30) のオン抵抗の 10 倍よりも大きいオン抵抗を有して

いる、付記 1 ～ 18 のうちのいずれか 1 つに記載の窒化物半導体装置。

[0121] (付記 20)

前記エンハンスメント型トランジスタ (30) のドレイン・ソース間電圧の最大定格は、100V 以下である、付記 1 ～ 19 のうちのいずれか 1 つに記載の窒化物半導体装置。

[0122] 以上の説明は単に例示である。本開示の技術を説明する目的のために列挙された構成要素および方法 (製造プロセス) 以外に、より多くの考えられる組み合わせおよび置換が可能であることを当業者は認識し得る。本開示は、特許請求の範囲を含む本開示の範囲内に含まれるすべての代替、変形、および変更を包含することが意図される。

符号の説明

[0123] 10…窒化物半導体装置
20, 40…ディプレッション型トランジスタ
22…第1ゲート端子
24…第1ソース端子
26…第1ドレイン端子
30…エンハンスメント型トランジスタ
32…第2ゲート端子
34…第2ソース端子
36…第2ドレイン端子
52, 102…基板
54…バッファ層
56…電子走行層
58…電子供給層
60, 110…2次元電子ガス (2DEG)
62…ゲート絶縁層
62A…第1開口
62B…第2開口

64, 118…ソース電極
66, 120…ドレイン電極
68…第1パッシベーション層
68A…開口
70…第2パッシベーション層
70A…開口
72…ゲート電極
72A…ゲートコンタクト部
72B…第1ゲートフィールドプレート部
72C…第2ゲートフィールドプレート部
104…(第2)バッファ層
106…(第2)電子走行層
108…(第2)電子供給層
112…ゲート層
112A…底面
112B…上面
114…ゲート電極
116…パッシベーション層
116A…第1開口
116B…第2開口
118A…ソースコンタクト部
118B…ソースフィールドプレート部
118C…端部
122…リッジ部
124, 126…延在部
202…窒化物半導体層
202A…開口
300…DC/DCコンバータ

3 0 2 … 直流入力電源
3 0 4 … 負荷
3 0 6 … 共振インダクタ
3 0 8 … 共振コンデンサ
3 1 0 … 駆動回路
3 1 2 … トランス
3 1 4, 3 1 6 … 整流素子
3 1 8 … 平滑コンデンサ
4 0 0 … 力率改善回路
4 0 2 … 交流入力電源
4 0 4 … 負荷
4 0 6 … インダクタ
4 0 8 … 平滑コンデンサ
4 1 0 … 駆動回路

請求の範囲

- [請求項1] 第1ゲート端子、第1ソース端子、および第1ドレイン端子を含むディプレッション型トランジスタと、
第2ゲート端子、第2ソース端子、および第2ドレイン端子を含むエンハンスメント型トランジスタと
を備え、
前記第2ドレイン端子は、前記第1ソース端子に接続され、前記第2ソース端子は、前記第1ゲート端子に接続され、
前記ディプレッション型トランジスタは、
アルミニウムを結晶組成に含む窒化物半導体によって構成された電子走行層と、
前記電子走行層上に形成され、前記電子走行層よりも大きい組成のアルミニウムを含む窒化物半導体によって構成された電子供給層と
を含む、
窒化物半導体装置。
- [請求項2] 前記電子走行層は、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ から形成され、
前記電子供給層は、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ から形成され、
 $0.1 < x < 0.2$ であり、 $0.25 < y < 0.4$ であり、 $x < y$
である、
請求項1に記載の窒化物半導体装置。
- [請求項3] 前記ディプレッション型トランジスタは、前記電子供給層上に形成された、ドナー型不純物を含む窒化物半導体層をさらに含む、請求項1または2に記載の窒化物半導体装置。
- [請求項4] 前記エンハンスメント型トランジスタは、
前記ディプレッション型トランジスタの前記電子走行層よりも小さなバンドギャップを有する窒化物半導体によって構成された第2電子走行層と、
前記第2電子走行層上に形成され、前記第2電子走行層よりも大きい

なバンドギャップを有する窒化物半導体によって構成された第2電子供給層と、

前記第2電子供給層上の一部に形成され、アクセプタ型不純物を含む窒化物半導体によって構成されたゲート層と

を含む、請求項1～3のうちのいずれか一項に記載の窒化物半導体装置。

[請求項5] 前記ディプレッション型トランジスタの前記電子供給層は、前記エンハンスメント型トランジスタの前記第2電子供給層よりも大きな厚さを有している、請求項4に記載の窒化物半導体装置。

[請求項6] 前記ゲート層は、110nm以上の厚さを有し、
前記エンハンスメント型トランジスタは、前記ゲート層とショットキー接合を形成するゲート電極をさらに含む、
請求項4または5に記載の窒化物半導体装置。

[請求項7] 前記ゲート層は、
前記ゲート電極が形成される上面を含むリッジ部と、
平面視で前記リッジ部の外側に延びるとともに前記リッジ部の厚さの1/2以下の厚さを有する延在部と
を含む、
請求項6に記載の窒化物半導体装置。

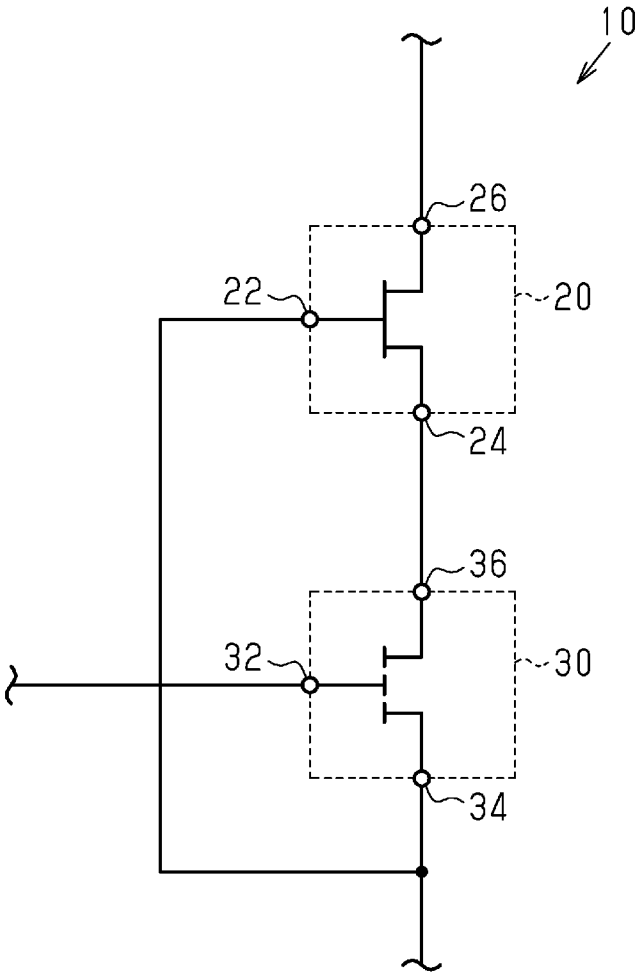
[請求項8] 前記エンハンスメント型トランジスタのゲート・ソース間電圧の最大定格は、8V以上である、請求項4～7のうちのいずれか一項に記載の窒化物半導体装置。

[請求項9] 前記エンハンスメント型トランジスタは、シリコンMOSFETである、請求項1～3のうちのいずれか一項に記載の窒化物半導体装置。

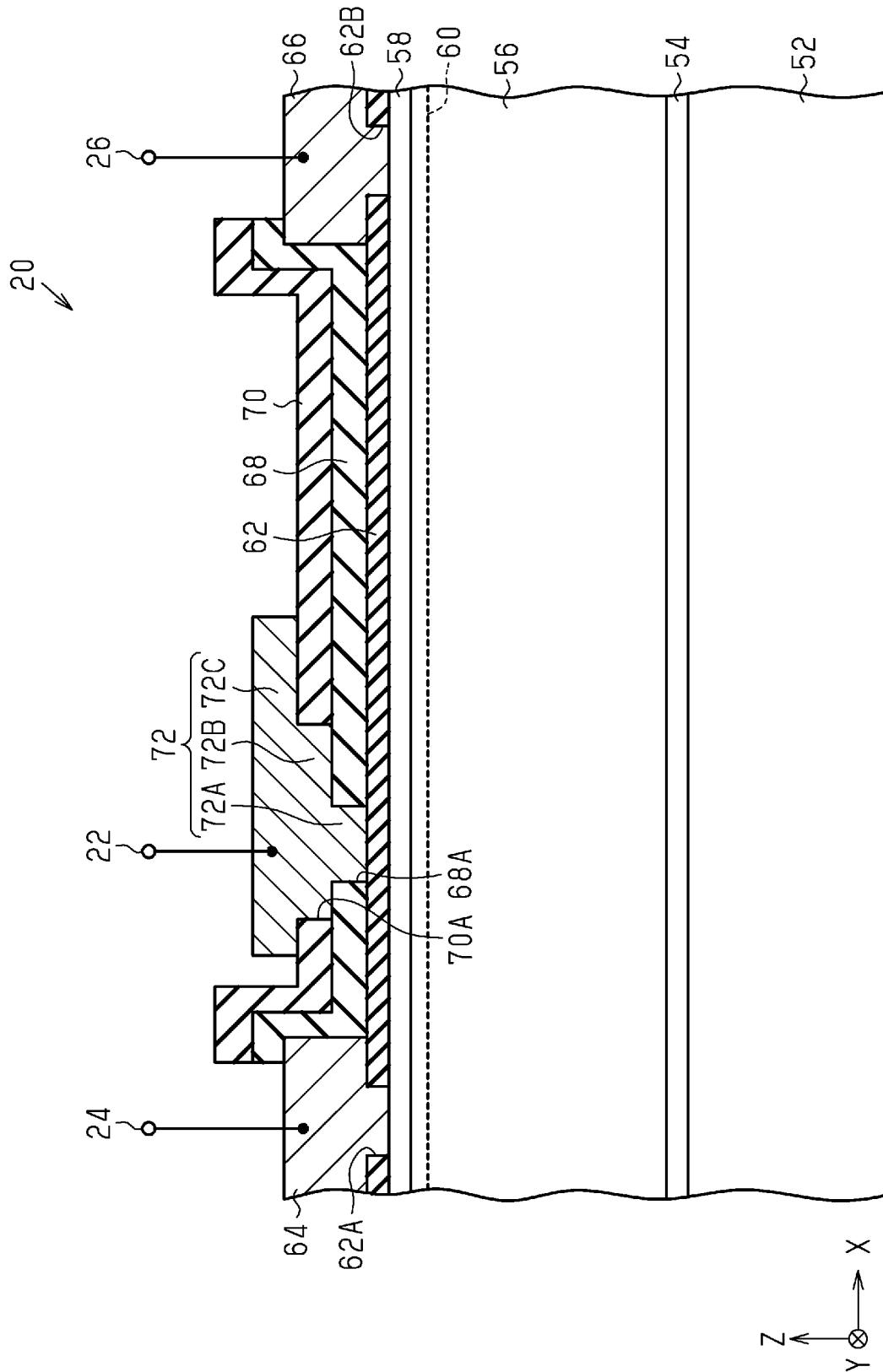
[請求項10] 前記ディプレッション型トランジスタおよび前記エンハンスメント型トランジスタの各々は、Si基板をさらに含む、請求項1～9のうちのいずれか一項に記載の窒化物半導体装置。

- [請求項11] 前記ディプレッション型トランジスタは、A Iを含む半導体基板をさらに含み、
前記エンハンスメント型トランジスタは、S i基板をさらに含み、
請求項1～9のうちのいずれか一項に記載の窒化物半導体装置。
- [請求項12] 前記ディプレッション型トランジスタのドレイン・ソース間電圧の最大定格は、前記エンハンスメント型トランジスタのドレイン・ソース間電圧の最大定格よりも大きい、請求項1～11のうちのいずれか一項に記載の窒化物半導体装置。
- [請求項13] 前記エンハンスメント型トランジスタのドレイン・ソース間電圧の最大定格は、30V以上であり、前記ディプレッション型トランジスタのドレイン・ソース間電圧の最大定格は、500V以上である、請求項1～12のうちのいずれか一項に記載の窒化物半導体装置。
- [請求項14] 前記ディプレッション型トランジスタは、前記エンハンスメント型トランジスタよりも大きいオン抵抗を有している、請求項1～13のうちのいずれか一項に記載の窒化物半導体装置。
- [請求項15] 前記ディプレッション型トランジスタは、前記エンハンスメント型トランジスタのオン抵抗の10倍よりも大きいオン抵抗を有している、請求項1～14のうちのいずれか一項に記載の窒化物半導体装置。
- [請求項16] 前記エンハンスメント型トランジスタのドレイン・ソース間電圧の最大定格は、100V以下である、請求項1～15のうちのいずれか一項に記載の窒化物半導体装置。

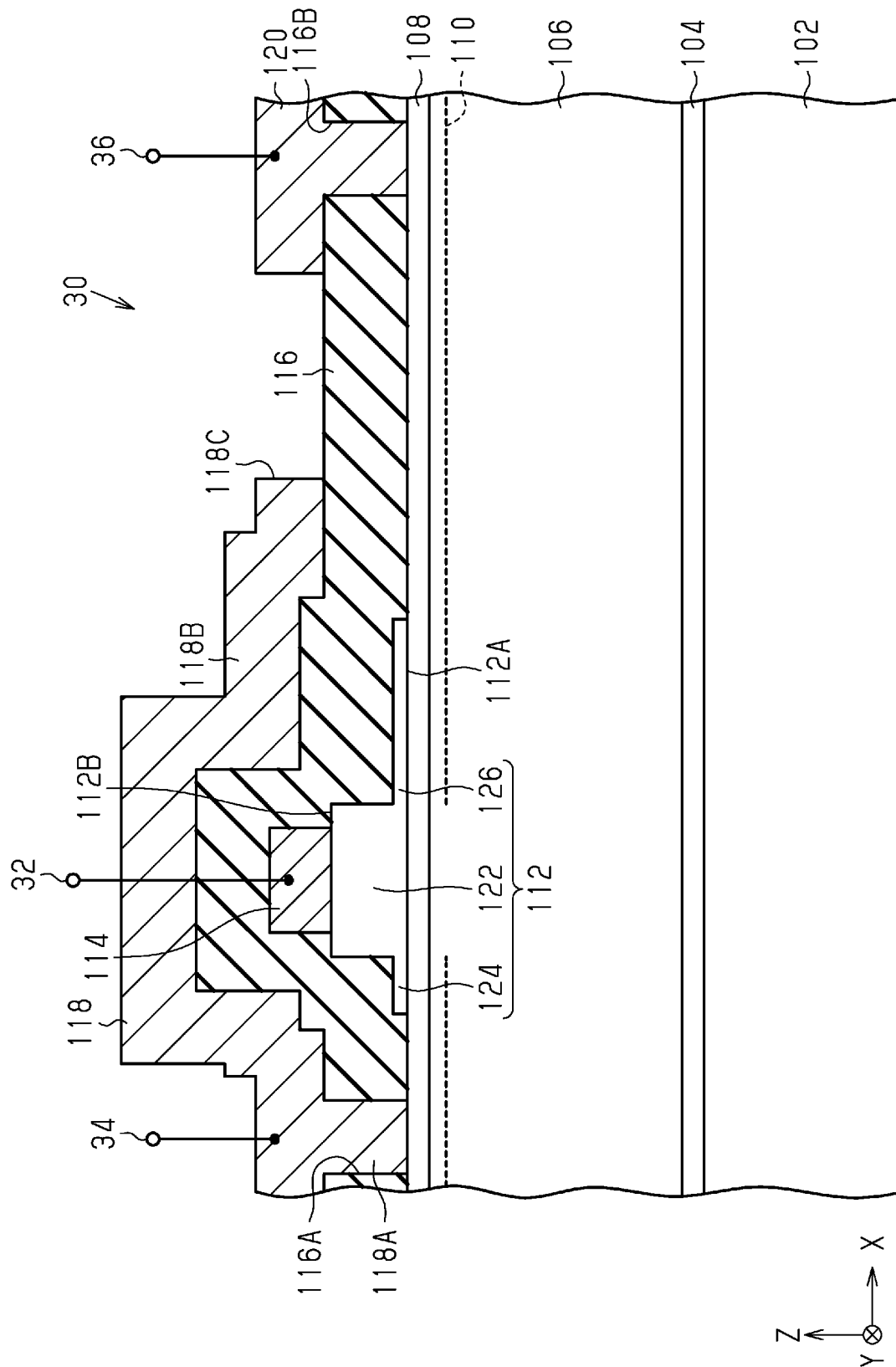
[図1]



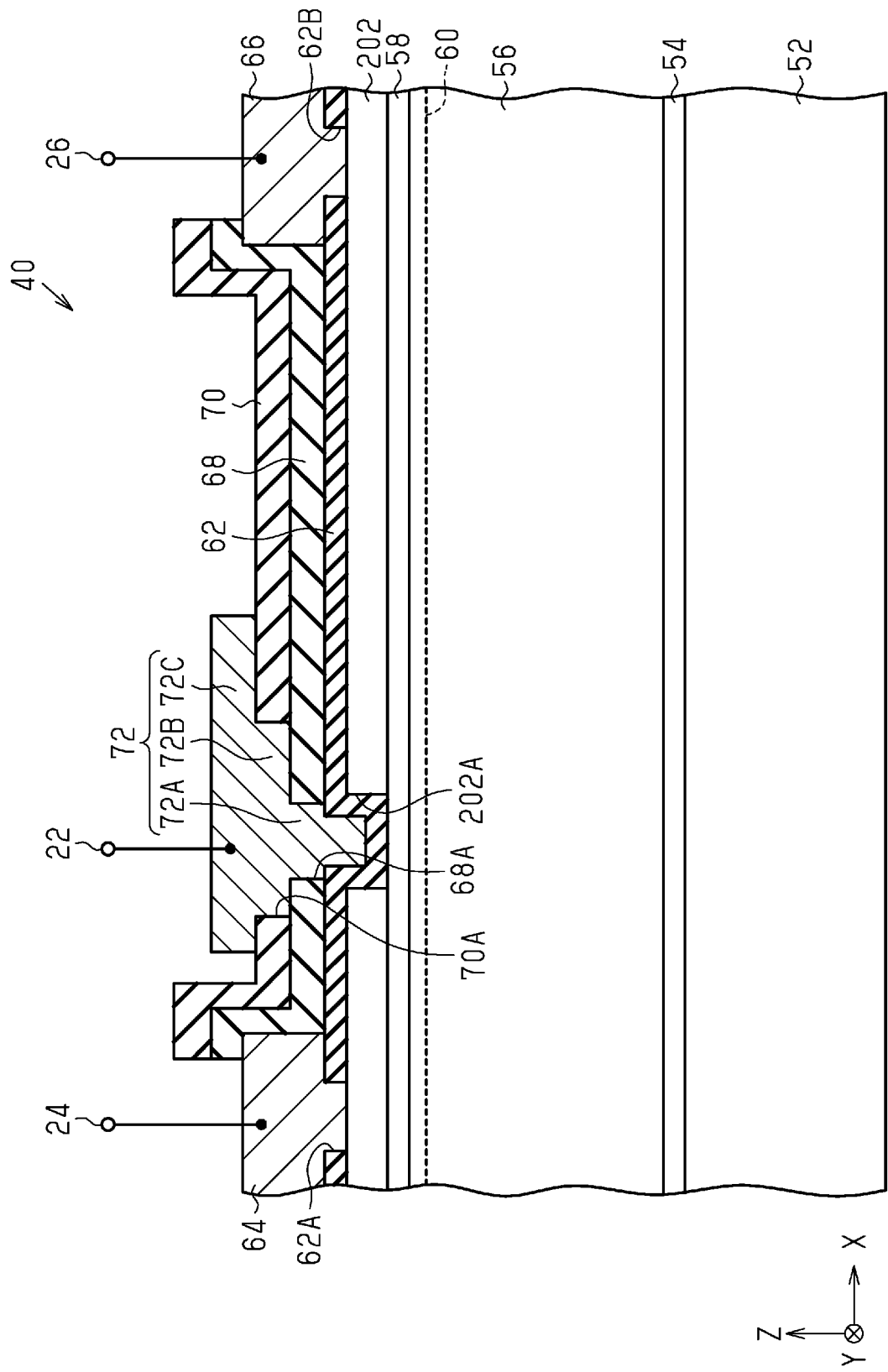
[図2]



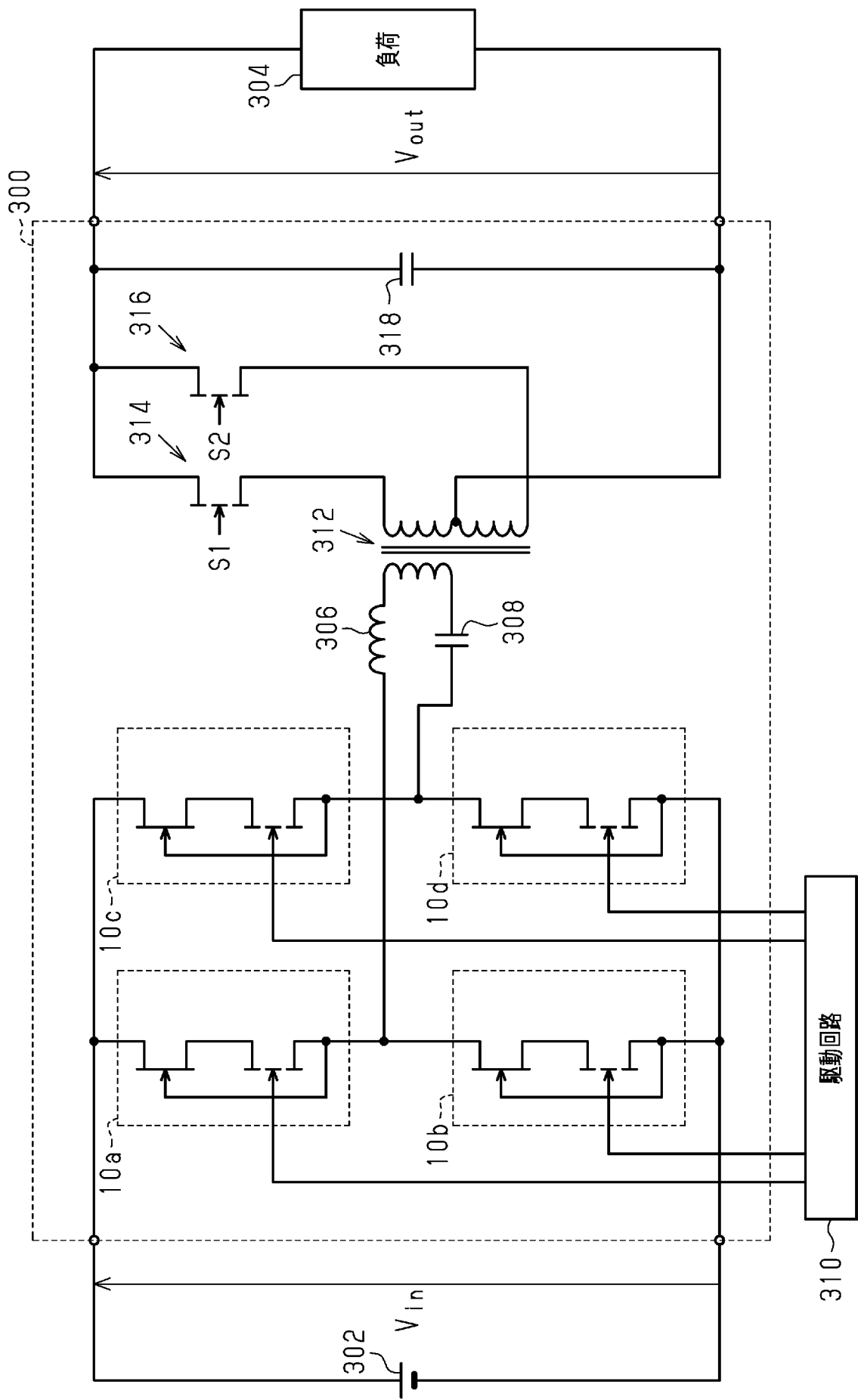
[図3]



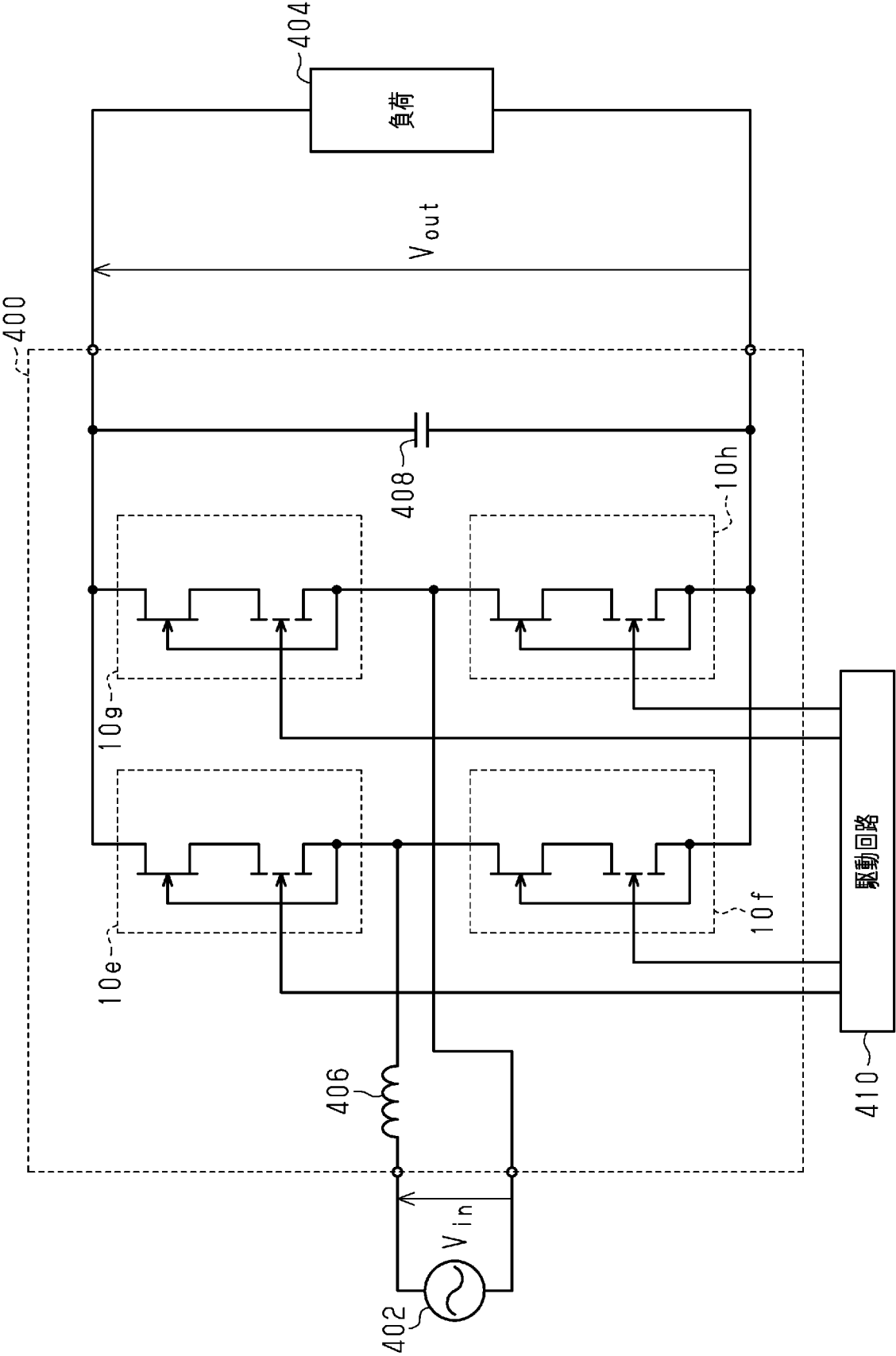
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/023968

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/812(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/337**(2006.01)i; **H01L 21/338**(2006.01)i;
H01L 21/8234(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/778**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/808**(2006.01)i
 FI: H01L29/80 E; H01L29/80 H; H01L27/088 J; H01L29/78 301B; H01L29/78 301G; H01L29/80 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/812; H01L21/336; H01L21/337; H01L21/338; H01L21/8234; H01L27/088; H01L29/778; H01L29/78; H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2021/0083083 A1 (HUANG, Chihshu) 18 March 2021 (2021-03-18) paragraphs [0119], [0163]-[0173], fig. 8-19	1-3, 10
A		4-9, 11-16
Y	JP 2013-153027 A (FUJITSU LTD) 08 August 2013 (2013-08-08) paragraphs [0002], [0012], [0036]-[0056], fig. 5-8	1-3, 9-16
A		4-8
Y	JP 2009-049358 A (MITSUBISHI ELECTRIC CORP) 05 March 2009 (2009-03-05) paragraphs [0006]-[0008], [0027]-[0029], [0058], fig. 28	1-3, 9-16
A		4-8
Y	JP 2011-029386 A (SHARP CORP) 10 February 2011 (2011-02-10) paragraphs [0008], [0026]-[0028], [0061]-[0064], fig. 8-9	12-16
A		1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 August 2022

Date of mailing of the international search report

06 September 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/023968

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2021/0083083	A1	18 March 2021	CN 112490280 A	
JP	2013-153027	A	08 August 2013	US 2013/0187627 A1 paragraphs [0003], [0027], [0046]-[0067], fig. 5-8	
				CN 103219374 A	
				KR 10-2013-0086304 A	
JP	2009-049358	A	05 March 2009	US 2008/0237639 A1 paragraphs [0006]-[0015], [0094]-[0096], [0148], fig. 46	
JP	2011-029386	A	10 February 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/812(2006.01)i; H01L 21/336(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 29/778(2006.01)i; H01L 29/78(2006.01)i; H01L 29/808(2006.01)i FI: H01L29/80 E; H01L29/80 H; H01L27/088 J; H01L29/78 301B; H01L29/78 301G; H01L29/80 C																													
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/812; H01L21/336; H01L21/337; H01L21/338; H01L21/8234; H01L27/088; H01L29/778; H01L29/78; H01L29/808 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年																			
日本国実用新案公報	1922-1996年																												
日本国公開実用新案公報	1971-2022年																												
日本国実用新案登録公報	1996-2022年																												
日本国登録実用新案公報	1994-2022年																												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2021/0083083 A1 (HUANG CHIH-SHU) 18.03.2021 (2021 - 03 - 18) 段落[0119], [0163]-[0173], 図18-19</td> <td>1-3, 10</td> </tr> <tr> <td>A</td> <td></td> <td>4-9, 11-16</td> </tr> <tr> <td>Y</td> <td>JP 2013-153027 A (富士通株式会社) 08.08.2013 (2013 - 08 - 08) 段落[0002], [0012], [0036]-[0056], 図5-8</td> <td>1-3, 9-16</td> </tr> <tr> <td>A</td> <td></td> <td>4-8</td> </tr> <tr> <td>Y</td> <td>JP 2009-049358 A (三菱電機株式会社) 05.03.2009 (2009 - 03 - 05) 段落[0006]-[0008], [0027]-[0029], [0058], 図28</td> <td>1-3, 9-16</td> </tr> <tr> <td>A</td> <td></td> <td>4-8</td> </tr> <tr> <td>Y</td> <td>JP 2011-029386 A (シャープ株式会社) 10.02.2011 (2011 - 02 - 10) 段落[0008], [0026]-[0028], [0061]-[0064], 図8-9</td> <td>12-16</td> </tr> <tr> <td>A</td> <td></td> <td>1-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	US 2021/0083083 A1 (HUANG CHIH-SHU) 18.03.2021 (2021 - 03 - 18) 段落[0119], [0163]-[0173], 図18-19	1-3, 10	A		4-9, 11-16	Y	JP 2013-153027 A (富士通株式会社) 08.08.2013 (2013 - 08 - 08) 段落[0002], [0012], [0036]-[0056], 図5-8	1-3, 9-16	A		4-8	Y	JP 2009-049358 A (三菱電機株式会社) 05.03.2009 (2009 - 03 - 05) 段落[0006]-[0008], [0027]-[0029], [0058], 図28	1-3, 9-16	A		4-8	Y	JP 2011-029386 A (シャープ株式会社) 10.02.2011 (2011 - 02 - 10) 段落[0008], [0026]-[0028], [0061]-[0064], 図8-9	12-16	A		1-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
Y	US 2021/0083083 A1 (HUANG CHIH-SHU) 18.03.2021 (2021 - 03 - 18) 段落[0119], [0163]-[0173], 図18-19	1-3, 10																											
A		4-9, 11-16																											
Y	JP 2013-153027 A (富士通株式会社) 08.08.2013 (2013 - 08 - 08) 段落[0002], [0012], [0036]-[0056], 図5-8	1-3, 9-16																											
A		4-8																											
Y	JP 2009-049358 A (三菱電機株式会社) 05.03.2009 (2009 - 03 - 05) 段落[0006]-[0008], [0027]-[0029], [0058], 図28	1-3, 9-16																											
A		4-8																											
Y	JP 2011-029386 A (シャープ株式会社) 10.02.2011 (2011 - 02 - 10) 段落[0008], [0026]-[0028], [0061]-[0064], 図8-9	12-16																											
A		1-11																											
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																													
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																													
国際調査を完了した日 19.08.2022		国際調査報告の発送日 06.09.2022																											
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石塚 健太郎 5F 4815 電話番号 03-3581-1101 内線 3516																											

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/023968

引用文献			公表日	パテントファミリー文献			公表日
US	2021/0083083	A1	18.03.2021	CN	112490280	A	
JP	2013-153027	A	08.08.2013	US	2013/0187627	A1	
				段落[0003], [0027], [0046]-[0067], 図5-8			
				CN	103219374	A	
				KR	10-2013-0086304	A	
JP	2009-049358	A	05.03.2009	US	2008/0237639	A1	
				段落[0006]-[0015], [0094]-[0096], [0148], 図 46			
JP	2011-029386	A	10.02.2011	(ファミリーなし)			