

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6087652号
(P6087652)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.	F I
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/40 Z
G O 6 F 12/08 (2016.01)	G O 6 F 12/08 5 5 3 B
H O 1 L 21/8244 (2006.01)	H O 1 L 27/10 3 8 1
H O 1 L 27/11 (2006.01)	H O 1 L 29/78 6 1 3 B
請求項の数 1 (全 29 頁) 最終頁に続く	

(21) 出願番号	特願2013-25228 (P2013-25228)	(73) 特許権者	000153878
(22) 出願日	平成25年2月13日 (2013.2.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-191266 (P2013-191266A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年9月26日 (2013.9.26)	(72) 発明者	小山 潤
審査請求日	平成27年11月18日 (2015.11.18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-32437 (P2012-32437)		半導体エネルギー研究所内
(32) 優先日	平成24年2月17日 (2012.2.17)		
(33) 優先権主張国	日本国(JP)	審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 記憶回路

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第1のインバータと、第2のインバータと、第1の容量素子と、第2の容量素子と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のインバータの入力と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、前記第3のトランジスタを介して前記第2のインバータの出力と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、前記第5のトランジスタを介して前記第1の容量素子と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2のインバータの入力と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第4のトランジスタを介して前記第1のインバータの出力と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第6のトランジスタを介して前記第2の容量素子と電氣的に接続され、

前記第3のトランジスタのゲートは、第1の配線に電氣的に接続され、

前記第4のトランジスタのゲートは、第2の配線に電氣的に接続され、

前記第1の配線と前記第2の配線には、異なる信号が入力され、

10

20

前記第5のトランジスタと前記第6のトランジスタは、チャネルが酸化物半導体層に形成されるトランジスタであり、チャネル幅1 μm あたりのオフ電流が100 zA 以下であることを特徴とする記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路に関する。また、本発明は、上記記憶回路を有するキャッシュメモリを含む半導体装置に関する。

【背景技術】

【0002】

近年、中央演算処理装置(CPUともいう)などを有する半導体装置において、動作の高速化に関する技術開発が活発に行われている。

【0003】

例えば、キャッシュメモリを用いて記憶容量を大きくしつつ、CPUの処理速度の低下を抑制する技術が知られている。

【0004】

キャッシュメモリは、メインメモリのデータを一時的に記憶する機能を有するメモリである。CPUの演算は、メインメモリの応答よりも速い。このため、キャッシュメモリを用いてキャッシュ部を構成することにより、CPUが演算待ちの状態にならず、処理速度の低下を抑制できる。また、近年では、1次キャッシュ、2次キャッシュ、さらには3次キャッシュと、記憶データの使う頻度に応じてキャッシュメモリを用いたキャッシュ部を複数の階層にしてCPUの処理速度の低下をさらに抑制する技術も知られている。

【0005】

上記キャッシュメモリは、例えばスタティックランダムアクセスメモリ(SRAMともいう)などの記憶回路を用いて構成される(例えば特許文献1)。

【0006】

また、その他の動作の高速化に関する技術開発として、CPUの動作速度及び集積度を向上させるためにトランジスタなどの半導体素子の微細化が行われており、例えばゲート長が30 nm である半導体素子を有する半導体装置が製造されている。

【0007】

しかし、CPUを微細化することによって、トランジスタのリーク電流が増加し、消費電力が増加している。従来は、CPUの消費電力のほとんどは演算時の動作電力であったが、近年は、微細化によって上記消費電力の1割以上をトランジスタのリーク電流が占めるようになった。

【0008】

そのため、電源供給制御スイッチであるパワーゲートを用いて、使用していない回路に対する電源電圧の供給を停止し、消費電力を下げる方法が検討されており、キャッシュメモリもその例外ではない。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2002-269987号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、キャッシュメモリを構成するSRAMは揮発性メモリであるため、電源電圧の供給が停止すると記憶データが消失してしまう。上記問題を解消するためには、電源電圧の供給を停止した場合であってもSRAMに記憶されたデータが消えないようにする必要がある。

【0011】

10

20

30

40

50

上記問題を解消する方法の一つとして、S R A Mに不揮発性記憶素子を適用することが検討されている。キャッシュメモリは本来の目的から、高速性が要求されるため、不揮発性メモリとしてフラッシュメモリは使用できない。そのため、不揮発性記憶素子としては、例えば磁気抵抗メモリ(M R A Mともいう)が検討されている。

【0012】

しかしながら、従来の不揮発性記憶素子を用いたS R A Mは、特性が十分ではなく、実用化されていない。

【0013】

例えば、M R A Mは、高速ではあるが書き込み時の電力が大きいという問題があり、電源電圧の供給の停止期間が短い場合、かえって消費電力が増えてしまうというジレンマがある。なお、M R A Mの1セルあたりの書き込み電流は50 ~ 500 μ Aであるといわれている。

10

【0014】

本発明の一態様では、電源電圧の供給を停止した場合であっても、データの保持を可能にすることを課題の一つとする。また、本発明の一態様では、消費電力を低減することを課題の一つとする。

【課題を解決するための手段】

【0015】

本発明の一態様では、第1及び第2のインバータにより第1及び第2の記憶データを記憶する記憶回路に、オフ電流の低いトランジスタを用いた記憶部を設けることにより、電源電圧の供給を停止する場合に該記憶部に第1及び第2の記憶データを書き込んでおき、電源電圧の供給を停止した場合であっても、第1及び第2の記憶データの保持を可能にする。

20

【0016】

また、本発明の一態様では、第1のインバータの入力端子と第2のインバータとの出力端子の導通を制御するトランジスタと、第1のインバータの出力端子と第2のインバータの入力端子との導通を制御するトランジスタを設ける。これにより、電源電圧の供給を停止する前に記憶したデータを電源電圧の供給を再開した後に読み出す際に、第1及び第2のインバータにより該データが消失することを防止する。

【0017】

30

本発明の一態様では、C P Uを設け、さらに上記記憶回路をキャッシュメモリに用いて半導体装置を構成する。これにより、非動作期間に電源電圧の供給を停止して消費電力の低減を図る。

【0018】

本発明の一態様は、オン状態又はオフ状態になることにより、第1の記憶データの書き換え及び読み出しを制御する第1のトランジスタと、オン状態又はオフ状態になることにより、第2の記憶データの書き換え及び読み出しを制御する第2のトランジスタと、入力端子の電位が第1の記憶データとなる第1のインバータと、入力端子の電位が第2の記憶データとなる第2のインバータと、オン状態又はオフ状態になることにより、第2のインバータの出力端子と第1のインバータの入力端子との導通を制御する第3のトランジスタと、オン状態又はオフ状態になることにより、第1のインバータの出力端子と第2のインバータの入力端子との導通を制御する第4のトランジスタと、第1の保持データとして第1の記憶データが書き込まれる第1の容量素子と、オン状態又はオフ状態になることにより、第1の保持データの書き換え及び読み出しを制御する第5のトランジスタと、第2の保持データとして第2の記憶データが書き込まれる第2の容量素子と、オン状態又はオフ状態になることにより、第2の保持データの書き換え及び読み出しを制御する第6のトランジスタと、を有し、第5及び第6のトランジスタにおいて、チャネル幅1 μ mあたりのオフ電流が100 μ A以下である記憶回路である。

40

【0019】

また、本発明の一態様は、上記記憶回路を有するキャッシュメモリと、入力信号に従い演

50

算処理を行う機能を有し、演算処理の際に、キャッシュメモリに対してデータの読み出しを行うCPUと、CPUに対する電源電圧の供給を制御する第1の電源供給制御スイッチと、キャッシュメモリに対する電源電圧の供給を制御する第2の電源供給制御スイッチと、入力信号、及びCPUから入力される命令信号に従って第1及び第2の電源供給制御スイッチのそれぞれを個別に制御する機能を少なくとも有するコントローラと、を備える半導体装置である。

【発明の効果】

【0020】

本発明の一態様では、オフ電流の低いトランジスタを用いた記憶回路により、電源電圧の供給を停止した場合であってもデータを保持できる。また、本発明の一態様により、書き込み又は読み出し動作を行わない期間に記憶回路に対する電源電圧の供給を停止できるため、消費電力を低減できる。

10

【図面の簡単な説明】

【0021】

【図1】記憶回路の例を説明するための図。

【図2】記憶回路の例を説明するための図。

【図3】記憶回路の駆動方法例を説明するためのタイミングチャート。

【図4】トランジスタの例を説明するための断面模式図。

【図5】トランジスタの $I_d - V_g$ 特性を示す図。

【図6】記憶回路の構造例を説明するための断面模式図。

20

【図7】半導体装置の例を説明するための図。

【図8】半導体装置の例を説明するための図。

【図9】電源供給制御スイッチの構成例を説明するための図。

【図10】コントローラの構成例を説明するための図。

【図11】電子機器の例を説明するための図。

【発明を実施するための形態】

【0022】

本発明に係る実施の形態の例について説明する。なお、本発明の趣旨及び範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、例えば本発明は、下記実施の形態の記載内容に限定されない。

30

【0023】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

【0024】

また、構成要素の混同を避けるために第1、第2などの序数を付しているが、各構成要素の数は、序数に限定されない。

【0025】

(実施の形態1)

本実施の形態では、電源電圧の供給を停止してもデータの保持が可能な記憶回路の例について説明する。

40

【0026】

本実施の形態に係る記憶回路の構成例について、図1を参照して説明する。

【0027】

図1(A)に示す記憶回路は、トランジスタ111乃至116と、トランジスタ117及び118を備えるインバータ131と、トランジスタ119及び120を備えるインバータ132と、容量素子151及び152と、を有する。

【0028】

トランジスタ111のソース及びドレインの一方は、データ信号線DL1に電気的に接続される。また、トランジスタ111のゲートは、ワード線WRLに電気的に接続される。

【0029】

50

トランジスタ 111 は、オン状態又はオフ状態になることにより、記憶データ D1 の書き換え及び読み出しを制御する機能を有する。

【0030】

トランジスタ 112 のソース及びドレインの一方は、データ信号線 DL2 に電氣的に接続される。また、トランジスタ 112 のゲートは、ワード線 WRL に電氣的に接続される。

【0031】

トランジスタ 112 は、オン状態又はオフ状態になることにより、記憶データ D2 の書き換え及び読み出しを制御する機能を有する。

【0032】

インバータ 131 の入力端子は、トランジスタ 111 のソース及びドレインの他方に電氣的に接続される。

【0033】

このとき、インバータ 131 の入力端子の電位は、記憶データ D1 となる。

【0034】

インバータ 131 は、トランジスタ 117 及び 118 により構成される。トランジスタ 117 は、Pチャネル型トランジスタであり、トランジスタ 118 は、Nチャネル型トランジスタである。このとき、トランジスタ 117 のソース及びドレインの一方は、電位供給線 PSL1 に電氣的に接続され、トランジスタ 118 のソース及びドレインの一方は、電位供給線 PSL2 に電氣的に接続される。電源電圧供給時には、電位供給線 PSL1 及び PSL2 を介して電源電圧 PWR が供給される。

【0035】

インバータ 132 は、トランジスタ 119 及び 120 により構成される。トランジスタ 119 は、Pチャネル型トランジスタであり、トランジスタ 120 は、Nチャネル型トランジスタである。このとき、トランジスタ 119 のソース及びドレインの一方は、電位供給線 PSL1 に電氣的に接続され、トランジスタ 120 のソース及びドレインの一方は、電位供給線 PSL2 に電氣的に接続される。

【0036】

なお、トランジスタ 117 及び 118 の極性、又はトランジスタ 119 及び 120 の極性を逆にしてもよい。このとき、電位供給線 PSL1 及び PSL2 のそれぞれに供給される電位も逆になる。

【0037】

インバータ 132 の入力端子は、トランジスタ 112 のソース及びドレインの他方に電氣的に接続される。

【0038】

このとき、インバータ 132 の入力端子の電位は、記憶データ D2 となる。

【0039】

トランジスタ 113 のソース及びドレインの一方は、インバータ 131 の入力端子に電氣的に接続され、他方はインバータ 132 の出力端子に電氣的に接続される。また、トランジスタ 113 のゲートは、制御信号線 CTL1 に電氣的に接続される。制御信号線 CTL1 には、制御信号 A が入力される。

【0040】

トランジスタ 113 は、インバータ 132 の出力端子とインバータ 131 の入力端子との導通を制御する機能を有する。

【0041】

トランジスタ 114 のソース及びドレインの一方は、インバータ 132 の入力端子に電氣的に接続され、他方はインバータ 131 の出力端子に電氣的に接続される。また、トランジスタ 114 のゲートは、制御信号線 CTL1 に電氣的に接続される。

【0042】

トランジスタ 114 は、オン状態又はオフ状態になることにより、インバータ 131 の出力端子とインバータ 132 の入力端子との導通を制御する機能を有する。

10

20

30

40

50

【0043】

容量素子151の一对の電極の一方は、電位供給線PSL2に電氣的に接続される。

【0044】

容量素子151には、保持データHLD1として記憶データD1が書き込まれる。

【0045】

容量素子152の一对の電極の一方は、電位供給線PSL2に電氣的に接続される。

【0046】

容量素子152には、保持データHLD2として記憶データD2が書き込まれる。

【0047】

容量素子151及び152は、データを保持する保持容量としての機能を有する。なお、例えばトランジスタのゲート容量や、複数の配線間の寄生容量などを用いて容量素子151及び152を構成してもよい。

10

【0048】

トランジスタ115のソース及びドレインの一方は、インバータ131の入力端子に電氣的に接続され、他方は容量素子151の一对の電極の他方に電氣的に接続される。また、トランジスタ115のゲートは、制御信号線CTL2に電氣的に接続される。制御信号線CTL2には、制御信号Bが入力される。

【0049】

トランジスタ115は、オン状態又はオフ状態になることにより、保持データHLD1の書き換え及び読み出しを制御する機能を有する。

20

【0050】

トランジスタ116のソース及びドレインの一方は、インバータ132の入力端子に電氣的に接続され、他方は容量素子152の一对の電極の他方に電氣的に接続される。また、トランジスタ116のゲートは、制御信号線CTL2に電氣的に接続される。

【0051】

トランジスタ116は、オン状態又はオフ状態になることにより、保持データHLD2の書き換え及び読み出しを制御する機能を有する。

【0052】

トランジスタ115及び116としては、例えばオフ電流が低いトランジスタを適用できる。

30

【0053】

このとき、上記オフ電流の低いトランジスタのオフ電流は、チャンネル幅1 μm あたり $1 \times 10^{-19} \text{ A}$ (100 zA) 以下であることが好ましい。

【0054】

上記オフ電流の低いトランジスタとしては、例えばシリコンよりもバンドギャップの広い酸化物半導体材料を含むチャンネル形成領域を有し、該チャンネル形成領域が実質的にi型であるトランジスタを適用できる。上記酸化物半導体を含むトランジスタは、例えば水素又は水などの不純物を可能な限り除去し、酸素を供給して酸素欠損を可能な限り減らすことにより作製できる。

【0055】

上記酸化物半導体を含むトランジスタは、バンドギャップが広いため熱励起によるリーク電流が低い。さらに、半導体層中のキャリアが極めて少ない。よって、オフ電流を低くできる。例えば、酸化物半導体層のキャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にし、チャンネル幅1 μm あたりのトランジスタのオフ電流を $1 \times 10^{-19} \text{ A}$ (100 zA) 以下、より好ましくは $1 \times 10^{-22} \text{ A}$ (100 yA) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、トランジスタのオフ電流の下限値は、約 $1 \times 10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

40

【0056】

トランジスタ115及び116に上記オフ電流の低いトランジスタを用いることにより、

50

電源電圧の供給が停止した場合であっても容量素子 1 5 1 及び 1 5 2 にデータを保持できる。

【 0 0 5 7 】

さらに、図 1 (A) に示す記憶回路の書き込み電流は低いことが好ましい。

【 0 0 5 8 】

例えば、図 1 (A) に示す記憶回路の書き込み電流を、 $10 \mu A$ 以下、好ましくは $1 \mu A$ 以下にすることもできる。算出例について以下に説明する。

【 0 0 5 9 】

例えば、線形領域におけるトランジスタのオン抵抗は、下記式 (1) により求めることができる。

【 0 0 6 0 】

【 数 1 】

$$R_d = \frac{V_d}{I_d} = \frac{V_d}{\frac{W}{L} \mu C_{ox} \left\{ (V_g - V_{th}) V_d - \frac{1}{2} V_d^2 \right\}} \quad (1)$$

【 0 0 6 1 】

上記式 (1) において、 R_d はトランジスタのオン抵抗であり、 I_d はトランジスタのソースとドレインの間に流れる電流 (ドレイン電流ともいう) であり、 V_d はトランジスタのソースとドレインの間の電圧 (ドレイン電圧ともいう) であり、 L はトランジスタのチャネル長であり、 W はトランジスタのチャネル幅であり、 μ はトランジスタの移動度であり、 C_{ox} はトランジスタのゲート容量であり、 V_g はトランジスタのゲートとソースの間の電圧 (ゲート電圧ともいう) であり、 V_{th} はトランジスタの閾値電圧である。

【 0 0 6 2 】

このとき、記憶回路の仕様例に従って、例えばトランジスタ 1 1 1、1 1 2、1 1 5、及び 1 1 6 のそれぞれにおいて、移動度 μ が $10 \text{ cm}^2 / \text{Vs}$ であり、ゲート容量 C_{ox} が $1.82 \times 10^{-3} \text{ F} / \text{m}^2$ であり、閾値電圧 V_{th} が 0.5 V であり、チャネル長 L が $1 \mu \text{m}$ であり、チャネル幅 W が $1 \mu \text{m}$ であり、ワード線 WRL 、制御信号線 $CTL1$ の電位が 3.3 V であり、データ信号線 $DL1$ 又は $DL2$ の電位が 1.8 V であるとする。このときのソースとドレインの間の抵抗値 R_d は約 300 k となる。さらに、データ信号線 $DL1$ 又は $DL2$ の電位が 1.8 V であるため、データ信号線 $DL1$ 又は $DL2$ に対応する書き込み電流の平均値は、 $1.8 \text{ V} / (300 \text{ k} \times 2) = 3 \mu \text{A}$ となる。また、容量素子 1 5 1 及び 1 5 2 の容量値は、 1 fF 程度であればよく、このときの容量素子 1 5 1 又は 1 5 2 が定常状態になるまでの時間は、 $(1.8 \times 1 \times 10^{-15}) / 3 \times 10^{-6} = 0.6 \text{ nsec}$ である。よって、容量素子 1 5 1 又は 1 5 2 が定常状態になるまでに必要な書き込み電流は、上記平均値よりもさらに低く、例えば $1 \mu \text{A}$ 以下にすることもできる。

【 0 0 6 3 】

上記に一例として示すように、本実施の形態の記憶回路では、書き込み電流を低くできるため、記憶回路の消費電力を低減できる。

【 0 0 6 4 】

また、トランジスタ 1 1 1 乃至 1 1 4、トランジスタ 1 1 7 乃至 1 2 0 としては、例えばチャネルが形成され、シリコンを含有する半導体層を含むトランジスタを適用できる。また、これに限定されず、例えばトランジスタ 1 1 1 乃至 1 1 4 として、上記トランジスタ 1 1 5 及び 1 1 6 に適用可能なトランジスタを適用してもよい。

【 0 0 6 5 】

以上が図 1 (A) に示す記憶回路の構成例の説明である。

【 0 0 6 6 】

次に、本実施の形態に係る記憶回路の駆動方法例として、図 1 (A) に示す記憶回路の駆

10

20

30

40

50

動方法例について、図 1 (B) のタイミングチャートを参照して説明する。なお、トランジスタ 1 1 1 乃至 1 1 4 は N チャンネル型トランジスタとする。また、ハイレベルの信号の電位を電位 V H とし、ローレベルの信号の電位を電位 V L とする。また、電位供給線 P S L 1 の電位を電位 V H とし、電位供給線 P S L 2 の電位を電位 V L とする。また、図 1 (B) の二重波線は、省略記号である。

【 0 0 6 7 】

図 1 (A) に示す記憶回路の駆動方法例では、書き換え期間 (W r i t i n g) において、電源電圧 P W R を供給し、また、データ信号線 D L 1 及び D L 2 の電位を設定する。このとき、データ信号線 D L 1 及び D L 2 の一方の電位は電位 V H であり、他方の電位は電位 V L である。また、電位 V H 及び V L の一方を、データ「 1 」とし、他方をデータ「 0 」とする。

10

【 0 0 6 8 】

さらに、ワード信号線 W R L の電位を電位 V H にしてトランジスタ 1 1 1 及び 1 1 2 をオン状態にする。また、制御信号線 C T L 1 の電位を電位 V H にしてトランジスタ 1 1 3 及び 1 1 4 をオン状態にする。また、制御信号線 C T L 2 の電位を電位 V L にしてトランジスタ 1 1 5 及び 1 1 6 をオフ状態にする。

【 0 0 6 9 】

このとき、記憶データ D 1 としてデータ信号線 D L 1 の電位が書き込まれ、記憶データ D 2 としてデータ信号線 D L 2 の電位が書き込まれる。

20

【 0 0 7 0 】

その後、ワード信号線 W R L の電位を電位 V L にしてトランジスタ 1 1 1 及び 1 1 2 をオフ状態にする。これにより、記憶データ D 1 及び D 2 が保持される。

【 0 0 7 1 】

また、電源停止移行期間 (P W R O N O F F) では、電源電圧 P W R を供給したまま、ワード信号線 W R L の電位を電位 V L にしてトランジスタ 1 1 1 及び 1 1 2 をオフ状態にする。また、制御信号線 C T L 1 の電位を電位 V H にしてトランジスタ 1 1 3 及び 1 1 4 をオン状態にしたまま、制御信号線 C T L 2 の電位を電位 V H にしてトランジスタ 1 1 5 及び 1 1 6 をオン状態にする。

【 0 0 7 2 】

このとき、容量素子 1 5 1 には、保持データ H L D 1 として記憶データ D 1 が書き込まれる。また、容量素子 1 5 2 には、保持データ H L D 2 として記憶データ D 2 が書き込まれる。

30

【 0 0 7 3 】

さらに、制御信号線 C T L 2 の電位を電位 V L にしてトランジスタ 1 1 5 及び 1 1 6 をオフ状態にすることにより、保持データ H L D 1 及び H L D 2 が保持される。

【 0 0 7 4 】

その後、制御信号線 C T L 1 の電位を電位 V L にしてトランジスタ 1 1 3 及び 1 1 4 をオフ状態にし、また、記憶回路に対する電源電圧 P W R の供給を停止する。例えば、パワーゲートと呼ばれる電源供給制御スイッチを用いて電位供給線 P S L 1 及び P S L 2 の少なくとも一方を介した電位の供給を停止することにより、記憶回路に対する電源電圧 P W R の供給を停止できる。

40

【 0 0 7 5 】

電源停止期間 (P W R O F F) では、記憶回路に対する電源電圧 P W R の供給が停止していても容量素子 1 5 1 の保持データ H L D 1 及び容量素子 1 5 2 の保持データ H L D 2 が引き続き保持される。

【 0 0 7 6 】

電源供給再開移行期間 (P W R O F F O N) では、記憶回路に対する電源電圧 P W R の供給を再開した後に、ワード信号線 W R L 及び制御信号線 C T L 1 の電位を電位 V L にしてトランジスタ 1 1 1 乃至 1 1 4 をオフ状態にしたまま、制御信号線 C T L 2 の電位を電位 V H にしてトランジスタ 1 1 5 及び 1 1 6 をオン状態にする。

50

【 0 0 7 7 】

このとき、容量素子 1 5 1 の保持データ H L D 1 が記憶データ D 1 として読み出され、容量素子 1 5 2 の保持データ H L D 2 が記憶データ D 2 として読み出される。

【 0 0 7 8 】

なお、このとき、トランジスタ 1 1 3 及び 1 1 4 をオフ状態にすることにより、記憶回路に対する電源電圧の供給を再開した直後にインバータ 1 3 1 及び 1 3 2 の出力端子の電位が不定値になった場合であっても保持データ H L D 1 及び H L D 2 を消失させずに読み出すことができる。

【 0 0 7 9 】

このように、電源電圧の供給を再開するときにトランジスタ 1 1 3 及び 1 1 4 の導通を制御することにより、保持データ H L D 1 及び H L D 2 の消失を防止できる。

10

【 0 0 8 0 】

その後、ワード信号線 W R L の電位を電位 V L にしてトランジスタ 1 1 1 及び 1 1 2 をオフ状態にし、制御信号線 C T L 1 の電位を電位 V H にしてトランジスタ 1 1 3 及び 1 1 4 をオン状態にし、制御信号線 C T L 2 の電位を電位 V L にしてトランジスタ 1 1 5 及び 1 1 6 をオフ状態にすることにより、インバータ 1 3 1 及び 1 3 2 により記憶データ D 1 及び D 2 が再び保持される。

【 0 0 8 1 】

また、読み出し期間 (R e a d i n g) では、ワード信号線 W R L の電位を電位 V H にしてトランジスタ 1 1 1 及び 1 1 2 をオン状態にする。また、制御信号線 C T L 1 の電位を電位 V H にしてトランジスタ 1 1 3 及び 1 1 4 をオン状態にする。また、制御信号線 C T L 2 の電位を電位 V L にしてトランジスタ 1 1 5 及び 1 1 6 をオフ状態にする。

20

【 0 0 8 2 】

このとき、記憶データ D 1 の電位に応じてデータ信号線 D L 1 の電位が設定され、記憶データ D 2 の電位に応じてデータ信号線 D L 2 の電位が設定される。よって、記憶回路に記憶された記憶データ D 1 及び D 2 が読み出される。

【 0 0 8 3 】

なお、書き換え期間と電源停止移行期間の間に読み出し期間を設けてもよい。

【 0 0 8 4 】

以上が図 1 (A) に示す記憶回路の駆動方法例の説明である。

30

【 0 0 8 5 】

なお、本実施の形態に係る記憶回路は、図 1 (A) に示す構成に限定されない。

【 0 0 8 6 】

例えば、図 2 (A) に示す記憶回路は、図 1 (A) に示す記憶回路のトランジスタ 1 1 3 のゲートが制御信号線 C T L 1 の代わりに制御信号線 C T L 1 a に電氣的に接続され、トランジスタ 1 1 4 のゲートが制御信号線 C T L 1 の代わりに制御信号線 C T L 1 b に電氣的に接続される構成である。

【 0 0 8 7 】

このとき、トランジスタ 1 1 3 のゲートには、第 1 の制御信号 A が入力され、トランジスタ 1 1 4 のゲートには、第 2 の制御信号 A が入力される。

40

【 0 0 8 8 】

また、これに限定されず、図 2 (B) に示すように、トランジスタ 1 1 3 のゲートが制御信号線 C T L 1 b に電氣的に接続され、トランジスタ 1 1 4 のゲートが制御信号線 C T L 1 a に電氣的に接続される構成にしてもよい。このとき、トランジスタ 1 1 3 のゲートには、第 2 の制御信号 A が入力され、トランジスタ 1 1 4 のゲートには、第 1 の制御信号 A が入力される。

【 0 0 8 9 】

さらに、図 2 (A) 及び図 2 (B) に示す記憶回路の駆動方法例では、図 1 (A) に示す記憶回路の駆動方法例と比較して、電源供給再開移行期間の動作が異なる。ここでは、一例として図 2 (A) に示す記憶回路の駆動方法例について図 3 のタイミングチャートを参

50

照して説明する。

【0090】

電源供給再開移行期間では、制御信号線CTL1bの電位が電位VLのときに、制御信号線CTL1aの電位を電位VHにしてトランジスタ113をオン状態にする。その後、制御信号線CTL1bの電位を電位VHにしてトランジスタ114をオン状態にする。

【0091】

トランジスタ113をオン状態にするタイミングとトランジスタ114をオン状態にするタイミングをずらすことにより、電源電圧の供給を再開したときにインバータ131及び132の出力端子の電位をより安定に設定できる。

【0092】

以上が本実施の形態に係る記憶回路の例の説明である。

【0093】

図1乃至図3を参照して説明したように、本実施の形態に係る記憶回路の一例では、オフ電流の低いトランジスタを用いた記憶部を設けて記憶回路を構成する。

【0094】

これにより、記憶回路に対する電源電圧の供給を停止した場合であってもデータを保持できる。よって、記憶回路に対する書き込み動作又は読み出し動作を行わないときに記憶回路に対する電源電圧の供給を停止して消費電力を低減できる。

【0095】

また、本実施の形態に係る記憶回路の一例では、第1のインバータ（例えばインバータ131）の入力端子と第2のインバータ（例えばインバータ132）の出力端子との導通を制御するトランジスタ（例えばトランジスタ113）と第2のインバータの入力端子と第1のインバータの出力端子との導通を制御するトランジスタ（例えばトランジスタ114）を用いて記憶回路を構成する。

【0096】

これにより、電源電圧の供給を再開した後に第1の記憶データ（例えば記憶データD1）として第1の容量素子（例えば容量素子151）の第1の保持データ（例えば保持データHLD1）を読み出し、第2の記憶データ（例えば記憶データD2）として第2の容量素子（例えば容量素子152）の第2の保持データ（例えば保持データHLD2）を読み出す際に、インバータ131及び132により第1及び第2の保持データが消失してしまうのを防止できる。

【0097】

（実施の形態2）

本実施の形態では、実施の形態1に係る記憶回路の構造例について説明する。

【0098】

まず、記憶回路に適用可能なトランジスタの構造の一例について、図4の断面模式図を参照して説明する。なお、図4に示す各構成要素は、実際の寸法と異なる場合がある。

【0099】

図4（A）に示すトランジスタは、半導体層711と、絶縁層714と、導電層715と、絶縁層716a及び716bと、絶縁層717と、導電層718a及び718bと、絶縁層719と、を含む。

【0100】

半導体層711は、絶縁層701を介して被素子形成層700の上に設けられる。なお、必ずしも絶縁層701の上に半導体層711を設けなくてもよく、被素子形成層700上に半導体層711を直接設けてもよい。

【0101】

半導体層711は、互いに離間して、ドーパントが添加された領域712a及び712bを有し、領域712a及び712bの間にチャネル形成領域713を有する。

【0102】

絶縁層714は、半導体層711の一部の上に設けられる。

10

20

30

40

50

【0103】

導電層715は、絶縁層714を介して半導体層711に重畳して設けられる。

【0104】

絶縁層716aは、導電層715の一对の側面の一方に接して設けられ、絶縁層716bは、該一对の側面の他方に接して設けられる。

【0105】

絶縁層717は、導電層715の上に設けられる。なお、図4(B)に示すように、絶縁層717を設けなくてもよい。

【0106】

導電層718aは、領域712aに接して設けられ、導電層718bは、領域712bに接して設けられる。また、導電層718aは、絶縁層716aの側面に接し、導電層718bは、絶縁層716bの側面に接する。

10

【0107】

絶縁層719は、導電層718a及び718bの上に設けられる。

【0108】

導電層718a及び718b、並びに絶縁層719は、例えば導電膜及び絶縁層の積層に対して平坦化处理(例えばCMP処理)を行うことにより形成される。

【0109】

また、図4(C)に示すトランジスタは、導電層751と、絶縁層752と、絶縁層753と、半導体層754と、導電層755a及び755bと、導電層756a及び756bと、絶縁層757と、を有する。

20

【0110】

導電層751は、被素子形成層750の上に設けられる。

【0111】

絶縁層752は、被素子形成層750の上に設けられる。絶縁層752及び導電層751の表面は平坦であることが好ましい。

【0112】

導電層751及び絶縁層752は、例えば導電膜及び絶縁層の積層に対して平坦化处理(例えばCMP処理)を行うことにより形成される。

【0113】

絶縁層753は、導電層751及び絶縁層752の上に設けられる。

30

【0114】

半導体層754は、絶縁層753を介して導電層751に重畳して設けられる。

【0115】

導電層755a及び755bは、互いに離間し、半導体層754に電氣的に接続される。このとき、導電層755aと導電層755bの間隔は、トランジスタのチャネル長に相当し、例えば50nm未満であることが好ましい。例えば、電子ビームで露光して形成したレジストマスクを用いて、導電膜の一部をエッチングすることにより、導電層755aと755bの間隔を50nm未満にできる。また、例えば、導電層755aと導電層755bの間隔は、導電層756aと導電層756bの間隔よりも短いことが好ましい。

40

【0116】

導電層756aは、導電層755aの一部の上に接して設けられており、導電層756bは、導電層755bの一部の上に接して設けられる。また、導電層756a及び756bの電気抵抗値は、導電層755a及び755bの電気抵抗値よりも低いことが好ましい。

【0117】

絶縁層757は、半導体層754の上を覆うように設けられる。

【0118】

さらに、各構成要素について以下に説明する。各構成要素は、必ずしも単層に限定されず、積層であってもよい。

【0119】

50

絶縁層 701 は、下地層である。絶縁層 701 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【0120】

絶縁層 752 は、絶縁層 701 と同様の材料を含む層を適用できる。

【0121】

半導体層 711 及び 754 は、トランジスタのチャネルが形成される層（チャネル形成層ともいう）としての機能を有する。

【0122】

半導体層 711 及び 754 としては、例えば酸化物半導体層を適用できる。

【0123】

酸化物半導体層は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。また、酸化物半導体層がアモルファス層と結晶を含む層との積層であってもよい。

【0124】

酸化物半導体層に適用可能な酸化物半導体としては、例えばインジウム及びガリウムの一方若しくは両方と、亜鉛と、を含む金属酸化物、又は該金属酸化物に含まれるガリウムの一部若しくは全部の代わりに他の金属元素を含む金属酸化物などが挙げられる。

【0125】

上記金属酸化物としては、例えばIn系金属酸化物、Zn系金属酸化物、In-Zn系金属酸化物、又はIn-Ga-Zn系金属酸化物などを適用できる。また、上記In-Ga-Zn系金属酸化物に含まれるGa (ガリウム) の一部若しくは全部の代わりに他の金属元素を含む金属酸化物を用いてもよい。

【0126】

上記他の金属元素としては、例えばガリウムよりも多くの酸素原子と結合が可能な金属元素を用いればよく、例えばチタン、ジルコニウム、ハフニウム、ゲルマニウム、及び錫のいずれか一つ又は複数の元素を用いればよい。また、上記他の金属元素としては、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムのいずれか一つ又は複数の元素を用いればよい。これらの金属元素は、スタビライザーとしての機能を有する。なお、これらの金属元素の添加量は、金属酸化物が半導体として機能することが可能な量である。ガリウムよりも多くの酸素原子と結合が可能な金属元素を用い、さらには金属酸化物中に酸素を供給することにより、金属酸化物中の酸素欠陥を少なくできる。

【0127】

例えば、上記In-Ga-Zn系金属酸化物に含まれるGa (ガリウム) の全部の代わりに錫を用いるとIn-Sn-Zn系金属酸化物となり、上記In-Ga-Zn系金属酸化物に含まれるGa (ガリウム) の一部の代わりにチタンを用いるとIn-Ti-Ga-Zn系金属酸化物となる。

【0128】

また、上記酸化物半導体層を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) を含む酸化物半導体層としてもよい。

【0129】

CAAC-OS を含む酸化物半導体層は、完全な非晶質ではない。CAAC-OS を含む酸化物半導体層は、例えば、結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる

10

20

30

40

50

大きさであることが多い。また、透過型電子顕微鏡（TEMともいう）による観察像では、CAAC-Osを含む酸化物半導体層に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-Osを含む酸化物半導体層には明確な粒界（グレインバウンダリーともいう）は確認できない。そのため、CAAC-Osを含む酸化物半導体層は、粒界に起因する電子移動度の低下が抑制される。結晶部では、例えば、c軸がCAAC-Osを含む酸化物半導体層の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃い、且つab面に垂直な方向から見て金属原子が三角形又は六角形状に配列し、c軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列する。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれる。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれる。

10

【0130】

上記CAAC-Osを含む酸化物半導体層をチャネル形成層として用いた電界効果トランジスタは、可視光や紫外光の照射による電気特性の変動が低いため、信頼性が高い。

【0131】

酸化物半導体層は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体層は、例えば、1nm以上10nm未満のサイズの微結晶（ナノ結晶ともいう）を膜中に含む。又は、微結晶酸化物半導体層は、例えば、1nm以上10nm未満の結晶部を有する結晶-非晶質混相構造の酸化物半導体を有している。

20

【0132】

酸化物半導体層は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体層は、例えば、原子配列が無秩序であり、結晶成分を有していない。又は、非晶質酸化物半導体層は、例えば、完全な非晶質であり、結晶部を有さない。

【0133】

なお、酸化物半導体層が、CAAC-Os、微結晶酸化物半導体、非晶質酸化物半導体の混合層であってもよい。混合層は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-Osの領域と、を有する。また、混合層は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-Osの領域と、の積層構造を有してもよい。

30

【0134】

なお、CAAC-Osを含む酸化物半導体層において、結晶部の分布が一様でなくてもよい。例えば、CAAC-Osの形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-Osを含む酸化物半導体層へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0135】

また、半導体層711及び754として酸化物半導体層を用いる場合、例えば脱水化・脱水素化を行い、酸化物半導体層中の水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ酸化物半導体層に酸素を供給すると、酸化物半導体層を高純度化させることができる。例えば、酸化物半導体層に接する層として酸素を含む層を用い、また、加熱処理を行うことにより、酸化物半導体層を高純度化させることができる。

40

【0136】

また、形成直後の酸化物半導体層は、化学量論的組成より酸素が多い過飽和の状態であることが好ましい。例えば、スパッタリング法を用いて酸化物半導体層を形成する場合、成膜ガスの酸素の占める割合が多い条件で形成することが好ましく、特に酸素雰囲気（例え

50

ば酸素ガス 100%) で成膜を行うことが好ましい。

【0137】

また、スパッタリング法を用いて酸化物半導体層を成膜する際に、基板温度を 100 以上 500 以下、好ましくは 200 以上 350 以下にして酸化物半導体層を成膜してもよい。

【0138】

また、酸化物半導体層に十分な酸素が供給されて酸素を過飽和の状態とするために、酸化物半導体層に接する絶縁層（例えば絶縁層 701、714、753、757 など）として過剰酸素を含む絶縁層を形成してもよい。

【0139】

例えば、スパッタリング法を用いて膜中に酸素が多く含まれる成膜条件で絶縁膜を成膜することにより、過剰酸素を含む絶縁層を形成できる。また、より多くの過剰酸素を絶縁層に含ませたい場合には、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加すればよい。また、酸化物半導体層に酸素を添加してもよい。

【0140】

また、スパッタリング装置において、成膜室内の残留水分は、少ないことが好ましい。このため、スパッタリング装置に吸着型の真空ポンプを用いることが好ましい。また、コールドトラップを用いてもよい。

【0141】

また、トランジスタの作製において、加熱処理を行うことが好ましい。このときの加熱処理の温度は、350 以上基板の歪み点未満の温度、さらには、350 以上 450 以下であることが好ましい。なお、加熱処理を複数回行ってもよい。

【0142】

上記加熱処理に用いられる加熱処理装置としては、GRTA (Gas Rapid Thermal Annealing) 装置又は LRTA (Lamp Rapid Thermal Annealing) 装置などの RTA (Rapid Thermal Annealing) 装置を用いてもよい。なお、これに限定されず、電気炉など、別の加熱処理装置を用いてもよい。

【0143】

また、上記加熱処理を行った後、その加熱温度を維持しつつ、又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下の雰囲気）を導入するとよい。このとき、酸素ガス又は N_2O ガスは、水及び水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度は、6N 以上、好ましくは 7N 以上であると良い。すなわち、酸素ガス又は N_2O ガス中の不純物濃度は、1 ppm 以下、好ましくは 0.1 ppm 以下であることが好ましい。この工程により、酸化物半導体層に酸素が供給され、酸化物半導体層中の酸素欠乏に起因する欠陥を低減できる。なお、上記高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エアの導入は、上記加熱処理時に行ってもよい。

【0144】

高純度化させた酸化物半導体層の水素濃度は、二次イオン質量分析法 (SIMS と呼ぶ) の測定値において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらには $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらには $5 \times 10^{17} \text{ atoms/cm}^3$ 以下であることが好ましい。

【0145】

高純度化させた酸化物半導体層を電界効果トランジスタに用いることにより、酸化物半導体層のキャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができる。このように、キャリア密度を少なくすることにより、チャネル幅 1 μm あたりの電界効果トランジスタのオフ電流を $1 \times 10^{-19} \text{ A}$ (100 zA) 以下、より好ましくは $1 \times 10^{-22} \text{ A}$ (100

10

20

30

40

50

y A) 以下にまで抑制できる。電界効果トランジスタのオフ電流は、低ければ低いほどよいが、電界効果トランジスタのオフ電流の下限値は、約 1×10^{-30} A / μm であると見積もられる。

【0146】

領域 712a 及び 712b に含まれるドーパントとしては、例えば元素周期表における 13 族の元素（例えば硼素など）、15 族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）を挙げることができ、これらのいずれか一つ又は複数を適用できる。

【0147】

絶縁層 714 及び 753 は、トランジスタのゲート絶縁層としての機能を有する。絶縁層 714 及び 753 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

10

【0148】

導電層 715 及び 751 は、トランジスタのゲートとしての機能を有する。導電層 715 及び 751 としては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、又はスカンジウムなどの金属材料を含む層を適用できる。

【0149】

絶縁層 716a、716b、717 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

20

【0150】

導電層 718a 及び 718b、導電層 755a 及び 755b、並びに導電層 756a 及び 756b は、トランジスタのソース又はドレインとしての機能を有する。導電層 718a 及び 718b、導電層 755a 及び 755b、並びに導電層 756a 及び 756b としては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、スカンジウム、又はルテニウムなどの金属材料を含む層を適用できる。

30

【0151】

絶縁層 719 及び 757 は、保護層としての機能を有する。絶縁層 719 及び 757 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【0152】

さらに、上記トランジスタの電気特性の一例として、図 4 (B) に示すトランジスタの一例の $I_d - V_g$ 特性について、図 5 を参照して説明する。なお、図 5 に示す $I_d - V_g$ 特性を示すトランジスタは、半導体層 711 が厚さ 20 nm の In - Ga - Zn 系酸化物半導体層であり、絶縁層 714 が厚さ 20 nm の酸化窒化シリコン層であり、導電層 715 が厚さ 30 nm の窒化タンタル層と厚さ 200 nm のタングステン層の積層であり、導電層 718a 及び 718b が厚さ 30 nm のタングステン層であるとする。また、領域 712a 及び 712b を形成するためにリンを添加し、該リンの添加量が $1 \times 10^{15} \text{ cm}^{-2}$ であり、加速電圧は 30 kV であるとする。また、チャネル長が 5 μm であり、チャネル幅が 10 μm であるとする。また、横軸がゲート電圧 V_g であり、縦軸がドレイン電流 I_d 又は移動度 μ_{FE} である。

40

【0153】

図 5 に示す $I_d - V_g$ 特性であるトランジスタの移動度は約 $20 \text{ cm}^2 / \text{Vs}$ であり、オフ電流は検出限界以下であり、閾値電圧が 0 V 以上である。

【0154】

50

さらに、実施の形態 1 に示す式 (1) を参照して、図 5 に示す $I_d - V_g$ 特性であるトランジスタのオン抵抗の値を算出する。

【 0 1 5 5 】

絶縁層 7 1 4 の比誘電率を 4 . 1 とするとゲート容量 C_{ox} は $1 . 8 2 \times 10^{-3} \text{ F / m}^2$ となる。さらに、図 5 のデータから、トランジスタの移動度 μ を $20 \text{ cm}^2 / \text{Vs}$ とし、閾値電圧 V_{th} を 0 . 6 V とし、記憶回路の仕様例としてゲート電圧 V_g を 3 . 3 V とし、ドレイン電圧 V_d を 1 . 8 V とすると、実施の形態 1 の式 (1) からオン抵抗 R_d は $76 . 3 \text{ k}$ となる。

【 0 1 5 6 】

以上が図 4 に示すトランジスタの構造例の説明である。

10

【 0 1 5 7 】

さらに、一例として図 4 (A) に示すトランジスタを用いた場合の記憶回路の構造例について、図 6 を参照して説明する。図 6 は、本実施の形態に係る記憶回路の構造例を説明するための断面模式図である。なお、これに限定されず、図 4 (B) 及び図 4 (C) に示すトランジスタを用いて記憶回路を構成してもよい。

【 0 1 5 8 】

図 6 (A) に示す記憶回路は、チャネル形成層である単結晶シリコン層 8 1 3 を含むトランジスタ 8 0 1 と、絶縁層 8 1 5 乃至 8 1 7 を介してトランジスタ 8 0 1 の上に積層され、図 4 (A) に示すトランジスタと同じ構造であるトランジスタ 8 0 2 と、を有する。なお、トランジスタ 8 0 2 の説明としては、図 4 (A) に示すトランジスタの説明を適宜援用できる。

20

【 0 1 5 9 】

単結晶シリコン層 8 1 3 は、絶縁層 8 1 1 (B O X 層ともいう) を介して基板 8 1 0 の上に設けられる。なお、基板 8 1 0、絶縁層 8 1 1、及び単結晶シリコン層 8 1 3 の代わりに、図 6 (B) に示すように、単結晶半導体基板 8 2 0 の埋め込み絶縁領域 8 2 2 に囲まれた半導体領域 8 2 3 を用いてトランジスタ 8 0 1 を構成してもよい。このとき、半導体領域 8 2 3 には、N 型又は P 型の導電型である不純物領域 8 2 5 a 及び 8 2 5 b が設けられる。

【 0 1 6 0 】

絶縁層 8 1 5 は、保護層としての機能を有する。絶縁層 8 1 6 は、保護層のみならず、平坦化層としての機能を有する。また、絶縁層 8 1 7 は、下地層としての機能を有する。絶縁層 8 1 5 乃至 8 1 7 としては、図 4 (A) に示す絶縁層 7 0 1 と同様の材料を含む層を適用できる。

30

【 0 1 6 1 】

トランジスタ 8 0 2 のソース又はドレインとしての機能を有する導電層 8 1 8 は、トランジスタ 8 0 1 のゲートとしての機能を有する導電層 8 1 4 に接続される。なお、導電層 8 1 8 と導電層 8 1 4 は、複数の導電層を介して接続されていてもよい。なお、図 6 (B) に示すように、記憶回路の構造を、トランジスタ 8 0 1 のゲートとしての機能を有する導電層 8 2 4 と導電層 8 1 8 が直接接する構造にしてもよい。また、導電層 8 1 8 と導電層 8 1 4 を直接接続させず、別の導電層を介して導電層 8 1 8 と導電層 8 1 4 を電氣的に接続させてもよい。

40

【 0 1 6 2 】

また、トランジスタ 8 0 2 を上記オフ電流の低いトランジスタとして適用できる。

【 0 1 6 3 】

また、トランジスタ 8 0 1 を用いて、インバータなどを構成できる。

【 0 1 6 4 】

以上が図 6 に示す記憶回路の構造例の説明である。

【 0 1 6 5 】

図 4 乃至図 6 を参照して説明したように、本実施の形態に係る記憶回路では、データの書き換え及び読み出しを制御するトランジスタを、酸化物半導体層を含むトランジスタによ

50

り構成し、インバータなどの論理回路のトランジスタを、単結晶シリコン層を含むトランジスタにより構成する。上記構成にすることにより、記憶回路の動作を高速化させつつ、データの保持時間を長くできる。

【 0 1 6 6 】

さらに、表 1 は M R A M に用いられる磁気トンネル接合素子 (M T J 素子) と、本実施の形態に係る酸化物半導体層とシリコンの積層構造 (O S / S i と同じ) を用いた記憶回路との対比を示す。

【 0 1 6 7 】

【表 1】

	スピントロニクス (MTJ 素子)	O S / S i
1) 耐熱性	キュリー温度	プロセス温度 5 0 0 °C (信頼性 1 5 0 °C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	トランジスタのオン／オフ
4) Si LSI	バイポーラ L S I 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOS L S I 向き
5) オーバーヘッド	大きい (ジュール熱が大きい)	2 ～ 3 桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D 化	難 (できても二層まで)	容易 (何層でも可)
9) 集積化度 (F ²)	4 F ² ～ 1 5 F ²	3 D 化の積層数で決まる (上層トランジスタ工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	酸化物半導体
11) ビットコスト	高い	低い (酸化物半導体を構成する材料によっては (1 n など) 、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

【 0 1 6 8 】

M T J 素子としては、磁性材料を使用する。このため、M T J 素子をキュリー温度以上になると磁性が失われてしまうという欠点がある。また、M T J 素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。さらに、M T J 素子は、メモリの大容量化によって書き込み電流の量が増大し、消費電力が増大してしまうといった問題がある。

【 0 1 6 9 】

また、M T J 素子は、磁界耐性に弱く、強磁界にさらされると磁化の向きが狂いやすい。また、M T J 素子に用いる磁性体は、ナノスケールにすることにより磁化揺らぎが生じる。

【 0 1 7 0 】

また、M T J 素子はビット当たりの材料コストから見ても高価である。

【 0 1 7 1 】

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコン M O S F E T と

同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトウェアも生じにくい。このことからシリコン集積回路と非常に整合性が良いといえる。

【0172】

(実施の形態3)

本実施の形態では、回路毎に電源電圧の供給の制御が可能な半導体装置の例について説明する。

【0173】

まず、半導体装置の構成例について、図7を参照して説明する。

【0174】

図7に示す半導体装置は、CPU911と、キャッシュメモリ912と、メインメモリ913と、パワーゲートとなる電源供給制御スイッチ(SWと示す)921乃至923と、コントローラ950と、を有する。CPU911、キャッシュメモリ912、メインメモリ913、コントローラ950のそれぞれは、バスにより互いに信号の入出力を行うことができる。また、CPU911、キャッシュメモリ912、及びメインメモリ913には、電源供給制御スイッチ921乃至923のいずれかを介して電源990から電源電圧PWRが供給される。なお、必ずしも半導体装置内にメインメモリ913を設けなくてもよい。

10

【0175】

CPU911は、入力信号に従い演算処理を行う機能を有する。入力信号としては、例えばクロック信号、CPU911、キャッシュメモリ912、又はメインメモリ913の動作を制御するための信号、入力装置から入力される信号などが挙げられる。また、CPU911は、演算結果に応じた値の信号を出力する。なお、本明細書では、特に指定する場合を除き、複数種の信号であっても単に信号と表記する場合がある。

20

【0176】

また、CPU911は、演算処理の際にキャッシュメモリ912にアドレス信号を入力し、キャッシュメモリ912に記憶されたデータの読み出しを行う機能を有する。また、CPU911は、メインメモリ913にアドレス信号を入力し、メインメモリ913に記憶されたデータを読み出し、キャッシュメモリ912に書き込む機能を有する。

【0177】

CPU911のレジスタは、例えば揮発性記憶回路と不揮発性記憶回路を有する記憶回路を用いて構成できる。このとき、CPU911に対する電源電圧の供給を停止させる直前に不揮発性記憶回路にデータを退避させる。また、電源電圧の供給を再開させた直後に不揮発性記憶回路に記憶されたデータを揮発性記憶回路に入力する。これにより、電源電圧の供給を再開させたときのCPU911の状態復帰を速くできる。ただし、これに限定されず、他の記憶回路を用いてレジスタを構成してもよい。

30

【0178】

上記不揮発性記憶回路は、例えば実施の形態1の記憶回路に適用可能なオフ電流の低いトランジスタを用いて構成される。このとき、上記オフ電流の低いトランジスタは、不揮発性記憶回路のデータの書き込み及び保持を制御する機能を有する。

【0179】

キャッシュメモリ912は、CPU911の演算処理の際に、データの読み出しが行われる。例えば、CPU911の命令信号に従って、キャッシュメモリ912にメインメモリ913のデータの一部が保持される。

40

【0180】

なお、CPU911内にキャッシュメモリ912を設けてもよい。例えば、図8に示すように、CPU911は、演算部931と、キャッシュ部932と、を含み、キャッシュ部932にキャッシュメモリ912が設けられる。このとき、キャッシュメモリ912を介して演算部931とメインメモリ913がデータ通信を行う。また、キャッシュ部932に複数のキャッシュメモリを設けることにより、データキャッシュ、命令キャッシュなどを構成してもよい。

50

【 0 1 8 1 】

キャッシュメモリ 9 1 2 としては、例えばダイレクトマップ方式、セットアソシアティブ方式、又はフルアソシアティブ方式などのキャッシュメモリを適用できる。

【 0 1 8 2 】

キャッシュメモリ 9 1 2 は、実施の形態 1 の記憶回路を用いたメモリセルにより構成される。これにより、電源電圧の供給を停止させた場合であっても、書き込まれたデータを長時間保持できる。これにより、データの書き換え及び読み出しが不要な期間にキャッシュメモリ 9 1 2 に対する電源電圧の供給を停止でき、消費電力を低減することができる。

【 0 1 8 3 】

メインメモリ 9 1 3 は、例えば CPU 9 1 1 での演算処理に用いられるデータが記憶される。メインメモリ 9 1 3 は、例えばダイナミックランダムアクセスメモリ (D R A M と もいう) などを用いて構成される。

10

【 0 1 8 4 】

電源供給制御スイッチ 9 2 1 は、 CPU 9 1 1 に対する電源電圧の供給を制御する機能を有する。なお、図 8 に示す半導体装置の場合には、電源供給制御スイッチ 9 2 1 は、 CPU 9 1 1 の演算部 9 3 1 に対する電源電圧の供給を制御する機能を有する。

【 0 1 8 5 】

電源供給制御スイッチ 9 2 2 は、キャッシュメモリ 9 1 2 に対する電源電圧の供給を制御する機能を有する。

【 0 1 8 6 】

20

電源供給制御スイッチ 9 2 3 は、メインメモリ 9 1 3 に対する電源電圧の供給を制御する機能を有する。

【 0 1 8 7 】

電源供給制御スイッチ 9 2 1 乃至 9 2 3 は、電界効果トランジスタを用いて構成される。このとき、上記電界効果トランジスタとしては、上記オフ電流の低いトランジスタを用いてもよい。

【 0 1 8 8 】

電源供給制御スイッチ 9 2 1 乃至 9 2 3 の構成例について、図 9 を参照して説明する。

【 0 1 8 9 】

図 9 に示す電源供給制御スイッチは、トランジスタ 2 1 と、トランジスタ 2 2 と、を有する。

30

【 0 1 9 0 】

トランジスタ 2 1 は、電源 9 9 0 と、 CPU 9 1 1 、キャッシュメモリ 9 1 2 、又はメインメモリ 9 1 3 などの各回路と、の間に設けられる。トランジスタ 2 1 のゲートには、コントローラ 9 5 0 から制御信号 S W _ O N が入力される。トランジスタ 2 1 がオン状態又はオフ状態になることにより、 CPU 9 1 1 、キャッシュメモリ 9 1 2 、及びメインメモリ 9 1 3 などの各回路に電源電圧を供給するか否かが制御される。

【 0 1 9 1 】

トランジスタ 2 2 のゲートには、コントローラ 9 5 0 から制御信号 S W _ O F F が入力される。トランジスタ 2 2 がオン状態又はオフ状態になることにより、 CPU 9 1 1 、キャッシュメモリ 9 1 2 、及びメインメモリ 9 1 3 などの各回路に接地電位を供給するか否かが制御される。

40

【 0 1 9 2 】

トランジスタ 2 1 がオン状態であり、トランジスタ 2 2 がオフ状態であるときに、図 9 に示す電源供給制御スイッチがオン状態となる。トランジスタ 2 1 がオフ状態であり、トランジスタ 2 2 がオン状態であるときに、図 9 に示す電源供給制御スイッチがオフ状態となる。

【 0 1 9 3 】

以上が図 9 に示す電源供給制御スイッチの構成例の説明である。

【 0 1 9 4 】

50

図 7 及び図 8 に示すコントローラ 950 は、上記入力信号、CPU 911 から入力される命令信号に従って電源供給制御スイッチ 921 乃至 923 を個別に制御する機能を少なくとも有する。また、コントローラ 950 には、電源電圧 PWR が供給される。なお、電源供給制御スイッチ 921 乃至 923 のうちの複数を、別々のコントローラにより制御してもよい。

【0195】

さらに、一例として、コントローラ 950 の構成例について、図 10 を参照して説明する。

【0196】

図 10 に示すコントローラ 950 は、インターフェース部 951 と、クロック生成部 952 と、出力信号制御部 953 と、バッファ部 954 と、を含む。

10

【0197】

上記入力信号、CPU 911 から入力される命令信号などの信号は、インターフェース部 951 を介して出力信号制御部 953 に入力される。

【0198】

クロック生成部 952 では、入力されたクロック信号を用いてコントローラ 950 で使用するクロック信号を生成して出力信号制御部 953 を含む各回路に出力する。このとき、入力されたクロック信号を分周してコントローラ 950 で用いることにより、コントローラ 950 の消費電力を小さくすることができる。

20

【0199】

出力信号制御部 953 は、カウンタ回路 955 を有する。出力信号制御部 953 は、カウンタ回路 955 でクロック信号をカウントし、コントローラ 950 に入力される信号に従って、出力する複数の信号のハイ状態又はロー状態を設定する機能を有する。上記複数の信号としては、電源供給制御スイッチ 921 乃至 923 を個別に制御するための制御信号（例えば複数の制御信号 SW_ON、複数の制御信号 SW_OFF）、CPU 911 の動作を制御するための信号などが挙げられる。

【0200】

出力信号制御部 953 で生成された各信号は、バッファ部 954 を介して各回路に出力される。

【0201】

以上が図 10 に示すコントローラの構成例の説明である。

30

【0202】

図 7 に示す半導体装置では、電源供給制御スイッチ 921 乃至 923 を設け、入力信号、CPU 911 から入力される命令信号に従ってコントローラ 950 により、電源供給制御スイッチ 921 乃至 923 が個別に制御される。

【0203】

CPU 911、キャッシュメモリ 912、及びメインメモリ 913 のそれぞれにおいて、電源電圧の供給の最適なタイミングは互いに異なる。そのため、CPU 911、キャッシュメモリ 912、及びメインメモリ 913 のそれぞれに対する電源電圧の供給を個別に最適化することにより、不要な電力の消費を抑制することができる。

40

【0204】

図 7 乃至図 10 を参照して説明したように、本実施の形態に係る半導体装置の一例では、キャッシュメモリ及び CPU を有し、キャッシュメモリ及び CPU のそれぞれに対して電源供給制御スイッチを設け、入力信号、CPU から入力される命令信号に従ってコントローラにより、複数の電源供給制御スイッチを個別に制御する。これにより、各回路に対する電源電圧の供給のタイミングを個別に最適化して、不要な電力の消費を抑制できる。

【0205】

また、キャッシュメモリを実施の形態 1 の記憶回路を用いて構成することにより、電源電圧の供給を停止した場合であっても、データを保持できる。このため、データの再書き込み動作が不要になり、消費電力を低減できる。

50

【 0 2 0 6 】

(実施の形態 4)

本実施の形態では、本発明の一態様である半導体装置を用いた電子機器の例について、図 1 1 を参照して説明する。

【 0 2 0 7 】

図 1 1 (A) に示す電子機器は、携帯型情報端末の一例である。

【 0 2 0 8 】

図 1 1 (A) に示す電子機器は、筐体 1 0 1 1 と、筐体 1 0 1 1 に設けられたパネル 1 0 1 2 と、ボタン 1 0 1 3 と、スピーカー 1 0 1 4 と、を具備する。

【 0 2 0 9 】

なお、筐体 1 0 1 1 に、外部機器に接続するための接続端子及び操作ボタンが設けられていてもよい。

【 0 2 1 0 】

パネル 1 0 1 2 は、表示パネル (ディスプレイ) である。パネル 1 0 1 2 は、タッチパネルの機能を有することが好ましい。

【 0 2 1 1 】

ボタン 1 0 1 3 は、筐体 1 0 1 1 に設けられる。例えば、ボタン 1 0 1 3 が電源ボタンであれば、ボタン 1 0 1 3 を押すことにより、電子機器をオン状態にするか否かを制御することができる。

【 0 2 1 2 】

スピーカー 1 0 1 4 は、筐体 1 0 1 1 に設けられる。スピーカー 1 0 1 4 は音声を出力する。

【 0 2 1 3 】

なお、筐体 1 0 1 1 にマイクが設けられていてもよい。筐体 1 0 1 1 にマイクを設けられることにより、例えば図 1 1 (A) に示す電子機器を電話機として機能させることができる。

【 0 2 1 4 】

図 1 1 (A) に示す電子機器は、筐体 1 0 1 1 の内部に実施の形態 3 に示す半導体装置などを有する。

【 0 2 1 5 】

図 1 1 (A) に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【 0 2 1 6 】

図 1 1 (B) に示す電子機器は、折り畳み式の情報端末の一例である。

【 0 2 1 7 】

図 1 1 (B) に示す電子機器は、筐体 1 0 2 1 a と、筐体 1 0 2 1 b と、筐体 1 0 2 1 a に設けられたパネル 1 0 2 2 a と、筐体 1 0 2 1 b に設けられたパネル 1 0 2 2 b と、軸部 1 0 2 3 と、ボタン 1 0 2 4 と、接続端子 1 0 2 5 と、記録媒体挿入部 1 0 2 6 と、スピーカー 1 0 2 7 と、を備える。

【 0 2 1 8 】

筐体 1 0 2 1 a と筐体 1 0 2 1 b は、軸部 1 0 2 3 により接続される。

【 0 2 1 9 】

パネル 1 0 2 2 a 及びパネル 1 0 2 2 b は、表示パネル (ディスプレイ) である。パネル 1 0 2 2 a 及びパネル 1 0 2 2 b は、タッチパネルとしての機能を有することが好ましい。

【 0 2 2 0 】

図 1 1 (B) に示す電子機器は、軸部 1 0 2 3 を有するため、パネル 1 0 2 2 a とパネル 1 0 2 2 b を対向させて折り畳むことができる。

【 0 2 2 1 】

ボタン 1 0 2 4 は、筐体 1 0 2 1 b に設けられる。なお、筐体 1 0 2 1 a にボタン 1 0 2

10

20

30

40

50

4 を設けてもよい。例えば、電源ボタンとしての機能を有するボタン 1 0 2 4 を設けることにより、ボタン 1 0 2 4 を押すことで電子機器に対する電源電圧の供給を制御できる。

【 0 2 2 2 】

接続端子 1 0 2 5 は、筐体 1 0 2 1 a に設けられる。なお、筐体 1 0 2 1 b に接続端子 1 0 2 5 が設けられていてもよい。また、接続端子 1 0 2 5 が筐体 1 0 2 1 a 及び筐体 1 0 2 1 b の一方又は両方に複数設けられていてもよい。接続端子 1 0 2 5 は、図 1 1 (B) に示す電子機器と他の機器を接続するための端子である。

【 0 2 2 3 】

記録媒体挿入部 1 0 2 6 は、筐体 1 0 2 1 a に設けられる。筐体 1 0 2 1 b に記録媒体挿入部 1 0 2 6 が設けられていてもよい。また、記録媒体挿入部 1 0 2 6 が筐体 1 0 2 1 a 及び筐体 1 0 2 1 b の一方又は両方に複数設けられていてもよい。例えば、記録媒体挿入部にカード型記録媒体を挿入することにより、カード型記録媒体のデータを電子機器に読み出し、又は電子機器内のデータをカード型記録媒体に書き込むことができる。

【 0 2 2 4 】

スピーカー 1 0 2 7 は、筐体 1 0 2 1 b に設けられる。スピーカー 1 0 2 7 は、音声を出力する。なお、筐体 1 0 2 1 a にスピーカー 1 0 2 7 を設けてもよい。

【 0 2 2 5 】

なお、筐体 1 0 2 1 a 又は筐体 1 0 2 1 b にマイクを設けてもよい。筐体 1 0 2 1 a 又は筐体 1 0 2 1 b にマイクが設けられることにより、例えば図 1 1 (B) に示す電子機器を電話機として機能させることができる。

【 0 2 2 6 】

図 1 1 (B) に示す電子機器は、筐体 1 0 2 1 a 又は筐体 1 0 2 1 b の内部に実施の形態 3 に示す半導体装置などを有する。

【 0 2 2 7 】

図 1 1 (B) に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【 0 2 2 8 】

図 1 1 (C) に示す電子機器は、据え置き型情報端末の一例である。図 1 1 (C) に示す据え置き型情報端末は、筐体 1 0 3 1 と、筐体 1 0 3 1 に設けられたパネル 1 0 3 2 と、ボタン 1 0 3 3 と、スピーカー 1 0 3 4 と、を具備する。

【 0 2 2 9 】

パネル 1 0 3 2 は、表示パネル (ディスプレイ) である。パネル 1 0 3 2 は、タッチパネルとしての機能を有することが好ましい。

【 0 2 3 0 】

なお、筐体 1 0 3 1 の甲板部 1 0 3 5 にパネル 1 0 3 2 と同様のパネルを設けてもよい。上記パネルは、タッチパネルとしての機能を有することが好ましい。

【 0 2 3 1 】

さらに、筐体 1 0 3 1 に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部などを設けてもよい。

【 0 2 3 2 】

ボタン 1 0 3 3 は、筐体 1 0 3 1 に設けられる。例えば、ボタン 1 0 3 3 が電源ボタンであれば、ボタン 1 0 3 3 を押すことで電子機器に対する電源電圧の供給を制御できる。

【 0 2 3 3 】

スピーカー 1 0 3 4 は、筐体 1 0 3 1 に設けられる。スピーカー 1 0 3 4 は、音声を出力する。

【 0 2 3 4 】

図 1 1 (C) に示す電子機器は、筐体 1 0 3 1 の内部に実施の形態 3 に示す半導体装置などを有する。

【 0 2 3 5 】

図 1 1 (C) に示す電子機器は、例えば現金自動預け払い機、チケットなどの注文をする

10

20

30

40

50

ための情報通信端末（マルチメディアステーションともいう）、又は遊技機としての機能を有する。

【0236】

図11(D)は、据え置き型情報端末の一例である。図11(D)に示す電子機器は、筐体1041と、筐体1041に設けられたパネル1042と、筐体1041を支持する支持台1043と、ボタン1044と、接続端子1045と、スピーカー1046と、を備える。

【0237】

なお、筐体1041に外部機器に接続させるための接続端子を設けてもよい。

【0238】

パネル1042は、表示パネル（ディスプレイ）としての機能を有する。

【0239】

ボタン1044は、筐体1041に設けられる。例えば、ボタン1044が電源ボタンであれば、ボタン1044を押すことで電子機器に対する電源電圧の供給を制御できる。

【0240】

接続端子1045は、筐体1041に設けられる。接続端子1045は、図11(D)に示す電子機器と他の機器を接続するための端子である。例えば、接続端子1045により図11(D)に示す電子機器とパーソナルコンピュータを接続すると、パーソナルコンピュータから入力されるデータ信号に応じた画像をパネル1042に表示させることができる。例えば、図11(D)に示す電子機器のパネル1042が接続する他の電子機器のパネルより大きければ、当該他の電子機器の表示画像を拡大することができ、複数の人が同時に視認しやすくなる。

【0241】

スピーカー1046は、筐体1041に設けられる。スピーカー1046は、音声を出力する。

【0242】

図11(D)に示す電子機器は、筐体1041の内部に実施の形態3に示す半導体装置などを有する。

【0243】

図11(D)に示す電子機器は、例えば出力モニタ、パーソナルコンピュータ、及びテレビジョン装置の一つ又は複数としての機能を有する。

【0244】

図11(E)は、電気冷凍冷蔵庫の一例である。図11(E)に示す電子機器は、筐体1051と、冷蔵室用扉1052と、冷凍室用扉1053と、を備える。

【0245】

図11(E)に示す電子機器は、筐体1051の内部に実施の形態3に示す半導体装置などを有する。上記構成にすることにより、例えば、冷蔵室用扉1052及び冷凍室用扉1053の開閉に従って、筐体1051内の半導体装置に対する電源電圧の供給を制御できる。

【0246】

図11(F)は、エアコンディショナーの一例である。図11(F)に示す電子機器は、室内機1060及び室外機1064により構成される。

【0247】

室内機1060は、筐体1061と、送風口1062と、を備える。

【0248】

図11(F)に示す電子機器は、筐体1061の内部に実施の形態3に示す半導体装置などを有する。上記構成にすることにより、例えば、リモートコントローラからの信号に従って、筐体1061内の半導体装置に対する電源電圧の供給を制御できる。

【0249】

なお、図11(F)では、室内機と室外機で構成されるセパレート型のエアコンディショ

10

20

30

40

50

ナーを例示しているが、室内機の機能と室外機の機能とを１つの筐体に有するエアコンディショナーであってもよい。

【０２５０】

なお、これに限定されず、電子レンジなどの高周波加熱装置、又は電気炊飯器などにも実施の形態３の半導体装置を適用できる。

【０２５１】

以上が図１１に示す電子機器の例の説明である。

【０２５２】

図１１を参照して説明したように、本実施の形態に係る電子機器では、実施の形態３の半導体装置を用いることにより、消費電力を低くできる。

10

【符号の説明】

【０２５３】

２１ トランジスタ
 ２２ トランジスタ
 １１１ トランジスタ
 １１２ トランジスタ
 １１３ トランジスタ
 １１４ トランジスタ
 １１５ トランジスタ
 １１６ トランジスタ
 １１７ トランジスタ
 １１８ トランジスタ
 １１９ トランジスタ
 １２０ トランジスタ
 １３１ インバータ
 １３２ インバータ
 １５１ 容量素子
 １５２ 容量素子
 ７００ 被素子形成層
 ７０１ 絶縁層
 ７１１ 半導体層
 ７１２ a 領域
 ７１２ b 領域
 ７１３ チャンネル形成領域
 ７１４ 絶縁層
 ７１５ 導電層
 ７１６ a 絶縁層
 ７１６ b 絶縁層
 ７１７ 絶縁層
 ７１８ a 導電層
 ７１８ b 導電層
 ７１９ 絶縁層
 ７５０ 被素子形成層
 ７５１ 導電層
 ７５２ 絶縁層
 ７５３ 絶縁層
 ７５４ 半導体層
 ７５５ a 導電層
 ７５５ b 導電層
 ７５６ a 導電層

20

30

40

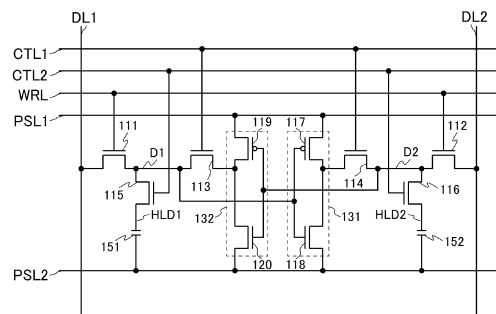
50

7 5 6 b	導電層	
7 5 7	絶縁層	
8 0 1	トランジスタ	
8 0 2	トランジスタ	
8 1 0	基板	
8 1 1	絶縁層	
8 1 3	単結晶シリコン層	
8 1 4	導電層	
8 1 5	絶縁層	
8 1 6	絶縁層	10
8 1 7	絶縁層	
8 1 8	導電層	
8 2 0	単結晶半導体基板	
8 2 2	絶縁領域	
8 2 3	半導体領域	
8 2 4	導電層	
8 2 5 a	不純物領域	
8 2 5 b	不純物領域	
9 1 1	C P U	
9 1 2	キャッシュメモリ	20
9 1 3	メインメモリ	
9 2 1	電源供給制御スイッチ	
9 2 2	電源供給制御スイッチ	
9 2 3	電源供給制御スイッチ	
9 3 1	演算部	
9 3 2	キャッシュ部	
9 5 0	コントローラ	
9 5 1	インターフェース部	
9 5 2	クロック生成部	
9 5 3	出力信号制御部	30
9 5 4	バッファ部	
9 5 5	カウンタ回路	
9 9 0	電源	
1 0 1 1	筐体	
1 0 1 2	パネル	
1 0 1 3	ボタン	
1 0 1 4	スピーカー	
1 0 2 1 a	筐体	
1 0 2 1 b	筐体	
1 0 2 2 a	パネル	40
1 0 2 2 b	パネル	
1 0 2 3	軸部	
1 0 2 4	ボタン	
1 0 2 5	接続端子	
1 0 2 6	記録媒体挿入部	
1 0 2 7	スピーカー	
1 0 3 1	筐体	
1 0 3 2	パネル	
1 0 3 3	ボタン	
1 0 3 4	スピーカー	50

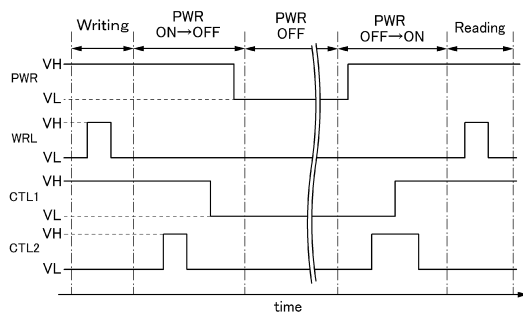
1 0 3 5	甲板部
1 0 4 1	筐体
1 0 4 2	パネル
1 0 4 3	支持台
1 0 4 4	ボタン
1 0 4 5	接続端子
1 0 4 6	スピーカー
1 0 5 1	筐体
1 0 5 2	冷蔵室用扉
1 0 5 3	冷凍室用扉
1 0 6 0	室内機
1 0 6 1	筐体
1 0 6 2	送風口
1 0 6 4	室外機

【図 1】

(A)

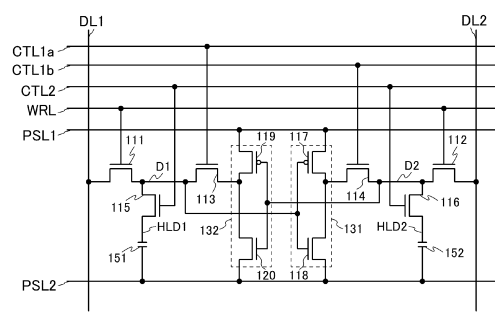


(B)

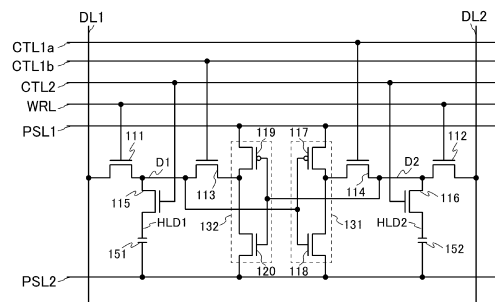


【図 2】

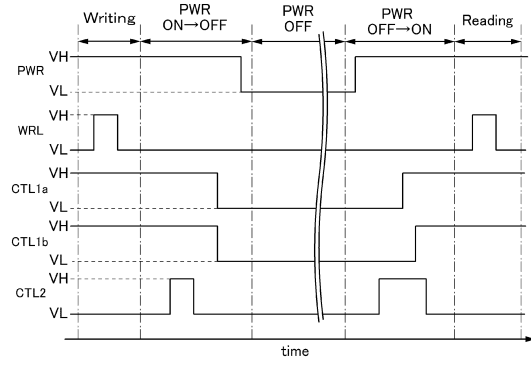
(A)



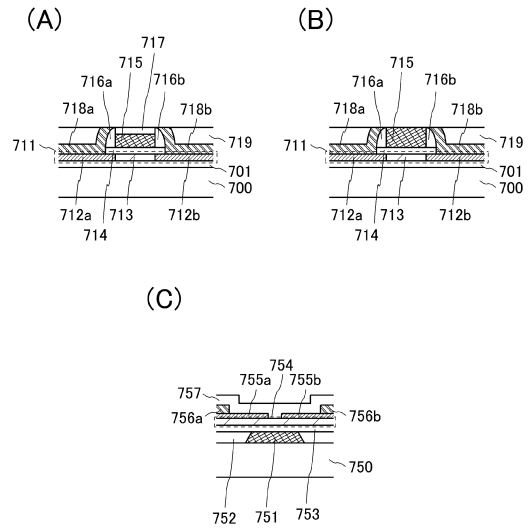
(B)



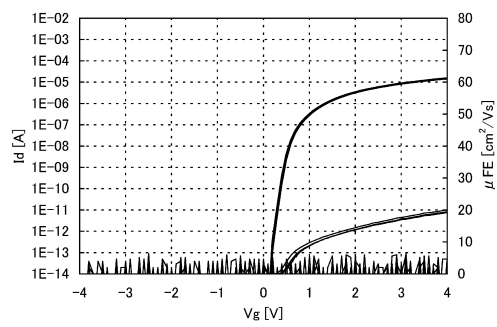
【図 3】



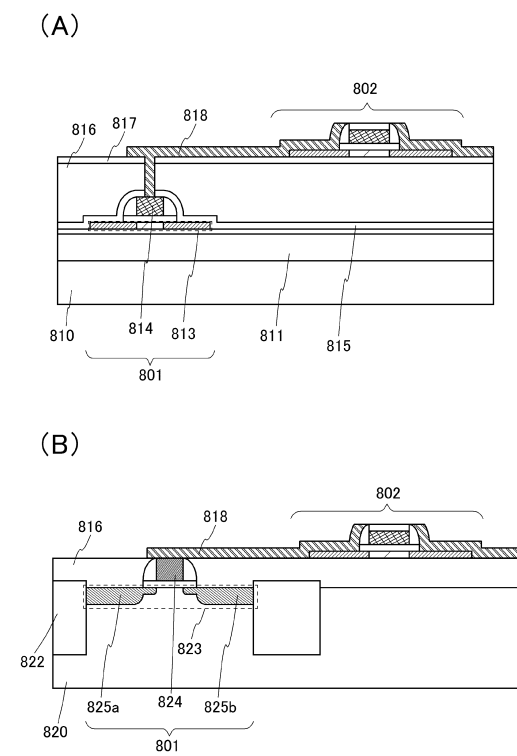
【図 4】



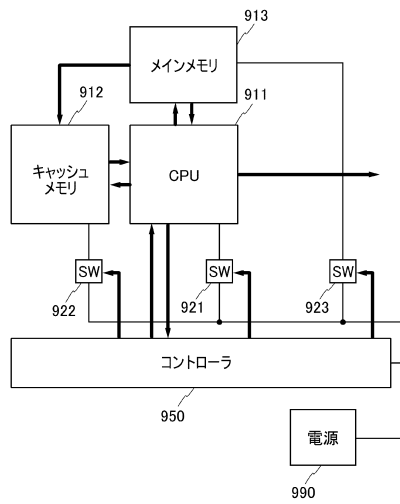
【図 5】



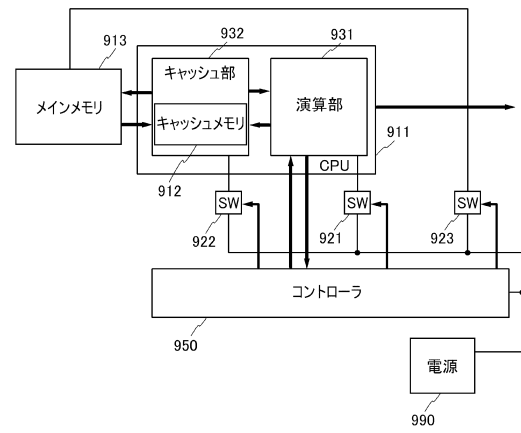
【図 6】



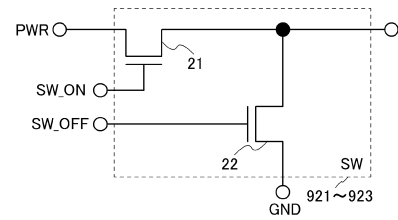
【 圖 7 】



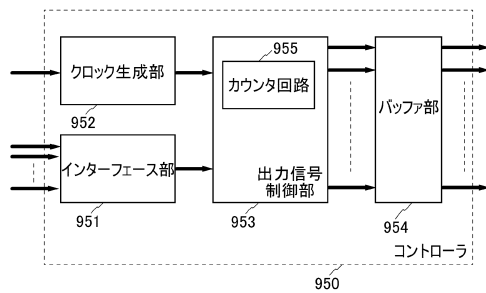
【 図 8 】



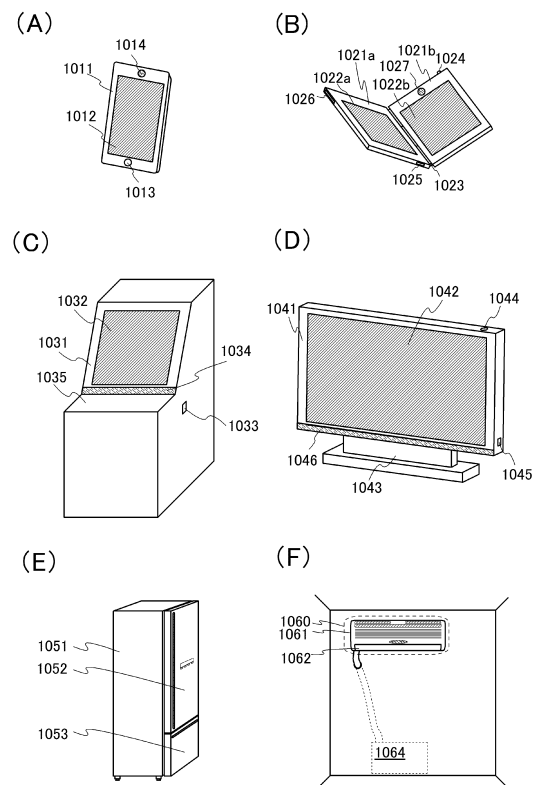
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 8 B

(56)参考文献 特開 2 0 1 1 - 1 5 1 7 9 6 (J P , A)
米国特許出願公開第 2 0 1 1 / 0 1 5 6 0 2 4 (U S , A 1)
特開 2 0 1 1 - 1 7 1 7 2 3 (J P , A)
米国特許出願公開第 2 0 1 1 / 0 1 7 6 3 5 7 (U S , A 1)
特開 2 0 1 1 - 1 4 2 6 2 1 (J P , A)
米国特許出願公開第 2 0 1 1 / 0 1 8 7 4 1 0 (U S , A 1)
特開平 1 0 - 9 3 4 2 3 (J P , A)
米国特許第 5 9 3 6 8 7 9 (U S , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 4 1 2
G 1 1 C 1 1 / 4 1
G 0 6 F 1 2 / 0 8
H 0 1 L 2 1 / 8 2 4 4
H 0 1 L 2 7 / 1 1
H 0 1 L 2 9 / 7 8 6