



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0128916
(43) 공개일자 2024년08월27일

(51) 국제특허분류(Int. Cl.)
H01L 23/38 (2006.01) H01L 23/00 (2006.01)
H01L 23/367 (2006.01) H01L 23/373 (2006.01)
H01L 25/065 (2023.01) H10N 10/10 (2023.01)
H10N 19/00 (2023.01)
(52) CPC특허분류
H01L 23/38 (2013.01)
H01L 23/3677 (2013.01)
(21) 출원번호 10-2024-7024546
(22) 출원일자(국제) 2024년12월16일
심사청구일자 없음
(85) 번역문제출일자 2024년07월19일
(86) 국제출원번호 PCT/US2022/081858
(87) 국제공개번호 WO 2023/122510
국제공개일자 2023년06월29일
(30) 우선권주장
63/265,770 2021년12월20일 미국(US)

(71) 출원인
아데이아 반도체터 본딩 테크놀로지스 인코포레이티드
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(72) 발명자
카트카르 라예쉬
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
하바 벨가셈
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(74) 대리인
유미특허법인

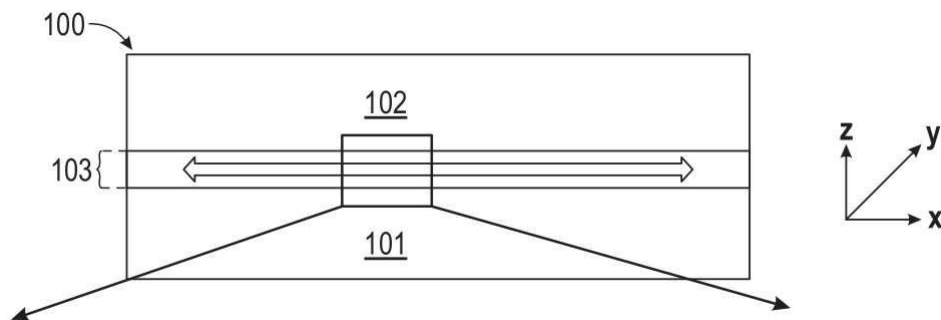
전체 청구항 수 : 총 77 항

(54) 발명의 명칭 마이크로전자기기에서의 열전 냉각

(57) 요약

일부 측면에서, 개시된 기술은 열을 효과적으로 소산시킬 수 있고 핫 스팟을 관리할 수 있는 마이크로전자 디바이스를 제공한다. 일부 실시예에서, 개시된 마이크로전자 디바이스는 제1 방향에서 두께를 가지는 기판, 및 기판 내에 또는 기판 상에 배치되는 적어도 하나의 열전 유닛을 포함할 수 있다. 열전 유닛은 제1 방향에 직교하는 제2의 측방 방향을 따라 열을 전달하도록 구성될 수 있다.

대표도 - 도1a



(52) CPC특허분류

H01L 23/373 (2013.01)

H01L 24/08 (2013.01)

H01L 25/0652 (2023.08)

H01L 25/0657 (2023.08)

H10N 10/10 (2023.02)

H10N 19/00 (2023.08)

H01L 2224/08057 (2013.01)

H01L 2224/08225 (2013.01)

명세서

청구범위

청구항 1

마이크로전자 디바이스로서,

제1 방향에서 두께를 가지는 기판; 및

상기 기판 내에 배치되는 적어도 하나의 열전 유닛

을 포함하고,

상기 열전 유닛은 상기 제1 방향에 직교하는 제2 측방 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 2

제1항에 있어서,

상기 적어도 하나의 열전 유닛은 상기 기판 내에 배치되는, 마이크로전자 디바이스.

청구항 3

제1항에 있어서,

상기 기판은 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 4

제1항에 있어서,

상기 기판은 직접 하이브리드 본딩을 위하여 구성되는 표면을 포함하는, 마이크로전자 디바이스.

청구항 5

제2항에 있어서,

상기 기판은 직접 하이브리드 본딩을 위하여 구성되는 반대 표면을 더 포함하는, 마이크로전자 디바이스.

청구항 6

제1항에 있어서,

상기 마이크로전자 디바이스는 상기 기판 내에 배치되는 적어도 하나의 추가적인 열전 유닛을 더 포함하고, 상기 적어도 하나의 추가적인 열전 유닛은 상기 제2 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 7

제6항에 있어서,

상기 적어도 하나의 열전 유닛과 상기 적어도 하나의 추가적인 열전 유닛 사이에 배치되는 열 전도성 플레이트를 더 포함하는, 마이크로전자 디바이스.

청구항 8

제7항에 있어서,

상기 열 전도성 플레이트는 전기적으로 절연성인, 마이크로전자 디바이스.

청구항 9

제1항에 있어서,

상기 마이크로전자 디바이스는 상기 기판 내에 배치되는 적어도 하나의 추가적인 열전 유닛을 더 포함하고, 상기 적어도 하나의 추가적인 열전 유닛은 상기 제1 방향 및 상기 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 10

제9항에 있어서,

상기 적어도 하나의 열전 유닛과 상기 적어도 하나의 추가적인 열전 유닛 사이에 배치되는 열 전도성 플레이트를 더 포함하는, 마이크로전자 디바이스.

청구항 11

제10항에 있어서,

상기 열 전도성 플레이트는 전기적으로 절연성인, 마이크로전자 디바이스.

청구항 12

제1항에 있어서,

상기 마이크로전자 디바이스는 상기 기판 내에 배치되는 적어도 하나의 추가적인 열전 유닛을 더 포함하고, 상기 적어도 하나의 추가적인 열전 유닛은 상기 제1 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 13

제12항에 있어서,

상기 적어도 하나의 열전 유닛과 상기 적어도 하나의 추가적인 열전 유닛 사이에 배치되는 열 전도성 플레이트를 더 포함하는, 마이크로전자 디바이스.

청구항 14

제13항에 있어서,

상기 열 전도성 플레이트는 전기적으로 절연성인, 마이크로전자 디바이스.

청구항 15

제1항에 있어서,

상기 두께는 100 마이크론 이하인, 마이크로전자 디바이스.

청구항 16

제1항에 있어서,

상기 열전 유닛은 상기 제1 방향을 따라 열을 전달하도록 더 구성되는, 마이크로전자 디바이스.

청구항 17

제16항에 있어서,

상기 열전 유닛은 상기 열전 유닛 내의 제1 방향 및/또는 제2 방향의 둘 모두를 따라 전기적 전류를 구동하도록 구성되는 전기적 접촉부 쌍과 연관되는, 마이크로전자 디바이스.

청구항 18

제16항에 있어서,

상기 열전 유닛은 2개의 전기적 접촉부 쌍과 연관되고, 각각의 전기적 접촉부 쌍은 상기 열전 유닛 내의 상기 제1 방향 및 상기 제2 방향 중 하나를 따라 전기적 전류를 구동하도록 구성되는, 마이크로전자 디바이스.

청구항 19

마이크로전자 디바이스로서,

제1 방향에서 두께를 가지는 기판; 및

상기 기판 내에 배치되는 적어도 하나의 열전 유닛

을 포함하고,

상기 열전 유닛은 상기 제1 방향에 직교하는 평면에서 방사상으로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 20

제19항에 있어서,

상기 적어도 하나의 열전 유닛은 상기 기판 내에 배치되는, 마이크로전자 디바이스.

청구항 21

제19항에 있어서,

상기 기판은 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 22

제19항에 있어서,

상기 기판은 직접 하이브리드 본딩을 위하여 구성되는 표면을 포함하는, 마이크로전자 디바이스.

청구항 23

제22항에 있어서,

상기 기판은 직접 하이브리드 본딩을 위하여 구성되는 반대 표면을 더 포함하는, 마이크로전자 디바이스.

청구항 24

제19항에 있어서,

상기 두께는 100 마이크론 이하인, 마이크로전자 디바이스.

청구항 25

제19항에 있어서,

상기 마이크로전자 디바이스는 상기 기판 내에 배치되는 적어도 하나의 추가적인 열전 유닛을 더 포함하고, 상기 적어도 하나의 추가적인 열전 유닛은 상기 제1 방향을 따라, 상기 제1 방향에 직교하는 제2 방향을 따라, 또는 상기 제1 방향 및 상기 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 26

제25항에 있어서,

상기 적어도 하나의 열전 유닛과 상기 적어도 하나의 추가적인 열전 유닛 사이에 배치되는 열 전도성 구조를 더 포함하는, 마이크로전자 디바이스.

청구항 27

제26항에 있어서,

상기 열 전도성 구조는 전기적으로 절연성인, 마이크로전자 디바이스.

청구항 28

마이크로전자 디바이스로서,

하부 반도체 엘리먼트;

상기 반도체 엘리먼트 상에 배치되는 기판 - 상기 기판은 제1 방향에서 두께를 가짐 -; 및

상기 기판 내에 또는 상기 기판 상에 배치되는 적어도 하나의 열전 유닛

을 포함하고,

상기 열전 유닛은 상기 제1 방향에 직교하는 적어도 제2 방향을 따라 측방으로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 29

제28항에 있어서,

상기 적어도 하나의 열전 유닛은 상기 기판 내에 배치되는, 마이크로전자 디바이스.

청구항 30

제28항에 있어서,

상기 마이크로전자 디바이스는 상기 제1 방향에 직교하는 평면 내의 통로를 따라 열을 전달하도록 구성되는 복수의 열전 유닛을 포함하고, 상기 통로는 상기 평면 내에서 적어도 하나의 턴(turn)을 포함하는, 마이크로전자 디바이스.

청구항 31

제28항에 있어서,

상기 열전 유닛은 상기 제2 방향을 따라 양방향으로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 32

제28항에 있어서,

상기 열전 유닛은 상기 제1 방향에 직교하는 평면에서 방사상으로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 33

제28항에 있어서,

상기 열전 유닛은 상기 제1 방향 및 상기 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 34

제28항에 있어서,

상기 기판은 접착제 없이 상기 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 35

제28항에 있어서,

상기 반도체 엘리먼트는 실리콘(silicon), 세라믹(ceramic), 실리콘 카바이드(Silicon Carbide), 갈륨 나이트라이드(Gallium Nitride), 또는 유리를 포함하는, 마이크로전자 디바이스.

청구항 36

제35항에 있어서,

상기 반도체 엘리먼트는 능동 회로부를 가지지 않는, 마이크로전자 디바이스.

청구항 37

제28항에 있어서,

상기 반도체 엘리먼트는 능동 회로부를 가지는 집적된 디바이스 다이를 포함하는, 마이크로전자 디바이스.

청구항 38

제37항에 있어서,

상기 반도체 엘리먼트와 상기 기판 사이의 계면은 전도체-대-전도체(conductor-to-conductor) 직접 본드를 포함하는, 마이크로전자 디바이스.

청구항 39

제38항에 있어서,

상기 반도체 엘리먼트와 상기 기판 사이의 계면은 비-전도체 대 비-전도체(non-conductor to non-conductor) 직접 본드를 더 포함하는, 마이크로전자 디바이스.

청구항 40

제28항에 있어서,

적어도 상기 기판 상에 배치되는 열 싱크(heat sink)를 더 포함하는, 마이크로전자 디바이스.

청구항 41

제40항에 있어서,

상기 열전 유닛의 동작 동안에 기판으로부터 상기 열 싱크로 열이 소산되는, 마이크로전자 디바이스.

청구항 42

제40항에 있어서,

상기 기판과 상기 열 싱크 사이에 배치되는 열 전도성 엘리먼트를 더 포함하는, 마이크로전자 디바이스.

청구항 43

제42항에 있어서,

상기 열 전도성 엘리먼트는 능동 회로부를 가지지 않는, 마이크로전자 디바이스.

청구항 44

제42항에 있어서,

상기 열 전도성 엘리먼트는 실리콘 또는 세라믹을 포함하는, 마이크로전자 디바이스.

청구항 45

제42항에 있어서,

상기 기판은 접착제 없이 상기 열 전도성 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 46

제45항에 있어서,

상기 기판과 상기 열 전도성 엘리먼트 사이의 계면은 유전체-대-유전체(dielectric-to-dielectric) 직접 본드를

포함하는, 마이크로전자 디바이스.

청구항 47

제42항에 있어서,

상기 열전 유닛의 동작 동안에 상기 열 전도성 엘리먼트를 통해 기관으로부터 상기 열 싱크로 열이 소산되는, 마이크로전자 디바이스.

청구항 48

마이크로전자 디바이스로서,

제1 집적된 디바이스 다이;

상기 제1 집적된 디바이스 다이 상에 배치되는 기관;

상기 기관 내에 또는 상기 기관 상에 배치되는 적어도 하나의 열전 유닛; 및

상기 기관 상에 배치되는 제2 집적된 디바이스 다이

를 포함하고,

상기 열전 유닛은 상기 제1 집적된 디바이스 다이 및 상기 제2 집적된 디바이스 다이 중의 적어도 하나로부터 측방으로 열을 전달하는, 마이크로전자 디바이스.

청구항 49

제48항에 있어서,

상기 적어도 하나의 열전 유닛은 상기 기관 내에 배치되는, 마이크로전자 디바이스.

청구항 50

제48항에 있어서,

상기 기관은 제1 방향에서 두께를 가지고, 상기 열전 유닛은 상기 제1 방향에 직교하는 적어도 제2 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 51

제48항에 있어서,

상기 열전 유닛은 상기 제1 집적된 디바이스 다이 내의 기관-관통 비아와 전기적으로 접속되어, 상기 열전 유닛은 상기 제1 집적된 디바이스 다이에 의해 제어되는, 마이크로전자 디바이스.

청구항 52

제48항에 있어서,

상기 기관은 접착제 없이 상기 제1 집적된 디바이스 다이에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 53

제48항에 있어서,

상기 제2 집적된 디바이스 다이는 접착제 없이 상기 기관에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 54

제48항에 있어서,

적어도 상기 기관 상에 배치되는 열 싱크를 더 포함하는, 마이크로전자 디바이스.

청구항 55

제54항에 있어서,

상기 기관과 상기 열 싱크 사이에 배치되는 열 전도성 엘리먼트를 더 포함하는, 마이크로전자 디바이스.

청구항 56

제54항에 있어서,

상기 열전 유닛은 상기 제1 집적된 디바이스 다이 및 상기 제2 집적된 디바이스 다이로부터, 상기 열 싱크로 수직으로 열을 전달하는 열 경로로 측방으로 열을 전달하는, 마이크로전자 디바이스.

청구항 57

제48항에 있어서,

상기 기관 상에 배치되는 제3 집적된 디바이스 다이를 더 포함하는, 마이크로전자 디바이스.

청구항 58

제48항에 있어서,

상기 제2 집적된 디바이스 다이 또는 제3 집적된 디바이스 다이는 상기 적어도 하나의 열전 유닛에 전기적으로 접속되는, 마이크로전자 디바이스.

청구항 59

제48항에 있어서,

상기 제1 집적된 디바이스 다이 및 상기 제2 집적된 디바이스 다이는 기관-관통 비아를 통해 전기적으로 통신하는, 마이크로전자 디바이스.

청구항 60

마이크로전자 디바이스로서,

반도체 엘리먼트;

상기 반도체 엘리먼트 상에 배치되는 기관 - 상기 기관은 제1 방향에서 두께를 가짐 -; 및

상기 기관 내에 배치되는 복수의 열전 유닛

을 포함하고,

열전 유닛의 제1 부분은 상기 제1 방향을 따라 열을 전달하도록 구성되고, 열전 유닛의 제2 부분은 상기 제1 방향에 직교하는 제2 방향을 따라 측방으로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 61

제60항에 있어서,

상기 열전 유닛의 제1 부분은 상기 열전 유닛의 제2 부분 상에 배치되는, 마이크로전자 디바이스.

청구항 62

제60항에 있어서,

상기 열전 유닛의 제1 부분 및 제2 부분의 둘 모두는 반도체 엘리먼트 상에 배치되는, 마이크로전자 디바이스.

청구항 63

제60항에 있어서,

상기 열전 유닛은 상기 반도체 엘리먼트 내의 기관-관통 비아와 전기적으로 접속되는, 마이크로전자 디바이스.

청구항 64

제60항에 있어서,

상기 기판은 접착제 없이 상기 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 65

제60항에 있어서,

상기 열전 유닛은 상기 반도체 엘리먼트 내의 기판-관통 비아와 전기적으로 접속되는, 마이크로전자 디바이스.

청구항 66

마이크로전자 디바이스로서,

반도체 엘리먼트;

상기 반도체 엘리먼트 상에 배치되는 기판;

상기 기판 내에 배치되는 복수의 열전 유닛; 및

상기 반도체 엘리먼트에서 국소적 온도를 검출하도록 구성되는 복수의 온도 센서

를 포함하는, 마이크로전자 디바이스.

청구항 67

제66항에 있어서,

상기 복수의 열전 유닛은 상기 기판의 두께를 따르는 방향에 직교하는 평면 내의 통로를 따라 열을 전달하도록 구성되고, 상기 통로는 상기 평면 내에서 적어도 하나의 턴을 포함하는, 마이크로전자 디바이스.

청구항 68

제66항에 있어서,

상기 열전 유닛은 국소적 핫 스팟(hot spot)으로부터 멀어지도록 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 69

제66항에 있어서,

상기 기판은 제1 방향에서 두께를 가지고, 상기 열전 유닛은 상기 제1 방향에 직교하는 제2 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 70

제66항에 있어서,

상기 복수의 온도 센서는 상기 반도체 엘리먼트 또는 상기 기판 내에 배치되는, 마이크로전자 디바이스.

청구항 71

제66항에 있어서,

상기 마이크로전자 디바이스는 복수의 전기적 접촉부 쌍을 더 포함하고, 각각의 전기적 접촉부 쌍은 상기 복수의 열전 유닛의 부분을 독립적으로 제어하는, 마이크로전자 디바이스.

청구항 72

제66항에 있어서,

상기 열전 유닛은 상기 반도체 엘리먼트, 상기 기판, 또는 외부 칩에 의해 작동되는, 마이크로전자 디바이스.

청구항 73

마이크로전자 디바이스로서,

반도체 엘리먼트;

상기 반도체 엘리먼트 상에 배치되는 기관; 및

상기 기관 내에 배치되는 복수의 열전 유닛

을 포함하고,

상기 기관은 상기 복수의 열전 유닛의 서브그룹을 독립적으로 제어함으로써 상기 반도체 엘리먼트를 냉각하는 구역화된 제어를 위하여 구성되는, 마이크로전자 디바이스.

청구항 74

제73항에 있어서,

상기 기관은 제1 방향에서 두께를 가지고, 상기 열전 유닛은 상기 제1 방향에 직교하는 제2 방향을 따라 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 75

제73항에 있어서,

상기 마이크로전자 디바이스는 상기 반도체 엘리먼트 또는 상기 기관 내에 배치되는 복수의 온도 센서를 더 포함하고, 각각의 온도 센서는 상기 열전 유닛의 부분을 작동시키기 위한 전기적 접촉부와 연관되는, 마이크로전자 디바이스.

청구항 76

제73항에 있어서,

상기 마이크로전자 디바이스는 복수의 전기적 접촉부 쌍을 더 포함하고, 각각의 전기적 접촉부 쌍은 상기 열전 유닛의 부분을 독립적으로 제어하는, 마이크로전자 디바이스.

청구항 77

제73항에 있어서,

상기 열전 유닛은 상기 반도체 엘리먼트, 상기 기관, 또는 외부 칩에 의해 작동되는, 마이크로전자 디바이스.

발명의 설명

기술 분야

[0001]

관련된 출원에 대한 상호-참조

[0002]

이 출원은 "마이크로전자기기에서의 열전 냉각(THERMOELECTRIC COOLING IN MICROELECTRONICS)"이라는 명칭으로 2021년 12월 20일자로 출원된 미국 가출원 제63/265,770호에 대한 우선권을 주장하고, 이 미국 가출원의 내용은 그 전체적으로 참조로 통합된다.

[0003]

분야는 마이크로전자기기에서 열을 소산(dissipate)시키고 핫 스팟(hot spot)을 관리하는 것에 관한 것이다.

배경 기술

[0004]

전자 컴포넌트의 소형화 및 고밀도 집적으로, 마이크로전자기기에서의 열속 밀도(heat flux density)는 증가하고 있다. 마이크로전자 컴포넌트는 전형적으로, 최적의 동작을 보장하기 위하여 어떤 정격 온도(rated temperature) 미만에서 동작된다. 마이크로전자기기의 동작 동안에 생성되는 열이 충분히 소산되거나, 분포되거나, 추출되지 않는 경우에, 마이크로전자기기는 신뢰성 있게 동작하지 않을 수 있고, 그 성능이 영향받을 수 있고, 마이크로전자기기는 심지어 셧다운(shut down)되거나 번아웃(burn out)될 수 있다. 특히, 열 소산은 고전력 디바이스에서 심각한 문제이고, 그 문제는 칩 적층과 함께 악화한다.

도면의 간단한 설명

[0005]

구체적인 구현에는 제한이 아니라 예로서 제공되는 다음의 도면을 참조하여 지금부터 설명될 것이다.

도 1a, 도 1b, 및 도 1c는 개시된 기술에 따른 예시적인 마이크로전자 시스템을 개략적으로 예시한다.

도 2는 개시된 기술에 따른 다른 예시적인 마이크로전자 시스템을 개략적으로 예시한다.

도 3a 및 도 3b는 개시된 기술의 일부 실시예에 따른 대안적인 열전 유닛을 개략적으로 예시한다.

도 4는 개시된 기술에 따른 또 다른 예시적인 마이크로전자 디바이스의 단면도를 개략적으로 예시한다.

도 5는 개시된 기술에 따른 또 다른 예시적인 마이크로전자 디바이스의 단면도를 개략적으로 예시한다.

도 6a, 도 6b, 도 6c, 도 6d, 및 도 8c는 개시된 기술에 따른 열전 유닛의 다양한 배열을 개략적으로 예시한다.

도 7은 개시된 기술에 따른, 열전 유닛을 제어하기 위한 예시적인 제어 회로를 예시한다.

도 8a는 예시적인 칩 적층체 내의 적층된 열전 엘리먼트를 예시한다. 도 8b는 다른 예시적인 칩 적층체 내의 적층된 열전 엘리먼트를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0006]

마이크로전자 엘리먼트(예컨대, 다이(die)/칩(chip))는 디바이스를 형성하기 위하여 적층될 수 있고 서로에 본딩(bond)될 수 있다. 특히, 칩이 박형화됨에 따라, 칩 적층을 갖는 디바이스에서 열을 소산시키는 것은 어렵다. 접착제 본딩, 플립 칩 상호접속 등과 같은 칩 병합 방법의 이용은 열 싱크(heat sink)를 향한 열 소산 또는 전달 및 디바이스에서의 궁극적인 추출을 덜 효과적으로 할 수 있는데, 그 이유는 접착제가 열 전달을 감소시키거나 절연시킬 수 있기 때문이다. 또한, 디바이스의 희망된 부분에서 온도를 구체적으로 저하시키는 것은 어렵다. 예를 들어, 다이의 적층체를 패키징할 때, 열 소산은 적층체의 상단에서의 열 싱크(heat sink)에 의해 전형적으로 보조되지만, 하부 다이로부터 열을 추출하는 것은 도전적이다. 또한, 전형적인 다이 또는 다이 적층체의 치수를 고려하면, 열 추출 목적을 위한 측방 방향에서의 경로 길이와 비교하여, 수직 경로 길이가 상당히 더 짧다. 그러나, 수직 열 전달만을 갖는 실시예는 하단 또는 중간 다이에서 열을 포착하고, 이것은 이 다이가 상당히 고온으로 되는 것으로 귀착될 수 있어서, 적층 구현예를 저-전력 칩으로 효과적으로 제한할 수 있다. 따라서, 마이크로전자 디바이스에서 열을 소산시키기 위한 개선된 기법에 대한 필요성이 계속적으로 남아 있다.

[0007]

방법 및 구조는 다이 적층체에서 열 흐름을 전환하기 위하여, 예를 들어, 다이 상의 중심 위치로부터 다이 또는 다이 적층체의 주변부로 열을 외부로 전환하기 위하여 - 열은 열 소산 구조(예컨대, 열 싱크/열 파이프)로 외부로 추출될 수 있음 -, 또는 하나의 위치(예컨대, 핫 스팟)으로부터 다이 상의 다른 위치로 열을 간단하게 전환하거나 핫스팟을 더 넓은 영역으로 확산시키기 위하여, 또는 임의의 중간 다이의 온도를 증가시키지 않으면서 하부 다이로부터 열 싱크로 열을 전환하기 위하여 제공된다. 일부 실시예에서, 개시된 마이크로전자 디바이스(100)는 도 1a에서 예시된 바와 같이, 다이/칩(101 또는 102)에 대하여(즉, 다이의 더 큰 치수를 따라) (좌측-우측 화살표에 의해 표시된 바와 같이) 측방 방향으로 열을 보내는 열전 엘리먼트(103)를 포함할 수 있다. 일부 실시예에서, 도 1a에서의 개시된 마이크로전자 디바이스(100)는 디바이스(100) 내의 하부 다이(예컨대, 101)로부터 디바이스(100)의 주변부로 측방으로 열을 전달하기 위하여, 도 1b에서 도시된 바와 같이, 1030, 1031, 및 1032와 같은 복수의 캐스케이딩된 열전 유닛(cascaded thermoelectric unit)을 가지는 열전 엘리먼트(103)를 사용할 수 있다. 예를 들어, 1030, 1031, 및 1032와 같은 캐스케이딩된 열전 유닛은 기관(도시되지 않음) 내에 (또는 상에) 배치될 수 있다. 기관은 제1 방향(예컨대, z 방향)을 따라 가장 작은 치수를 가질 수 있고, 여기서, 가장 작은 치수는 기관의 두께를 포함할 수 있다. 일부 실시예에서, 1030, 1031, 및 1032와 같은 캐스케이딩된 열전 유닛은, 그 내용이 그 전체적으로 참조로 통합되는, "다이 패키지를 위한 열전 냉각(THERMOELECTRIC COOLING FOR DIE PACKAGES)"이라는 명칭으로 2021년 12월 20일자로 출원된 미국 가출원 제 63/265,765호에서 설명된 바와 같이, 열전 기관(예컨대, Bi₂Te₃)과 같은 기관 내에 형성되는 N-도핑된(doped) 또는 P-도핑된 영역을 포함하는 펠티어 엘리먼트(Peltier element)를 포함할 수 있다. 일부 실시예에서, 두께는 100 마이크로미터(micron) 이하, 또는 바람직하게는 50 마이크로미터 이하이다. 열전 유닛(103)은 제1 방향에 직교하는 제2의 측방 방향(예컨대, x 방향)을 따라 열을 전달하도록 구성될 수 있다. 열전 엘리먼트(103)는, 디바이스(100)로부터 열을 제거하고, 디바이스(100) 내의 열 흐름을 능동적으로 전환하는 것, 예를 들어, 디바이스 내의 어떤 칩의 온도, 또는 칩 내의 어떤 핫 스팟의 온도를 능동적으로 낮추는 것을 도울 수 있다. 열전 엘리먼트(103)는 접합부(junction)에서 함께 병합되는 상이한 펠티어 계수를 갖는 2개의 재료를 포함하는 펠티어 엘리먼트

트를 포함할 수 있다. 펠티어 엘리먼트는 접합부로 유입되고 유출되는 펠티어 열의 불균형으로 인해, 전기적 에너지(예컨대, DC 전기 전류)가 공급될 때에 2개의 상이한 재료의 접합부에서 순 열속(net heat flux)을 생성하기 위하여 펠티어 효과를 사용할 수 있다. 일부 실시예에서, 펠티어 엘리먼트는 전기적으로 직렬로(예컨대, 열전 유닛(1031) 내의 p-형 및 n-형 반도체 펠릿은 전기적 접속(1081)을 통해 접속됨) 그리고 열적으로 병렬로 접속되는 복수 쌍의 p-형 및 n-형 반도체 펠릿, 엘리먼트, 또는 칩을 포함할 수 있어서, 전하 캐리어(charge carrier) 및 열은 모두 펠릿을 통해 동일한 방향으로 흐를 수 있다.

[0008] 일부 실시예에서, 열전 엘리먼트(103)는 열 전달을 방해할 수 있는 접착제 또는 열 계면 재료(TIM)에 의해 디바이스(100)의 다른 엘리먼트에 본딩되지 않는다. 오히려, 열전 엘리먼트(103)는 디바이스(100) 내의 다른 엘리먼트에 직접적으로 본딩될 수 있어서, 이에 따라, 열 전달 효율을 개선시킬 수 있다. 예를 들어, 복수의 p-형 및 n-형 반도체 펠릿 쌍은 능동 칩(예컨대, 101 또는 102)에 직접적으로 본딩될 수 있다. 일부 실시예에서, 열전 엘리먼트(103)는 다른 엘리먼트에 직접 하이브리드 본딩될 수 있어서, 전도성 접촉부(들) 및 절연 층은 다른 엘리먼트의 대응하는 전도성 접촉부(들) 및 절연 층에 직접적으로 본딩된다. 다른 실시예에서, 열전 엘리먼트(103)는 직접적인 절연체-대-절연체(insulator-to-insulator) 본드만으로 다른 엘리먼트에 직접적으로 본딩될 수 있다. 능동 칩(예컨대, 101 또는 102)은 능동 회로부를 포함하는 다이일 수 있고, 예컨대, 능동 회로부는 하나 이상의 트랜지스터를 포함할 수 있다.

[0009] 일부 실시예에서, 복수의 p-형 및 n-형 반도체 열전 펠릿 쌍은 (1030, 1031, 및 1032와 같은) 많은 그룹으로 분할될 수 있고, 각각의 그룹은 독립적으로 제어될 수 있다. 예를 들어, 센서(예컨대, 다이오드)는 디바이스 내의 위치에서 온도를 측정하기 위하여 이용될 수 있다. 그 위치에서의 온도가 임계치보다 높은 경우에, 그 위치와 연관되는 열전 펠릿 또는 엘리먼트 쌍의 그룹(예컨대, 1031)은 한 쌍의 전기적 접촉부 핀/패드(1091)를 통해 전기적 전류를 인가함으로써 활성화될 수 있다(예를 들어, 전기적 접촉부 핀/패드의 각각에는 +V 또는 -V의 전압이 인가될 수 있음). 따라서, 디바이스 내의 온도는 국소적으로 모니터링되고 제어될 수 있다. (1030, 1031, 및 1032와 같은) 열전 펠릿 쌍의 각각의 그룹을 독립적으로 동작시키기 위한 능력은 또한, 열전 엘리먼트(103)가 더 적은 전력을 소비하는 것을 허용할 수 있다. 열전 엘리먼트(103)는 칩의 측정된 핫 스팟 분포에 응답하여 구역화된 냉각 제어 및 국소적 열 소산을 위하여 구성될 수 있다. 다양한 실시예에서, 온도 센서에 의해 측정되는 신호는 열전 엘리먼트(103)를 제어하기 위하여 이용될 수 있고, 온도 센서는 냉각되어야 할 능동 칩(예컨대, 101 또는 102)에서, 또는 열전 엘리먼트(103) 내에 위치될 수 있다. 다양한 실시예에서, 열전 엘리먼트(103)의 제어는 냉각되어야 할 능동 칩(예컨대, 101 또는 102)에서, 열전 엘리먼트(103) 내에서, 또는 시스템 보드 상의 외부 칩에 의해 행해질 수 있다.

[0010] 도 1b는 (다이/칩, 웨이퍼, 인터포저, 또는 다른 적합한 엘리먼트를 포함할 수 있는) 하부 캐리어(101), 및 하부 엘리먼트(101)를 위하여 측방으로 열을 보낼 수 있는 방식으로 배열되는 열전 엘리먼트(103)를 가지는, 도 1a에서 도시된 예시적인 마이크로전자 디바이스(100)의 부분의 등각투영도(isometric view)를 개략적으로 예시한다. 예를 들어, 전하 캐리어는 XY 및 YZ 평면 내의 고온 플레이트(hot plate)(각각 1021 및 1005)로부터 YZ 평면 내의 저온 플레이트(cold plate)(1007)로 이동할 수 있고, 열은 하나의 방향으로 이동하도록 추출될 수 있고, 열 에너지의 수평 분포를 위한 방향을 변경하기 위하여 절곡/선회할 수 있다. 다시 말해서, YZ 평면 내의 고온 플레이트(1005)로부터 YZ 평면 내의 저온 플레이트(1007)로 이동하는 전하 캐리어는 XY 평면 내의 핫스팟(1021)으로부터 열을 확산시켜서, 핫 스팟을 효과적으로 확산시키고 그 피크 온도를 감소시킨다. 열전 엘리먼트(103)는 도 1c에서 도시된 바와 같은 예시적인 제어 회로에 의해 작동될 수 있다. 하나의 예에서, 열전 엘리먼트(103)는 (예를 들어, Bi₂Te₃ 웨이퍼 내에 배치/형성된) 1030, 1031, 및 1032와 같은 복수의 열전 유닛을 포함할 수 있고, (예컨대, 한 쌍의 p-형 및 n-형 반도체 펠티어 펠릿을 가지는) 유닛(1031)은 좌측 유닛(1030)(또는, 핫 스팟의 위치에 따라 우측 유닛(1032)) 및 하단 칩(101)(및 또한, 일부 경우에 상단 칩(102))으로부터 열을 수집할 수 있고, 열을 우측(또는, 열전 유닛 또는 쌍에 제공되는 전류의 방향에 따라 좌측)의 저온 플레이트/표면(1007)으로 전송할 수 있다. 다양한 실시예에서, 1030, 1031, 및 1032와 같은 열전 유닛은 칩 또는 칩 적층체에 대한 실제적인 실험 또는 열 시뮬레이션 동안에 제공되는 열 지도(thermal map)에 기초하여 X-Y 행렬로서, 방사상으로, 또는 임의의 다른 적합한 균일한(주기적인) 또는 비-균일한 분포로서 배열될 수 있다.

[0011] 도 2는 도 1a 및 도 1b에서 도시된 것과 유사한 예시적인 마이크로전자 디바이스(200)를 도시하고, 여기서, 유사한 특징은 유사한 참조 번호에 의해 참조되지만, (1030, 1031, 및 1032와 같은) 각각의 열전 유닛은 인가되는 전압 바이어스의 극성에 따라 양방향으로 열을 보낼 수 있다. 도 2에서 도시된 실시예에서, (예컨대, TiN, 알루미늄 나이트라이드 등으로 형성되는) 열 전도성이지만 전기적 절연성인 플레이트(2070)는 2개의 인접한 열전 유

닛 사이의 전기적 전도 또는 전류 누설을 방지하면서, 2개의 인접한 열전 유닛 사이의 열 전달을 개선시키기 위하여 2개의 인접한 열전 유닛 사이(예컨대, 1030 및 1031 사이 및/또는 1031 및 1032 사이)에 배치될 수 있다. 도 2는 플레이트(2070) 및 열전 유닛을 분해도로 도시하지만, 실제로는, 플레이트(2070)와 그 인접한 열전 유닛 사이에 갭(gap)이 없을 수 있다.

[0012] 도 3a 및 도 3b는 도 1b에서 도시된 것과 유사한 예시적인 열전 유닛을 도시하고, 여기서, 유사한 특징은 유사한 참조 번호에 의해 참조된다. 그러나, 도 3a에서 도시된 바와 같이, 열전 유닛(3031A)의 일부 실시예에서, 수직 및 수평 고온 플레이트(1005 및 1021)에 대한 별도의 전극(예컨대, 3091 및 3092)은 하나 또는 둘 모두의 고온 플레이트(1005 및/또는 1021)와 저온 플레이트(1007) 사이의 전하 캐리어 흐름의 방향에 효과적으로 영향을 줄 수 있다. 이것은 하단으로부터의 열 추출 및 측방으로 이동하는 것, 또는 (즉, 하단으로부터의 임의의 직접적인 능동적 추출 없이) 측방으로 이동하는 것만을 허용한다. 일부 실시예에서, 별도의 전극(예컨대, 각각 상단 및 하단 면에서의 3091 및 3092)은 독립적일 수 있고, 열 흐름을 최적화하기 위하여 이용될 수 있다. 예를 들어, 전극(3091 및 3092)에 인가되는 전압은 모두 상이할 수 있다. 도 3b에서 도시된 바와 같이, 열전 유닛(3031B)의 일부 실시예에서, 열전 유닛(3031B)의 상단 및 하단 표면(1005 및 1021)에서의 접촉된 전극(예컨대, 3099)은, 접촉된 전극(3099)이 전하 캐리어 흐름의 방향을 저온 플레이트(1007)로 구동할 때, 열전 유닛(3031B)의 상단 및 측부 표면의 둘 모두로부터의 열 추출을 가능하게 할 수 있다. 예를 들어, 전체적인 전하 캐리어 흐름은 열전 유닛(3031B)의 펠릿에 대하여 대각선일 수 있다.

[0013] 도 4는 적층된 다이, 및 하단 칩(401)에 대하여 측방으로 열을 보내는 (이전의 도면 중 임의의 도면과 관련하여 설명된 바와 같은) 열전 엘리먼트(403)를 가지는 예시적인 마이크로전자 디바이스(400)의 단면도를 개략적으로 예시한다. 일부 실시예에서, 열전 엘리먼트(403)는 열전 기관(예컨대, Bi₂Te₃)과 같은 기관 내에 내장되는 펠티어 엘리먼트를 포함할 수 있다. 펠티어 엘리먼트는, 그 내용이 그 전체적으로 참조로 통합되는, "다이 패키지를 위한 열전 냉각(THERMOELECTRIC COOLING FOR DIE PACKAGES)"이라는 명칭으로 2021년 12월 20일자로 출원된 미국 가출원 제63/265,765호에서 설명된 바와 같이, 기관 내에 형성되는 N-도핑된 또는 P-도핑된 영역을 포함할 수 있다. 열 경로(467) 또는 열 전도성 블록은 열전 엘리먼트(403)로부터 다이 적층체의 상단에서의 열 싱크(405)로 열을 소산시킬 수 있다. 마이크로전자 디바이스(400)는 하단 칩(401)으로부터 열적으로 격리되는 몇몇 다른 칩(예컨대, 4001 및 4002)을 더 포함할 수 있다. 열전 엘리먼트(403)는 하단 칩(401), 예컨대, 하단 칩(401) 내의 기관-관통 비아에 접속되는 전기적 접촉부에 의해 급전될 수 있다. 일부 실시예에서, 하단 칩(401)은 기관-관통 비아에 의해 칩(4001) 및/또는 칩(4002)과 전기적으로 통신할 수 있다. 일부 예에서, 열 흐름은 하단 칩(401), 칩(4001), 및 칩(4002) 중 임의의 칩의 중심(들) 또는 내장 부분으로부터, 열을 수직으로 열 싱크(405)로 전환하는 열 경로(467)로 측방으로 보내질 수 있다. 일부 실시예에서, 열전 엘리먼트(403)는 다른 엘리먼트에 직접 하이브리드 본딩될 수 있어서, 전도성 접촉부(들) 및 절연 층은 다른 엘리먼트의 대응하는 전도성 접촉부(들) 및 절연 층에 직접적으로 본딩된다. 다른 실시예에서, 열전 엘리먼트(403)는 직접적인 절연체-대-절연체 본드만으로 다른 엘리먼트에 직접적으로 본딩될 수 있다.

[0014] 도 5는 적층된 칩, 및 디바이스(500)의 하나 또는 다수의 층에서 측방으로 열을 보내는 열전 엘리먼트(5031, 5032, 및 5033)를 가지는 예시적인 마이크로전자 디바이스(500)의 단면도를 개략적으로 예시한다. 열 경로(567) 또는 열 전도성 블록은 열전 엘리먼트(5033)로부터 디바이스(500)의 주변부에서의 열 싱크(505)로 열을 소산시킬 수 있다. 일부 실시예에서, 캐스케이딩된 열전 유닛(5031, 5032, 및 5033)은 (예컨대, 열 싱크(505), 또는 열 확산기에 의한 측로(sideway)/에지(edge) 추출, 또는 노출된 표면에 의한 수직 추출에 의해) 추출되도록 하기 위하여 열을 칩(예컨대, 5011, 5012, 5013, 5014, 또는 5015)의 에지로 항상 소산시킬 수 있다. 일부 실시예에서, 이러한 열전 엘리먼트(5031, 5032, 및 5033)는 열 스폿을 분포/확산/소산시킬 수 있어서, 피크 온도를 감소시킴으로써 디바이스 온도에 대한 열 스폿의 영향을 감소시킬 수 있다. 일부 실시예에서, 이러한 열전 엘리먼트(5031, 5032, 및 5033)는 전체 칩과 비교하여 작은 영역 내에서의 열 관리를 위하여 이용될 수 있고, 예를 들어, 열을 하나의 위치로부터 다른 위치로 운반할 수 있거나, 핫 스폿을 더 넓은 영역으로 분포시키거나 확산시킬 수 있다. 일부 실시예에서, 열전 엘리먼트(5031, 5032, 및 5033)는 다른 엘리먼트에 직접 하이브리드 본딩될 수 있어서, 전도성 접촉부(들) 및 절연 층은 다른 엘리먼트의 대응하는 전도성 접촉부(들) 및 절연 층에 직접적으로 본딩된다. 다른 실시예에서, 열전 엘리먼트(5031, 5032, 및 5033)는 직접적인 절연체-대-절연체 본드만으로 다른 엘리먼트에 직접적으로 본딩될 수 있다.

[0015] 일부 실시예에서는, 핫 스폿을 검출하고 열 지도를 구성하기 위하여 열전 엘리먼트(603)의 다이 또는 파트 내에 구축되는 열 센서(예컨대, 698)로 다이 내의 핫 스폿이 관리될 수 있다. 이러한 실시예에서, 열전 유닛(603)은 열 지도에 기초하여 제어기에 의해 최적화된 바와 같이 특정 방향을 열 흐름을 구동할 수 있기 위하여 다양한

패턴으로 배열될 수 있다. 예를 들어, 열전 유닛(603)은 도 6a 또는 도 6b에서 도시된 바와 같이 그리드(grid)로, 또는 도 6c에서 도시된 바와 같이 방사상으로 배열될 수 있고, 하단 다이에 대하여 측방으로 열을 소산시킬 수 있다. 열전 엘리먼트의 임의의 다른 적합한 균일한/주기적인 또는 비-균일한 분포가 또한 배열될 수 있다. 배열은 예시적인 디바이스로부터 실제적인 열 지도 또는 열 시뮬레이션에 기초할 수 있다. 열전 유닛(603)은 하단 비아 내의 전도성 비아를 통해 급전될 수 있거나, 외부 칩에 의해 별도로 급전될 수 있다. 도 6d는 열전 유닛(603)이 배치되는 웨이퍼의 두께의 방향에 직교하는 평면에서 배열되는 열전 유닛(603)의 평면도를 도시하고, 열전 유닛(603)은 최적화된 위치 제어 및 열 소산을 위한 전기적 접촉부와 연관된다. 일부 실시예에서, 두께는 100 마이크로미터 이하, 또는 바람직하게는 50 마이크로미터 이하이다. 일부 예에서, 도 6d에서 도시된 복수의 열전 유닛(603)은 열전 유닛(603)의 평면 내의 통로를 따라 열을 전달하도록 구성되고, 통로는 평면 내에서 적어도 하나의 턴(turn)을 포함한다. 도 6d에서 (화살표에 의해 표시된 바와 같이) XX 또는 YY 방향을 따라 XY 평면에서 열을 운반하도록 도시되었지만, 열전 유닛은 도 8c에서 도시된 바와 같이, 다른 방향으로 배열될 수 있다.

[0016] 도 7은 이전의 도면 중 임의의 도면과 관련하여 설명된 바와 같이 개시된 디바이스 내의 열전 유닛(703) 및 열 소산을 제어하기 위한 예시적인 제어 회로/제어 로직(700)을 예시한다. 개시된 제어 회로(700)는 열 흐름을 구동하기 위하여 사소한 지연으로 순차적으로 유닛(703)을 턴온(turn on)할 수 있다. 제어 회로(700)는 또한, 일부 예에서 효율적인 열 분포를 위한 (위치 또는 시간에 의한) 임의의 적합한 최적화된 패턴으로 유닛(703)을 활성화할 수 있다. 개시된 제어 회로(700)는 (예컨대, 열전 엘리먼트에 대해 내부적 또는 외부적이거나, 칩 내에 내장되는 열 센서로) 다이의 열 지도를 모니터링할 수 있고, 열전 유닛(703) 또는 쌍의 하나 이상의 그룹 또는 구역을 활성화함으로써 열 흐름을 구동할 수 있고, 하나 이상의 최적의 위치를 향해 열 흐름을 구동함으로써 열 소산/분포를 개선시킬 수 있다. 일부 실시예에서, 모든 열전 유닛(703)은 병렬로 접속될 수 있고, 그러므로, 다이의 상의 상이한 위치에서의 온도 제어는 독립적으로 관리될 수 있다. 일부 실시예에서, 개시된 디바이스는 블록을 형성하기 위하여 병렬로 접속되는 몇몇 열전 엘리먼트(703)의 조합을 포함할 수 있고, 그 다음으로, 몇몇 이러한 블록은 직렬로 접속된다. 다른 실시예에서, 개시된 디바이스는 블록을 형성하기 위하여 직렬로 접속되는 몇몇 열전 엘리먼트(703)의 조합을 포함할 수 있고, 그 다음으로, 몇몇 이러한 블록은 병렬로 접속된다. 열전 엘리먼트(703)의 임의의 적합한 분포 및 조합이 배열될 수 있다. 일부 실시예에서, 별도의 독립적인 제어기 칩은 디바이스 칩 적층체의 일부일 수 있다.

[0017] 도 8a는 (예컨대, 상단 다이(802) 및 하단 다이(801)를 포함하는) 칩 적층체(800A) 내의 적층된 열전 엘리먼트를 예시한다. 열은 측방으로 캐스케이딩된 열전 유닛(803)의 층 상에 적층되는 열전 엘리먼트(8035)의 다른 층을 통해, 화살표에 의해 표시된 바와 같이, 일부 경우에는 상향으로, 예컨대, 극단적인 핫 스팟 주위에서 추출될 수 있다. 도 8b는 측방 및 수직의 둘 모두로 열의 추출을 허용하는 방식으로 배열되는 열전 유닛을 가지는 (예컨대, 상단 다이(802) 및 하단 다이(801)를 포함하는) 칩 적층체(800B)를 예시한다. 예를 들어, 화살표에 의해 표시된 바와 같이, 열을 상향으로(또는 하향으로) 추출할 수 있는 일부 열전 유닛(8035)은 측방으로 캐스케이딩된 열전 유닛(803)의 층 내에 내장될 수 있다. 일부 실시예에서, 개시된 디바이스는 상단 다이(802)로 가는 열을 차폐하기 위한 열 장벽/절연체 층을 더 포함할 수 있다. 일부 실시예에서, 열전 엘리먼트(803 및 8035)는 다른 엘리먼트에 직접 하이브리드 본딩될 수 있어서, 전도성 접촉부(들) 및 절연 층은 다른 엘리먼트의 대응하는 전도성 접촉부(들) 및 절연 층에 직접적으로 본딩된다. 다른 실시예에서, 열전 엘리먼트(803 및 8035)는 직접적인 절연체-대-절연체 본드만으로 다른 엘리먼트에 직접적으로 본딩될 수 있다.

[0018] 전자 엘리먼트

[0019] 반도체 엘리먼트는 예를 들어, 임의의 적합한 유형의 집적된 디바이스 다이(integrated device die)를 포함할 수 있다. 예를 들어, 집적된 디바이스 다이는 (프로세서 다이, 제어기 다이, 또는 메모리 다이와 같은) 집적 회로, 마이크로전기기계 시스템(MEMS : microelectromechanical system) 다이, 광학 디바이스, 또는 임의의 다른 적합한 유형의 디바이스 다이와 같은 전자 컴포넌트를 포함할 수 있다. 일부 실시예에서, 전자 컴포넌트는 커패시터, 인덕터, 또는 다른 표면-장착된 디바이스와 같은 수동 디바이스를 포함할 수 있다. (트랜지스터와 같은 능동 컴포넌트와 같은) 회로부는 다양한 실시예에서 다이의 활성 표면(들)에서 또는 그 근처에서 패턴화될 수 있다. 활성 표면은 다이의 후면과 반대인 다이의 면 상에 있을 수 있다. 후면은 임의의 능동 회로부 또는 수동 디바이스를 포함할 수 있거나 이를 포함하지 않을 수 있다.

[0020] 집적된 디바이스 다이는 본딩 표면, 및 본딩 표면과 반대인 후방 표면을 포함할 수 있다. 본딩 표면은 전도성 본드 패드를 포함하는 복수의 전도성 본드 패드, 및 전도성 본드 패드에 인접한 비전도성 재료를 가질 수 있다. 일부 실시예에서, 집적된 디바이스 다이의 전도성 본드 패드는 중간 접착제 없이 기판 또는 웨이퍼의 대응하는 전도성 패드에 직접적으로 본딩될 수 있고, 집적된 디바이스 다이의 비전도성 재료는 중간 접착제 없이 기판 또

는 웨이퍼의 대응하는 비전도성 재료의 부분에 직접적으로 본딩될 수 있다. 접착제 없이 직접적으로 본딩하는 것은 미국 특허 제7,126,212호; 제8,153,505호; 제7,622,324호; 제7,602,070호; 제8,163,373호; 제8,389,378호; 제7,485,968호; 제8,735,219호; 제9,385,024호; 제9,391,143호; 제9,431,368호; 제9,953,941호; 제9,716,033호; 제9,852,988호; 제10,032,068호; 제10,204,893호; 제10,434,749호; 및 제10,446,532호의 전반에 걸쳐 설명되고, 미국 특허들 각각의 내용은 이로써 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다.

[0021] 직접 본딩 방법 및 직접적으로 본딩된 구조의 예

[0022] 본 명세서에서 개시되는 다양한 실시예는 2개의 엘리먼트가 중간 접착제 없이 서로에 직접적으로 본딩될 수 있는 직접적으로 본딩된 구조에 관한 것이다. (집적된 디바이스 다이, 웨이퍼 등과 같은) 반도체 엘리먼트일 수 있는 2개 이상의 전자 엘리먼트는 본딩된 구조를 형성하기 위하여 서로 상에 적층되거나 서로에 본딩될 수 있다. 하나의 엘리먼트의 전도성 접촉 패드는 또 다른 엘리먼트의 대응하는 전도성 접촉 패드에 전기적으로 접속될 수 있다. 임의의 적합한 수의 엘리먼트가 본딩된 구조 내에 적층될 수 있다. 접촉 패드는 비전도성 본딩 영역 내에 형성되는 금속성 패드를 포함할 수 있고, 재분배 층(RDL)과 같은 아래에 놓인 금속배선(metalization)에 접속될 수 있다.

[0023] 일부 실시예에서, 엘리먼트는 접착제 없이 서로에 직접적으로 본딩된다. 다양한 실시예에서, 제1 엘리먼트의 비전도성 또는 유전체 재료는 접착제 없이 제2 엘리먼트의 대응하는 비전도성 또는 유전체 필드 영역에 직접적으로 본딩될 수 있다. 비전도성 재료는 제1 엘리먼트의 비전도성 본딩 영역 또는 본딩 층으로서 지칭될 수 있다. 일부 실시예에서, 제1 엘리먼트의 비전도성 재료는 유전체-대-유전체 본딩 기법을 이용하여 제2 엘리먼트의 대응하는 비전도성 재료에 직접적으로 본딩될 수 있다. 예를 들어, 유전체-대-유전체 본드는 적어도 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호에서 개시된 직접 본딩 기법을 이용하여 접착제 없이 형성될 수 있고, 미국 특허들 각각의 전체 내용은 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다. 직접 본딩을 위한 적합한 유전체 재료는 실리콘 옥사이드(silicon oxide), 실리콘 나이트라이드(silicon nitride), 또는 실리콘 옥시나이트라이드(silicon oxynitride)와 같은 무기 유전체를 포함하지만, 이것으로 제한되지 않거나, 실리콘 카바이드(silicon carbide), 실리콘 옥시카보나이트라이드(silicon oxycarbonitride), 실리콘 카보나이트라이드(silicon carbonitride), 또는 다이아몬드-유사 카본(diamond-like carbon)과 같은 카본을 포함할 수 있다. 일부 실시예에서, 유전체 재료는 에폭시(epoxy), 수지(resin), 또는 몰딩 재료(molding material)와 같은 폴리머(polymer) 재료를 포함하지 않는다.

[0024] 다양한 실시예에서, 하이브리드 직접 본드는 중간 접착제 없이 형성될 수 있다. 예를 들어, 유전체 본딩 표면은 높은 수준의 평활도(smoothness)로 연마(polish)될 수 있다. 본딩 표면은 세정될 수 있고, 표면을 활성화하기 위하여 플라즈마(plasma) 및/또는 에칭제(etchant)에 노출될 수 있다. 일부 실시예에서, 표면은 활성화 후에 또는 활성화 동안에(예컨대, 플라즈마 및/또는 에치 프로세스 동안에) 종(species)으로 종결될 수 있다. 이론에 의해 제한되지 않으면, 일부 실시예에서, 활성화 프로세스는 본딩 표면에서 화학적 본드를 파괴하도록 수행될 수 있고, 종결 프로세스는 직접 본딩 동안에 본딩 에너지를 개선시키는 본딩 표면에서 추가적인 화학 종(chemical species)을 제공할 수 있다. 일부 실시예에서, 활성화 및 종결은 표면을 활성화하고 종결하기 위하여 동일한 단계에서, 예컨대, 플라즈마 또는 습식 에칭제에서 제공된다. 다른 실시예에서, 본딩 표면은 직접 본딩을 위한 추가적인 종을 제공하기 위하여 별도의 처리에서 종결될 수 있다. 다양한 실시예에서, 종결 종(terminating species)은 질소(nitrogen)를 포함할 수 있다. 추가로, 일부 실시예에서, 본딩 표면은 불소(fluorine)에 노출될 수 있다. 예를 들어, 층 및/또는 본딩 계면 근처에는 하나 또는 다수의 불소 피크(fluorine peak)가 있을 수 있다. 따라서, 직접적으로 본딩된 구조에서, 2개의 유전체 재료 사이의 본딩 계면은 본딩 계면에서 더 높은 질소 함량 및/또는 불소 피크를 갖는 매우 평활한 계면을 포함할 수 있다. 활성화 및/또는 종결 처리의 추가적인 예는 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호의 전반에 걸쳐 발견될 수 있고, 이 미국 특허들 각각의 전체 내용은 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다.

[0025] 다양한 실시예에서, 제1 엘리먼트의 전도성 접촉 패드는 또한, 제2 엘리먼트의 대응하는 전도성 접촉 패드에 직접적으로 본딩될 수 있다. 예를 들어, 하이브리드 직접 본딩 기법은, 위에서 설명된 바와 같이 준비되는 공유적으로 직접 본딩된 유전체-대-유전체 표면을 포함하는 본드 계면을 따라 전도체-대-전도체(conductor-to-conductor) 직접 본드를 제공하기 위하여 이용될 수 있다. 다양한 실시예에서, 전도체-대-전도체(예컨대, 접촉 패드 대 접촉 패드) 직접 본드 및 유전체-대-유전체 하이브리드 본드는 적어도 미국 특허 제9,716,033호 및 제9,852,988호에서 개시되는 직접 본딩 기법을 이용하여 형성될 수 있고, 미국 특허들 각각의 전체 내용은 그 전

체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다.

[0026] 예를 들어, 유전체 본딩 표면이 준비될 수 있고, 위에서 설명된 바와 같이, 중간 접착제 없이 서로에 직접적으로 본딩될 수 있다. (비전도성 유전체 필드 영역에 의해 포위될 수 있는) 전도성 접촉 패드는 또한, 중간 접착제 없이 서로에 직접적으로 본딩될 수 있다. 일부 실시예에서, 개개의 접촉 패드는 유전체 필드 또는 비전도성 본딩 영역의 외장(예컨대, 상부) 표면 아래에서 리세스(recess)될 수 있고, 예를 들어, 30 nm 미만, 20 nm 미만, 15 nm 미만, 또는 10 nm 미만만큼 리세스될 수 있고, 예를 들어, 2 nm 내지 20 nm의 범위에서, 또는 4 nm 내지 10 nm의 범위에서 리세스될 수 있다. 비전도성 본딩 영역은 본 명세서에서 설명된 본딩 도구에서의 일부 실시예에서, 실온에서 접착제 없이 서로에 직접적으로 본딩될 수 있고, 추후에, 본딩된 구조는 어닐링(anneal)될 수 있다. 어닐링은 별도의 장치에서 수행될 수 있다. 어닐링 시에, 접촉 패드는 금속-대-금속 직접 본드를 형성하기 위하여 팽창할 수 있고 서로 접촉할 수 있다. 유익하게도, 캘리포니아 산호세의 Adeia로부터 상업적으로 입수가능한 Direct Bond Interconnect(직접 본드 상호접속) 또는 DBI®와 같은 하이브리드 본딩 기법의 이용은 직접 본드 계면(예컨대, 규칙적인 어레이를 위한 작은 또는 미세한 피치)에 걸쳐 접속된 패드의 높은 밀도를 가능하게 할 수 있다. 일부 실시예에서, 본딩된 엘리먼트 중 하나의 본딩된 엘리먼트의 본딩 표면 내에 내장되는 본딩 패드 또는 전도성 트레이스의 피치는 40 마이크로미터 미만, 또는 10 마이크로미터 미만, 또는 심지어 2 마이크로미터 미만일 수 있다. 일부 애플리케이션에 대해서는, 본딩 패드의 치수 중 하나의 치수에 대한 본딩 패드의 피치의 비율은 5 미만, 또는 3 미만, 그리고 때때로 바람직하게는 2 미만이다. 다른 애플리케이션에서, 본딩된 엘리먼트 중 하나의 본딩된 엘리먼트의 본딩 표면 내에 내장되는 전도성 트레이스의 폭은 0.3 내지 5 마이크로미터(micron) 사이의 범위일 수 있다. 다양한 실시예에서, 접촉 패드 및/또는 트레이스는 구리를 포함할 수 있지만, 다른 금속이 적합할 수 있다.

[0027] 따라서, 직접 본딩 프로세스에서는, 제1 엘리먼트가 중간 접착제 없이 제2 엘리먼트에 직접적으로 본딩될 수 있다. 일부 배열에서, 제1 엘리먼트는 싱글레이팅된 집적된 디바이스 다이(singulated integrated device die)와 같은 싱글레이팅된 엘리먼트를 포함할 수 있다. 다른 배열에서, 제1 엘리먼트는, 싱글레이팅될 때, 복수의 집적된 디바이스 다이를 형성하는 복수의(예컨대, 수십, 수백 이상) 디바이스 영역을 포함하는 캐리어 또는 기판(예컨대, 웨이퍼)을 포함할 수 있다. 본 명세서에서 설명된 실시예에서, 다이 또는 기판이든지 간에, 제1 엘리먼트는 호스트 기판으로 간주될 수 있고, 픽-앤-플레이스(pick-and-place) 또는 로봇 엔드 이펙터(robotic end effector)로부터 제2 엘리먼트를 수납하기 위하여 본딩 도구 내의 지지체 상에 장착된다. 예시된 실시예의 제2 엘리먼트는 다이를 포함한다. 다른 배열에서, 제2 엘리먼트는 캐리어 또는 평판 패널 또는 기판(예컨대, 웨이퍼)을 포함할 수 있다.

[0028] 본 명세서에서 설명된 바와 같이, 제1 엘리먼트 및 제2 엘리먼트는 접착제 없이 서로에 직접적으로 본딩될 수 있고, 이것은 증착 프로세스(deposition process)와는 상이하다. 하나의 애플리케이션에서, 본딩된 구조 내의 제1 엘리먼트의 폭은 제2 엘리먼트의 폭과 유사할 수 있다. 일부 다른 실시예에서, 본딩된 구조 내의 제1 엘리먼트의 폭은 제2 엘리먼트의 폭과는 상이할 수 있다. 본딩된 구조 내의 더 큰 엘리먼트의 폭 또는 면적은 더 작은 엘리먼트의 폭 또는 면적보다 적어도 10% 더 클 수 있다. 제1 엘리먼트 및 제2 엘리먼트는 이에 따라, 비증착된 엘리먼트를 포함할 수 있다. 추가로, 증착된 층과 달리, 직접적으로 본딩된 구조는 나노보이드(nanovoid)가 존재하는 본드 계면을 따라 결함 영역(defect region)을 포함할 수 있다. 나노보이드는 본딩 표면의 활성화(예컨대, 플라즈마에 대한 노출)로 인해 형성될 수 있다. 위에서 설명된 바와 같이, 본드 계면은 활성화 및/또는 최후의 화학적 처리 프로세스로부터의 재료의 집중을 포함할 수 있다. 예를 들어, 활성화를 위하여 질소 플라즈마를 사용하는 실시예에서는, 질소 피크가 본드 계면에서 형성될 수 있다. 예를 들어, 활성화를 위하여 산소 플라즈마를 사용하는 실시예에서는, 산소 피크가 본드 계면에서 형성될 수 있다. 일부 실시예에서, 본드 계면은 실리콘 옥시나이트라이드, 실리콘 옥시카보나이트라이드, 또는 실리콘 카보나이트라이드를 포함할 수 있다. 본 명세서에서 설명된 바와 같이, 직접 본드는 반데르발스 본드(van Der Waals bond)보다 강력한 공유 본드(covalent bond)를 포함할 수 있다. 본딩 층은 또한, 높은 수준의 평활도로 평탄화되는 연마된 표면을 포함할 수 있다. 예를 들어, 본딩 층은 마이크로미터 당 2 nm 제곱평균제곱근(RMS : root mean square) 미만, 또는 마이크로미터 당 1 nm RMS 미만인 표면 거칠기를 가질 수 있다.

[0029] 다양한 실시예에서, 직접 하이브리드 본딩된 구조 내의 접촉 패드 사이의 금속-대-금속 본드는, 전도성 피처 입자(conductive feature grain), 예를 들어, 전도성 피처 상의 구리 입자가 본드 계면에 걸쳐 서로에게 성장하도록 병합될 수 있다. 일부 실시예에서, 구리는 본드 계면에 걸쳐 개선된 구리 확산을 위하여 111 결정 평면을 따라 배향되는 입자를 가질 수 있다. 본드 계면은 본딩된 접촉 패드의 적어도 부분으로 실질적으로 완전히 연장될 수 있어서, 본딩된 접촉 패드에서 또는 그 근처에서의 비전도성 본딩 영역 사이에는 실질적으로 갭(gap)이

없다. 일부 실시예에서, 장벽 층은 (예컨대, 구리를 포함할 수 있는) 접촉 패드의 하부에 제공될 수 있다. 그러나, 다른 실시예에서는, 예를 들어 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합되는 US 2019/0096741에서 설명된 바와 같이, 접촉 패드 하부에 장벽 층이 없을 수 있다.

[0030] 하나의 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는, 제1 방향에서 두께를 가지는 기판; 및 기판 내에 또는 기판 상에 배치되는 적어도 하나의 열전 유닛을 포함하고; 여기서, 열전 유닛은 제1 방향에 직교하는 제2의 측방 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 기판은 반도체 엘리먼트에 직접적으로 본딩된다(예컨대, 직접 하이브리드 본딩됨). 하나의 실시예에서, 기판은 직접 하이브리드 본딩을 위하여 구성되는 표면을 포함한다. 하나의 실시예에서, 기판은 직접 하이브리드 본딩을 위하여 구성되는 반대 표면을 더 포함한다. 하나의 실시예에서, 적어도 하나의 추가적인 열전 유닛은 기판 내에 배치되고, 적어도 하나의 추가적인 열전 유닛은 제2 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열 전도성 플레이트는 적어도 하나의 열전 유닛과 적어도 하나의 추가적인 열전 유닛 사이에 배치된다. 하나의 실시예에서, 열 전도성 플레이트는 전기적으로 절연성이다. 하나의 실시예에서, 적어도 하나의 열전 유닛은 기판 내에 배치된다.

[0031] 하나의 실시예에서, 적어도 하나의 추가적인 열전 유닛은 기판 내에 배치되고, 적어도 하나의 추가적인 열전 유닛은 제1 방향 및 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열 전도성 플레이트는 적어도 하나의 열전 유닛과 적어도 하나의 추가적인 열전 유닛 사이에 배치된다. 하나의 실시예에서, 열 전도성 플레이트는 전기적으로 절연성이다. 하나의 실시예에서, 적어도 하나의 추가적인 열전 유닛은 기판 내에 배치되고, 적어도 하나의 추가적인 열전 유닛은 제1 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열 전도성 플레이트는 적어도 하나의 열전 유닛과 적어도 하나의 추가적인 열전 유닛 사이에 배치된다. 하나의 실시예에서, 열 전도성 플레이트는 전기적으로 절연성이다. 하나의 실시예에서, 두께는 100 마이크론 이하이다. 하나의 실시예에서, 열전 유닛은 또한, 제1 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열전 유닛은 열전 유닛 내의 제1 방향 및/또는 제2 방향의 둘 모두를 따라 전기적 전류를 구동하도록 구성되는 전기적 접촉부 쌍과 연관된다. 하나의 실시예에서, 열전 유닛은 2개의 전기적 접촉부 쌍과 연관되고, 각각의 전기적 접촉부 쌍은 열전 유닛 내의 제1 방향 및 제2 방향 중 하나를 따라 전기적 전류를 구동하도록 구성된다.

[0032] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는, 제1 방향에서 두께를 가지는 기판; 및 기판 내에 또는 기판 상에 배치되는 적어도 하나의 열전 유닛을 포함하고; 여기서, 열전 유닛은 제1 방향에 직교하는 평면에서 방사상으로 열을 전달하도록 구성된다. 하나의 실시예에서, 기판은 반도체 엘리먼트에 직접적으로 본딩된다(예컨대, 직접 하이브리드 본딩됨). 하나의 실시예에서, 기판은 직접 하이브리드 본딩을 위하여 구성되는 표면을 포함한다. 하나의 실시예에서, 기판은 직접 하이브리드 본딩을 위하여 구성되는 반대 표면을 더 포함한다. 하나의 실시예에서, 두께는 100 마이크론 이하이다. 하나의 실시예에서, 적어도 하나의 추가적인 열전 유닛은 기판 내에 배치되고, 적어도 하나의 추가적인 열전 유닛은 제1 방향을 따라, 제1 방향에 직교하는 제2 방향을 따라, 또는 제1 방향 및 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열 전도성 구조는 적어도 하나의 열전 유닛과 적어도 하나의 추가적인 열전 유닛 사이에 배치된다. 하나의 실시예에서, 열 전도성 구조는 전기적으로 절연성이다. 하나의 실시예에서, 적어도 하나의 열전 유닛은 기판 내에 배치된다.

[0033] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는 하부 반도체 엘리먼트; 반도체 엘리먼트 상에 배치되는 기판 - 기판은 제1 방향에 두께를 가짐 -; 및 기판 내에 또는 기판 상에 배치되는 적어도 하나의 열전 유닛을 포함하고; 여기서, 열전 유닛은 제1 방향에 직교하는 적어도 제2 방향을 따라 측방으로 열을 전달하도록 구성된다. 하나의 실시예에서, 복수의 열전 유닛은 제1 방향에 직교하는 평면 내의 통로를 따라 열을 전달하도록 구성되고, 통로는 평면 내에서 적어도 하나의 턴을 포함한다. 하나의 실시예에서, 열전 유닛은 제2 방향을 따라 양방향으로 열을 전달하도록 구성된다. 하나의 실시예에서, 열전 유닛은 제1 방향에 직교하는 평면에서 방사상으로 열을 전달하도록 구성된다. 하나의 실시예에서, 열전 유닛은 제1 방향 및 제2 방향에 대해 비-평행한 제3 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 기판은 접착제 없이 반도체 엘리먼트에 직접적으로 본딩된다. 하나의 실시예에서, 반도체 엘리먼트는 실리콘(silicon), 세라믹(ceramic), 실리콘 카바이드(Silicon Carbide), 갈륨 나이트라이드(Gallium Nitride), 또는 유리를 포함한다. 하나의 실시예에서, 반도체 엘리먼트는 능동 회로부를 가지지 않는다. 하나의 실시예에서, 적어도 하나의 열전 유닛은 기판 내에 배치된다.

[0034] 하나의 실시예에서, 반도체 엘리먼트는 능동 회로부를 가지는 집적된 디바이스 다이를 포함한다. 하나의 실시예

에서, 반도체 엘리먼트와 기관 사이의 계면은 전도체-대-전도체 직접 본드를 포함한다. 하나의 실시예에서, 반도체 엘리먼트와 기관 사이의 계면은 비-전도체 대 비-전도체 직접 본드를 더 포함한다. 하나의 실시예에서, 열 싱크는 적어도 기관 상부에 배치된다. 하나의 실시예에서는, 열전 유닛의 동작 동안에 기관으로부터 열 싱크로 열이 소산된다. 하나의 실시예에서, 열 전도성 엘리먼트는 기관과 열 싱크 사이에 배치된다. 하나의 실시예에서, 열 전도성 엘리먼트는 능동 회로부를 가지지 않는다. 하나의 실시예에서, 열 전도성 엘리먼트는 실리콘 또는 세라믹을 포함한다. 하나의 실시예에서, 기관은 접착제 없이 열 전도성 엘리먼트에 직접적으로 본딩된다. 하나의 실시예에서, 기관과 열 전도성 엘리먼트 사이의 계면은 유전체-대-유전체 직접 본드를 포함한다. 하나의 실시예에서는, 열전 유닛의 동작 동안에 열 전도성 엘리먼트를 통해 기관으로부터 열 싱크로 열이 소산된다.

[0035] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는 제1 집적된 디바이스 다이; 제1 집적된 디바이스 다이 상에 배치되는 기관; 기관 내에 또는 기관 상에 배치되는 적어도 하나의 열전 유닛; 및 기관 상에 배치되는 제2 집적된 디바이스 다이를 포함하고; 여기서, 열전 유닛은 제1 집적된 디바이스 다이 및 제2 집적된 디바이스 다이 중의 적어도 하나로부터 측방으로 열을 전달한다. 하나의 실시예에서, 기관은 제1 방향에서 두께를 가지고, 여기서, 열전 유닛은 제1 방향에 직교하는 적어도 제2 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 열전 유닛은 제1 집적된 디바이스 다이 내의 기관-관통 비아와 전기적으로 접속되어, 열전 유닛은 제1 집적된 디바이스 다이에 의해 제어된다. 하나의 실시예에서, 기관은 접착제 없이 제1 집적된 디바이스 다이에 직접적으로 본딩된다. 하나의 실시예에서, 제2 집적된 디바이스 다이는 접착제 없이 기관에 직접적으로 본딩된다. 하나의 실시예에서, 열 싱크는 적어도 기관 상부에 배치된다. 하나의 실시예에서, 열 전도성 엘리먼트는 기관과 열 싱크 사이에 배치된다. 하나의 실시예에서, 열전 유닛은 제1 집적된 디바이스다이 및 제2 집적된 디바이스 다이로부터, 열을 열 싱크로 수직으로 전달하는 열 경로로 측방으로 열을 전달한다. 하나의 실시예에서, 제3 집적된 디바이스 다이는 기관 상에 배치된다. 하나의 실시예에서, 제2 집적된 디바이스 다이 또는 제3 집적된 디바이스 다이는 적어도 하나의 열전 유닛에 전기적으로 접속된다. 하나의 실시예에서, 제1 집적된 디바이스 다이 및 제2 집적된 디바이스 다이는 기관-관통 비아를 통해 전기적으로 통신한다. 하나의 실시예에서, 적어도 하나의 열전 유닛은 기관 내에 배치된다.

[0036] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는 반도체 엘리먼트; 반도체 엘리먼트 상에 배치되는 기관 - 기관은 제1 방향에서 두께를 가짐 -; 및 기관 내에 배치되는 복수의 열전 유닛을 포함하고; 여기서, 열전 유닛의 제1 부분은 제1 방향을 따라 열을 전달하도록 구성되고, 열전 유닛의 제2 부분은 제1 방향에 직교하는 제2 방향을 따라 측방으로 열을 전달하도록 구성된다. 하나의 실시예에서, 열전 유닛의 제1 부분은 열전 유닛의 제2 부분 상에 배치된다. 하나의 실시예에서, 열전 유닛의 제1 부분 및 제2 부분의 둘 모두는 반도체 엘리먼트 상에 배치된다. 하나의 실시예에서, 열전 유닛은 반도체 엘리먼트 내의 기관-관통 비아와 전기적으로 접속된다. 하나의 실시예에서, 기관은 접착제 없이 반도체 엘리먼트에 직접적으로 본딩된다. 하나의 실시예에서, 열전 유닛은 반도체 엘리먼트 내의 기관-관통 비아와 전기적으로 접속된다.

[0037] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는 반도체 엘리먼트; 반도체 엘리먼트 상에 배치되는 기관; 기관 내에 배치되는 복수의 열전 유닛; 및 반도체 엘리먼트에서 국소적 온도를 검출하도록 구성되는 복수의 온도 센서를 포함한다. 하나의 실시예에서, 복수의 열전 유닛은 기관의 두께를 따르는 방향에 직교하는 평면 내의 통로를 따라 열을 전달하도록 구성되고, 통로는 평면 내에서 적어도 하나의 턴을 포함한다. 하나의 실시예에서, 열전 유닛은 국소적 핫 스폿으로부터 멀어지도록 열을 전달하도록 구성된다. 하나의 실시예에서, 기관은 제1 방향에서 두께를 가지고, 여기서, 열전 유닛은 제1 방향에 직교하는 제2 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 복수의 온도 센서는 반도체 엘리먼트 또는 기관 내에 배치된다. 하나의 실시예에서, 마이크로전자 디바이스는 복수의 전기적 접촉부 쌍을 더 포함하고, 각각의 전기적 접촉부 쌍은 복수의 열전 유닛의 부분을 독립적으로 제어한다. 하나의 실시예에서, 열전 유닛은 반도체 엘리먼트, 기관, 또는 외부 칩에 의해 작동된다.

[0038] 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것으로, 마이크로전자 디바이스는 반도체 엘리먼트; 반도체 엘리먼트 상에 배치되는 기관; 및 기관 내에 배치되는 복수의 열전 유닛을 포함하고, 여기서, 기관은 복수의 열전 유닛의 서브그룹을 독립적으로 제어함으로써 반도체 엘리먼트를 냉각하는 구역화된 제어를 위하여 구성된다. 하나의 실시예에서, 기관은 제1 방향에서 두께를 가지고, 여기서, 열전 유닛은 제1 방향에 직교하는 제2 방향을 따라 열을 전달하도록 구성된다. 하나의 실시예에서, 복수의 온도 센서는 반도체 엘리먼트 또는 기관 내에 배치되고, 여기서, 각각의 온도 센서는 열전 유닛의 부분을 작동시키기 위한 전기적 접촉부와 연관된다. 하나의 실시예에서, 마이크로전자 디바이스는 복수의 전기적 접촉부 쌍을 더 포함하고, 각각의 전기적 접촉

부 쌍은 열전 유닛의 부분을 독립적으로 제어한다. 하나의 실시예에서, 열전 유닛은 반도체 엘리먼트, 기관, 또는 외부 칩에 의해 작동된다.

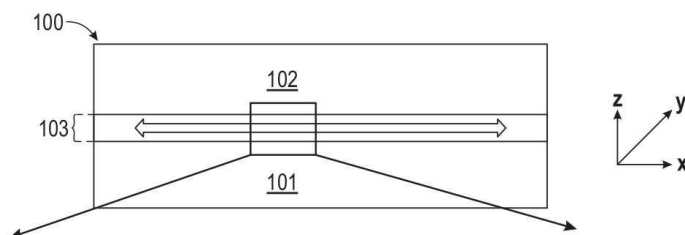
[0039] 문맥이 명백하게 이와 다르게 요구하지 않으면, 설명 및 청구항의 전반에 걸쳐, 단어 "포함한다(comprise)", "포함하는(comprising)", "포함한다(include)", "포함하는(including)", 등은 배타적이거나 철저한 의미와는 반대로, 포괄적 의미; 즉, "포함하지만, 이것으로 제한되지 않는"의 의미로 해석되어야 한다. 본 명세서에서 일반적으로 이용된 바와 같은 단어 "결합된(coupled)"은, 직접적으로 접속될 수 있거나, 하나 이상의 중간 엘리먼트를 통해 접속될 수 있는 2개 이상의 엘리먼트를 지칭한다. 마찬가지로, 본 명세서에서 일반적으로 이용된 바와 같은 단어 "접속된(connected)"은, 직접적으로 접속될 수 있거나, 하나 이상의 중간 엘리먼트를 통해 접속될 수 있는 2개 이상의 엘리먼트를 지칭한다. 추가적으로, 단어 "본 명세서에서(herein)", "위에서(above)", "이하에서(below)" 및 유사한 중요성의 단어는 이 출원에서 이용될 때, 이 출원의 임의의 특정한 부분이 아니라, 전체로서의 이 출원을 지칭할 것이다. 또한, 본 명세서에서 이용된 바와 같이, 제1 엘리먼트가 제2 엘리먼트 "상" 또는 "상부"에 있는 것으로서 설명될 때, 제1 엘리먼트는 직접적으로 제2 엘리먼트 상에 또는 그 상부에 있을 수 있어서, 제1 엘리먼트 및 제2 엘리먼트가 직접적으로 접촉하거나, 제1 엘리먼트 및 제2 엘리먼트 사이에 하나 이상의 엘리먼트가 개재되도록, 제1 엘리먼트가 간접적으로 제2 엘리먼트 상에 또는 그 상부에 있을 수 있다. 문맥이 허용할 경우, 단수 또는 복수를 이용하는 위의 상세한 설명에서의 단어는 각각 복수 또는 단수를 또한 포함할 수 있다. 2개 이상의 항목의 리스트를 참조하는 단어 "또는(or)"은, 그 단어가 단어의 다음의 해독의 전부를 포괄한다: 리스트에서의 항목 중의 임의의 것, 리스트에서의 항목의 전부, 및 리스트에서의 항목의 임의의 조합.

[0040] 또한, 그 중에서도, "할 수 있다(can)", "할 수 있었다(could)", "할 수 있었다(might)", "할 수 있다(may)", "등(e.g.)", "예를 들어(for example)", "~과 같은(such as)" 등과 같은 본 명세서에서 이용된 조건적 언어는, 이와 다르게 구체적으로 기재되지 않거나, 이용된 바와 같은 문맥 내에서 이와 다르게 이해되지 않으면, 어떤 실시예가 어떤 특징부, 엘리먼트, 및/또는 상태를 포함하는 반면, 다른 실시예는 어떤 특징부, 엘리먼트, 및/또는 상태를 포함하지 않는다는 것을 전달하도록 일반적으로 의도된다. 따라서, 이러한 조건적 언어는 특징, 엘리먼트, 및/또는 상태가 하나 이상의 실시예를 위하여 여하튼 요구된다는 것을 암시하도록 일반적으로 의도되지 않는다.

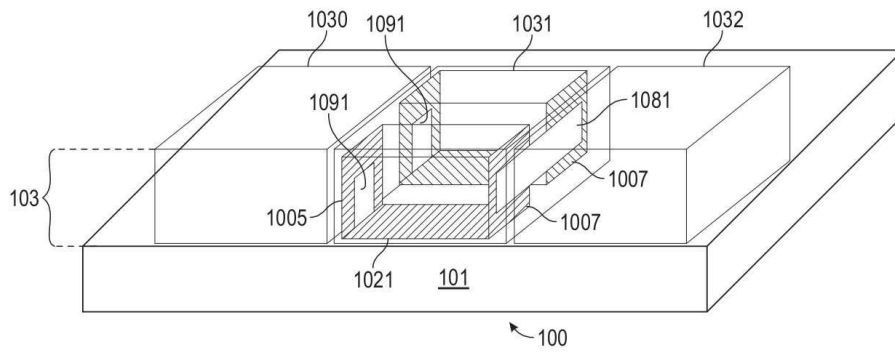
[0041] 어떤 실시예가 설명되었지만, 이 실시예는 오직 예로서 제시되었고, 개시내용의 범위를 제한하도록 의도되지는 않는다. 실제로, 본 명세서에서 설명된 신규한 장치, 방법, 및 시스템은 다양한 다른 형태로 구체화될 수 있고; 또한, 본 명세서에서 설명된 방법 및 시스템의 형태에서의 다양한 생략, 치환, 및 변화는 개시내용의 사상으로부터 이탈하지 않으면서 행해질 수 있다. 예를 들어, 블록은 주어진 배열로 제시되지만, 대안적인 실시예는 상이한 컴포넌트들 및/또는 회로 토폴로지로서 유사한 기능성을 수행할 수 있고, 일부 블록은 삭제될 수 있고, 이동될 수 있고, 추가될 수 있고, 하위분할될 수 있고, 조합될 수 있고, 및/또는 수정될 수 있다. 이 블록 각각은 다양한 상이한 방법으로 구현될 수 있다. 위에서 설명된 다양한 실시예의 엘리먼트 및 액트(act)의 임의의 적합한 조합은 추가의 실시예를 제공하도록 조합될 수 있다. 첨부 청구항 및 그 등가물은 개시내용의 범위 및 사상 내에 속하는 바와 같은 이러한 형태 또는 변형을 포괄하도록 의도된다.

도면

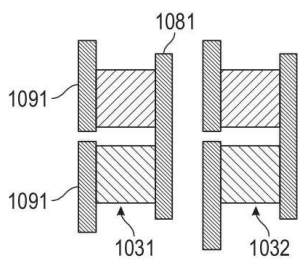
도면1a



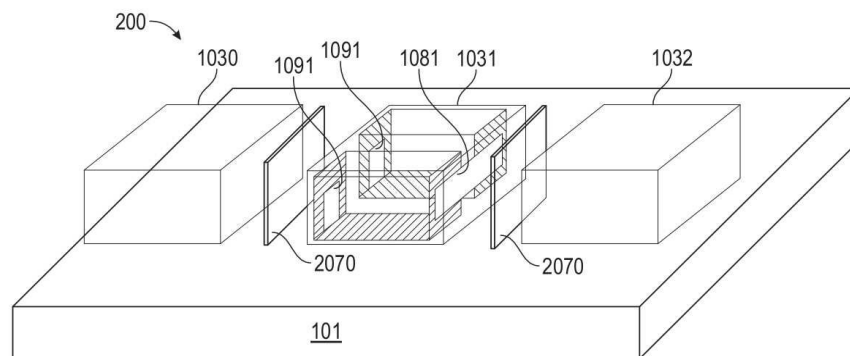
도면1b



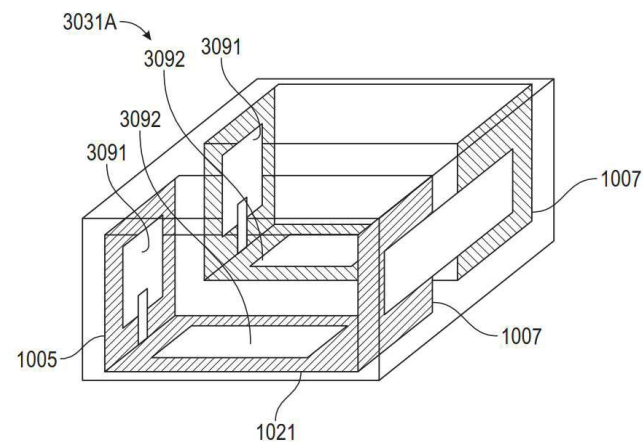
도면1c



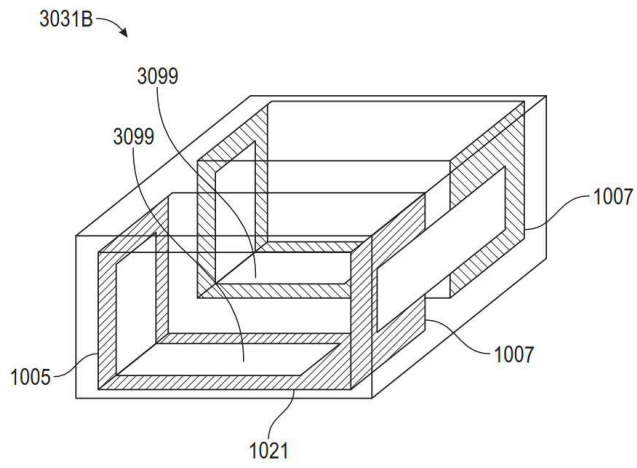
도면2



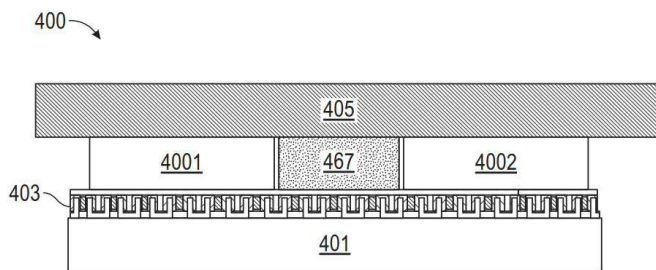
도면3a



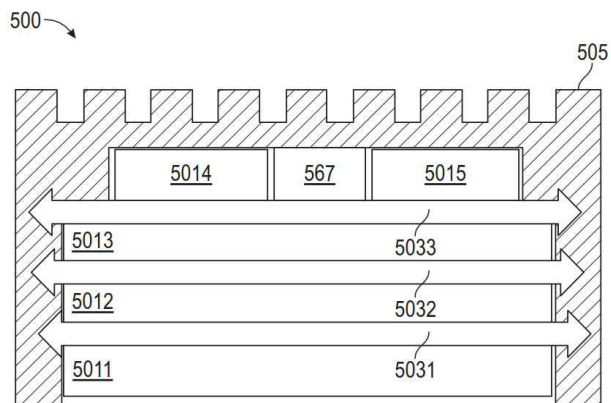
도면3b



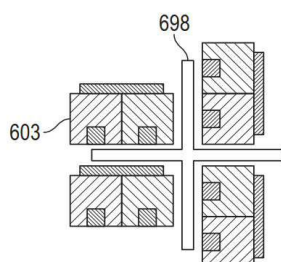
도면4



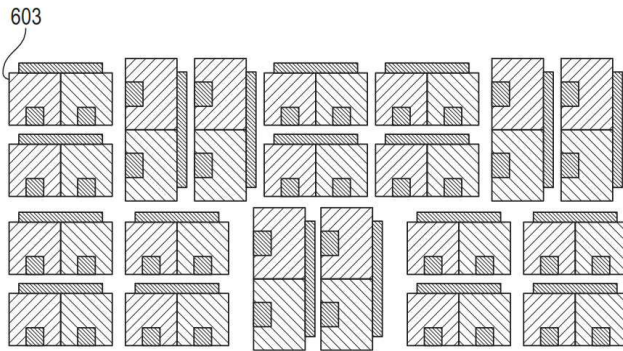
도면5



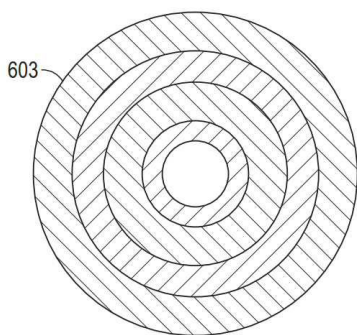
도면6a



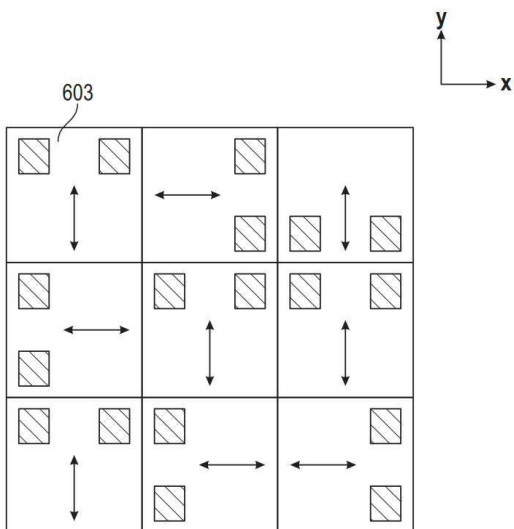
도면6b



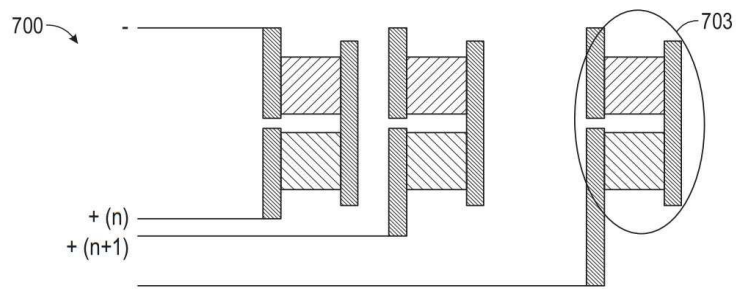
도면6c



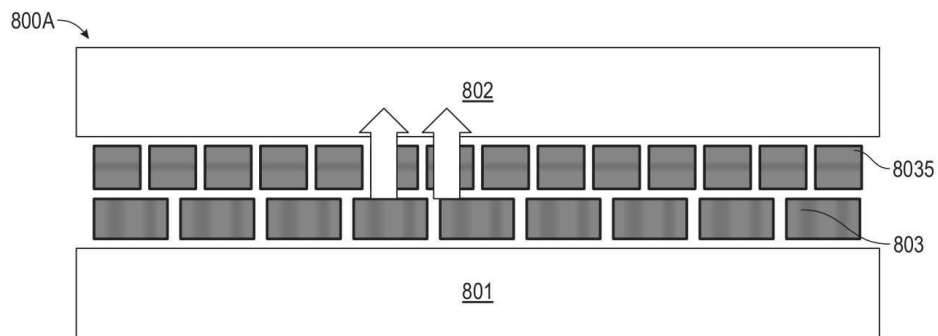
도면6d



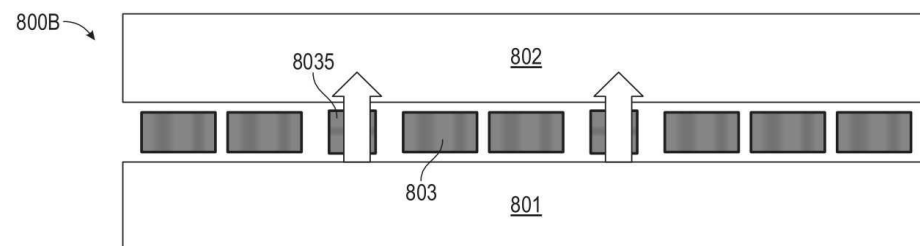
도면7



도면8a



도면8b



도면8c

