

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成22年8月5日 (2010.8.5)

【公表番号】特表2007-538468(P2007-538468A)  
 【公表日】平成19年12月27日 (2007.12.27)  
 【年通号数】公開・登録公報2007-050  
 【出願番号】特願2007-527274(P2007-527274)  
 【国際特許分類】

H 0 3 L 7/081 (2006.01)  
 H 0 3 L 7/085 (2006.01)  
 H 0 3 K 5/26 (2006.01)  
 H 0 3 K 5/13 (2006.01)  
 G 0 6 F 1/12 (2006.01)

【 F I 】

H 0 3 L 7/08 J  
 H 0 3 L 7/08 A  
 H 0 3 K 5/26 P  
 H 0 3 K 5/26 G  
 H 0 3 K 5/13  
 G 0 6 F 1/04 3 4 0 A

【手続補正書】  
 【提出日】平成22年6月17日 (2010.6.17)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

遅延ライン(38)に、リファレンスクロック(C l k R E F)を入力として与える工程と、前記リファレンスクロックを用いて前記遅延ラインの出力に出力クロック(C l k o u t)を生成する工程と、前記出力クロックからフィードバッククロック(C l k F B)を生成する工程とを含む方法において、

前記フィードバッククロックから、前記フィードバッククロックに対して遅延量が変化する第 1 遅延フィードバッククロック(F B 1)と、前記第 1 遅延フィードバッククロックに対して遅延量が一定の第 2 遅延フィードバッククロック(F B 2)とを得る工程と、

前記リファレンスクロック、前記第 1 遅延フィードバッククロック及び前記第 2 遅延フィードバッククロックの位相の間の関係に基づいて、前記遅延ラインの遅延を調整する工程とを含むことを特徴とする方法。

【請求項 2】

前記第 1 遅延フィードバッククロック及び前記第 2 遅延フィードバッククロックを得る工程は、

第 1 可変遅延(82)で前記フィードバッククロックを遅延させて、前記第 1 遅延フィードバッククロックを得る工程と、

第 2 固定遅延(56)で前記フィードバッククロックを遅延させて、前記第 2 遅延フィードバッククロックを得る工程とを含む、請求項 1 の方法。

【請求項 3】

第 3 遅延(58)で前記リファレンスクロックを遅延させて、遅延リファレンスクロック(

C l k R E F d)を得る工程を更に含んでおり、

前記遅延ラインの遅延を調整する工程は、前記遅延リファレンスクロック、前記第1遅延フィードバッククロック及び前記第2遅延フィードバッククロックの位相の間の関係に基づいて、前記遅延ラインの遅延を調整する工程を含む、請求項2の方法。

【請求項4】

前記第3遅延の量は、前記第2遅延の半分である、請求項3の方法。

【請求項5】

前記遅延リファレンスクロックの立ち上がりエッジで前記第1遅延フィードバッククロックをサンプリングして、第1ロジック値を生成する工程(62)と、

前記遅延リファレンスクロックの立ち上がりエッジで前記第2遅延フィードバッククロックをサンプリングして、第2ロジック値を生成する工程(60)と、

前記第1ロジック値と前記第2ロジック値の両方がバイナリ「1」である間、前記遅延ラインの初期化の際に、前記第1遅延を前記フィードバッククロックに与える工程(66)とを更に含む、請求項3の方法。

【請求項6】

前記第1ロジック値がなおバイナリ「1」である一方で、前記第2ロジック値がバイナリ「0」に最初に至ると、前記第1遅延を前記フィードバッククロックに与えることをやめる工程を更に含む、請求項5の方法。

【請求項7】

前記第1ロジック値と前記第2ロジック値の両方がバイナリ「1」である間、前記遅延ラインの初期化の際に、前記遅延ラインの遅延を第1の向きに調整する工程を更に含む、請求項5の方法。

【請求項8】

前記第1ロジック値がなおバイナリ「1」である一方で、前記第2ロジック値がバイナリ「0」に最初に至ると、前記遅延ラインの遅延を前記第1の向きに調整することをやめる工程を更に含む、請求項7の方法。

【請求項9】

リファレンスクロック(C l k R E F)を受信して、それから出力クロック(C l k o u t)を生成する遅延ライン(38)と、前記出力クロックからフィードバッククロック(C l k F B)を生成する入出力モデル(44)と、前記遅延ラインと結合しており、前記フィードバッククロック及び前記リファレンスクロックを受信する位相検出器(40)とを具える同期回路において、

前記位相検出器は、前記フィードバッククロックから、前記フィードバッククロックに対して遅延量が変化する第1遅延フィードバッククロック(F B 1)と、前記第1遅延フィードバッククロックに対して遅延量が一定の第2遅延フィードバッククロック(F B 2)とを生成し、

前記位相検出器は、更に、前記リファレンスクロック、前記第1遅延フィードバッククロック及び前記第2遅延フィードバッククロックの位相の間の関係に基づいて、前記遅延ラインの遅延を調整するように構成されていることを特徴とする同期回路。

【請求項10】

前記位相検出器は、

前記フィードバッククロックに第1遅延を与えて、それにより前記第1遅延フィードバッククロックを生成する第1遅延ユニット(82)と、

前記第1遅延フィードバッククロックに第2遅延を与えて、それにより前記第2遅延フィードバッククロックを生成する第2遅延ユニット(56)とを含む、請求項9の回路。

【請求項11】

前記位相検出器は、前記リファレンスクロックに遅延を与えて、遅延リファレンスクロック(C l k R E F d)を得る第3遅延ユニット(58)を更に具えており、

前記位相検出器は、前記遅延リファレンスクロック、前記第1遅延フィードバッククロック及び前記第2遅延フィードバッククロックの位相の間の関係に基づいて、前記遅延ラ

インの遅延を調整するように構成されている、請求項 10 の回路。

【請求項 12】

前記第 3 遅延の量は、前記第 2 遅延の量の半分である、請求項 11 の回路。

【請求項 13】

前記位相検出器は、

前記第 1 遅延フィードバッククロックをその立ち上がりエッジでサンプリングして、第 1 ロジック値を生成する第 1 サンプラ回路(62)と、

前記第 2 遅延フィードバッククロックをその立ち上がりエッジでサンプリングして、第 2 ロジック値を生成する第 2 サンプラ回路(60)と、

前記第 1 ロジック値と前記第 2 ロジック値の両方がバイナリ「1」である間、前記同期回路の初期化の際に、前記第 1 遅延を前記フィードバッククロックに与える制御ユニット(66)とを含む、請求項 9 の回路。

【請求項 14】

前記制御ユニットは、前記第 1 ロジック値がなおバイナリ「1」である一方で、前記第 2 ロジック値が最初にバイナリ「0」になると、前記フィードバッククロックに前記第 1 遅延を与えることをやめる、請求項 13 の回路。

【請求項 15】

前記制御ユニットは、前記第 1 ロジック値と前記第 2 ロジック値がバイナリ「1」である間、前記同期回路の初期化の際に、前記遅延ラインの遅延を調整するように構成されている、請求項 13 の回路。

【請求項 16】

前記制御ユニットは、前記第 1 ロジック値がなおバイナリ「1」である一方で、前記第 2 ロジック値が最初にバイナリ「0」になると、前記遅延ラインの遅延の調整を中止するように構成されている、請求項 15 の回路。