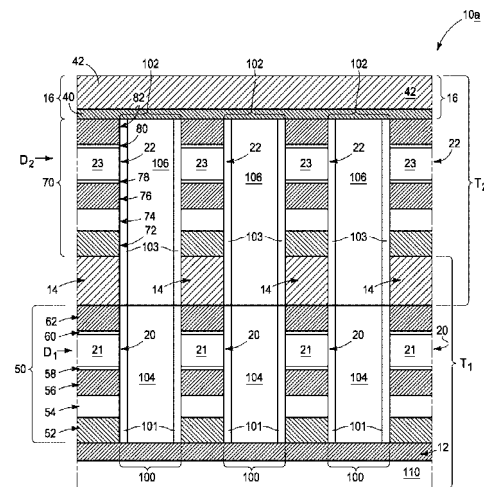




【特許請求の範囲】

【請求項 1】

半導体構造を形成する方法であって、

第 1 のカルコゲニドを含む第 1 のメモリセルを含む相変化メモリを備えた第 1 のメモリアレイデッキを形成することであって、前記第 1 のメモリセルは第 1 の誘電体材料によって互いに横方向に離間されている、ことと、

前記第 1 のメモリアレイデッキ上に第 2 のメモリアレイデッキを形成することであって、前記第 2 のメモリアレイデッキは、成分及び厚さのうちの一方又は双方において前記第 1 のカルコゲニドとは異なる第 2 のカルコゲニドを含む第 2 のメモリセルを含み、前記第 2 のメモリセルは、第 2 の誘電体材料によって互いに分離されており、前記第 1 及び第 2 の誘電体材料は、異なる材料及び異なる材料厚さの中から選択された 1 つ以上の構造パラメータにおいて互いに異なっている、ことと、

を含む方法。

【請求項 2】

前記第 1 のメモリアレイデッキは、前記第 2 のメモリアレイデッキとは異なるアクセス時間を有する、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のメモリアレイデッキは、前記第 2 のメモリアレイデッキとは異なる耐久性を有する、請求項 1 に記載の方法。

【請求項 4】

前記第 2 のメモリアレイデッキは、前記第 1 のメモリアレイデッキよりも速いアクセス時間を有し、前記第 1 のメモリアレイデッキは、前記第 2 のメモリアレイデッキよりも大きな耐久性を有する、請求項 1 に記載の方法。

【請求項 5】

前記第 1 及び第 2 のメモリアレイデッキ間で共有されるアクセス／センス線のセットを形成することを更に含む、請求項 1 に記載の方法。

【請求項 6】

前記第 1 のメモリアレイデッキは、前記第 2 のメモリアレイデッキよりも少なくとも約 10 倍以上のサイクル時間の耐久性を有する、請求項 1 に記載の方法。

【請求項 7】

前記第 1 のメモリアレイデッキは、前記相変化メモリのプログラマブル材料として、ゲルマニウム含有カルコゲニドを含む、請求項 1 に記載の方法。

【請求項 8】

前記第 1 の誘電体材料は、メモリセルの側壁に沿った第 1 の絶縁材料ライナーを含み、
前記第 2 の誘電体材料は、メモリセルの側壁に沿った第 2 の絶縁材料ライナーを含み、
前記第 1 の絶縁材料ライナーは、前記第 2 の絶縁材料ライナーとは異なる厚さである、
請求項 7 に記載の方法。

【請求項 9】

前記第 2 のメモリアレイデッキ上にメタライゼーションを形成して、前記第 2 のメモリアレイデッキの回路を前記第 2 のメモリアレイデッキの周辺の回路と結合すること、を更に含む、請求項 1 に記載の方法。

【請求項 10】

半導体構造を形成する方法であって、

第 1 のメモリアレイデッキを形成することと、

前記第 1 のメモリアレイデッキ上に第 2 のメモリアレイデッキを形成することであって、前記第 2 のメモリアレイデッキは、材料の厚さにおいて前記第 1 のメモリアレイデッキとは異なる、ことと、

を含み、

前記第 1 のメモリアレイデッキを形成することは、断面に沿って第 1 の誘電体領域によって互いに横方向に離間された第 1 のメモリセルを形成することを含み、

前記第 2 のメモリアレイデッキを形成することは、前記断面に沿って第 2 の誘電体領域によって互いに横方向に離間された第 2 のメモリセルを形成することを含み、前記第 2 の誘電体領域は前記第 1 の誘電体領域とは異なる材料厚さを有する、方法。

【請求項 1 1】

前記第 1 のメモリセルは第 1 のプログラマブル材料を含み、
前記第 2 のメモリセルは第 2 のプログラマブル材料を含み、
前記第 1 のプログラマブル材料は前記第 2 のプログラマブル材料とは異なる厚さである、請求項 1 0 に記載の方法。

【請求項 1 2】

前記第 1 のメモリセルは第 1 のプログラマブル材料を含み、
前記第 2 のメモリセルは、前記第 2 のメモリセルの内部に第 2 のプログラマブル材料を含み、
前記第 1 のプログラマブル材料は前記第 2 のプログラマブル材料とは異なる成分である、請求項 1 0 に記載の方法。

【請求項 1 3】

前記第 1 の誘電体領域は、前記第 1 のメモリセルの側壁に沿った第 1 の絶縁材料ライナーを含み、
前記第 2 の誘電体領域は、前記第 2 のメモリセルの側壁に沿った第 2 の絶縁材料ライナーを含み、
前記第 1 の絶縁材料ライナーは前記第 2 の絶縁材料ライナーとは異なる厚さである、請求項 1 0 に記載の方法。

【請求項 1 4】

前記第 1 の誘電体領域は、前記第 1 のメモリセルの側壁に沿った第 1 の絶縁材料ライナーを含み、
前記第 2 の誘電体領域は、前記第 2 のメモリセルの側壁に沿った第 2 の絶縁材料ライナーを含み、
前記第 1 の絶縁材料ライナーは前記第 2 の絶縁材料ライナーとは異なる成分である、請求項 1 0 に記載の方法。

【請求項 1 5】

前記第 1 の誘電体領域は、前記第 1 のメモリセルの側壁に沿った第 1 の絶縁材料ライナーを含み、
前記第 1 の誘電体領域は、前記第 1 の絶縁材料ライナー間に第 1 の絶縁体を含み、
前記第 2 の誘電体領域は、前記第 2 のメモリセルの側壁に沿った第 2 の絶縁材料ライナーを含み、
前記第 2 の誘電体領域は、前記第 2 の絶縁材料ライナー間に第 2 の絶縁体を含み、
前記第 2 の絶縁体は前記第 1 の絶縁体とは異なる成分である、請求項 1 0 に記載の方法。

【請求項 1 6】

前記第 1 及び第 2 のメモリアレイデッキ間で共有されるアクセス／センス線のセットを形成することを更に含む、請求項 1 0 に記載の方法。

【請求項 1 7】

半導体構造を形成する方法であって、
第 1 の方向に沿って延在する第 1 のアクセス／センス線セットを形成することと、
前記第 1 のアクセス／センス線セット上に、前記第 1 の方向と交差する第 2 の方向に沿って延在する第 2 のアクセス／センス線セットを形成することと、
前記第 1 及び第 2 のアクセス／センス線セット間に第 1 のメモリセルを形成することであって、前記第 1 のメモリセルは、第 1 の相変化材料を含み、かつ、断面に沿って第 1 の誘電体領域によって互いに横方向に離間される、ことと、
前記第 2 のアクセス／センス線セット上に、前記第 1 の方向に沿って延在する第 3 のアクセス／センス線セットを形成することと、

前記第 2 及び第 3 のアクセス／センス線セット間に第 2 のメモリセルを形成することであって、前記第 2 のメモリセルは、第 2 の相変化材料を含み、かつ、前記断面に沿って第 2 の誘電体領域によって互いに横方向に離間されており、前記第 2 の誘電体領域は、異なる材料及び異なる材料厚さの中から選択された 1 つ以上の構造パラメータによって、前記第 1 の誘電体領域とは異なる、ことと、

を含む方法。

【請求項 18】

前記第 1 の誘電体領域は、前記第 1 のメモリセルの側壁に沿った第 1 の絶縁材料ライナーを含み、

前記第 2 の誘電体領域は、前記第 2 のメモリセルの側壁に沿った第 2 の絶縁材料ライナーを含み、

前記第 1 の絶縁材料ライナーは前記第 2 の絶縁材料ライナーとは異なる厚さである、請求項 17 に記載の方法。

【請求項 19】

前記第 2 のアクセス／センス線セットは単一の材料で形成され、前記第 3 のアクセス／センス線セットは複数の材料で形成される、請求項 17 に記載の方法。

【請求項 20】

前記単一の材料は金属であり、前記複数の材料は前記金属及び低抵抗材料を含む、請求項 19 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造（積層メモリアレイを含む半導体構造）を形成する方法に関する。

【背景技術】

【0002】

メモリは集積回路の一種であり、データを格納するためにシステムにおいて用いられる。通常、メモリは、個々のメモリセルのアレイを 1 つ以上用いて製造される。メモリセルは、少なくとも 2 つの異なる選択可能な状態で情報を保持または格納するように構成される。当該状態は、二進法では「0」または「1」と考えられる。他の進法では、少なくともいくつかの個々のメモリセルは、3 つ以上のレベルまたは状態の情報を格納するように構成される場合がある。

【0003】

集積回路の製造においては、より小さな、かつ、より高密度な集積回路を作る努力が続けられている。したがって、三次元クロスポイントメモリがかなりの関心を集めている。例えば、三次元クロスポイントメモリセルには、メモリビットを格納するのに適した 2 状態材料である相転移材料（相変化材料）（例えばカルコゲニド）が用いられる場合がある。

【0004】

改良されたメモリアレイを開発すること、及びメモリアレイ製作のより良い方法を考え出すことが望ましい。

【発明の概要】

【0005】

本発明の一態様に係る、半導体構造を形成する方法は、第 1 のカルコゲニドを含む第 1 のメモリセルを含む相変化メモリを備えた第 1 のメモリアレイデッキを形成することであって、前記第 1 のメモリセルは第 1 の誘電体材料によって互いに横方向に離間されている、ことと、前記第 1 のメモリアレイデッキ上に第 2 のメモリアレイデッキを形成することであって、前記第 2 のメモリアレイデッキは、成分及び厚さのうちの一方又は双方において前記第 1 のカルコゲニドとは異なる第 2 のカルコゲニドを含む第 2 のメモリセルを含み、前記第 2 のメモリセルは、第 2 の誘電体材料によって互いに分離されており、前記第 1

10

20

30

40

50

及び第2の誘電体材料は、異なる材料及び異なる材料厚さの中から選択された1つ以上の構造パラメータにおいて互いに異なっている、ことと、を含む。

【0006】

本発明の他の態様に係る、半導体構造を形成する方法は、第1のメモリアレイデッキを形成することと、前記第1のメモリアレイデッキ上に第2のメモリアレイデッキを形成することとであって、前記第2のメモリアレイデッキは、材料の厚さにおいて前記第1のメモリアレイデッキとは異なる、ことと、を含み、前記第1のメモリアレイデッキを形成することは、断面に沿って第1の誘電体領域によって互いに横方向に離間された第1のメモリセルを形成することを含み、前記第2のメモリアレイデッキを形成することは、前記断面に沿って第2の誘電体領域によって互いに横方向に離間された第2のメモリセルを形成することを含み、前記第2の誘電体領域は前記第1の誘電体領域とは異なる材料厚さを有する。

10

【0007】

本発明の更に他の態様に係る、半導体構造を形成する方法は、第1の方向に沿って延在する第1のアクセス／センス線セットを形成することと、前記第1のアクセス／センス線セット上に、前記第1の方向と交差する第2の方向に沿って延在する第2のアクセス／センス線セットを形成することと、前記第1及び第2のアクセス／センス線セット間に第1のメモリセルを形成することとであって、前記第1のメモリセルは、第1の相変化材料を含み、かつ、断面に沿って第1の誘電体領域によって互いに横方向に離間される、ことと、前記第2のアクセス／センス線セット上に、前記第1の方向に沿って延在する第3のアクセス／センス線セットを形成することと、前記第2及び第3のアクセス／センス線セット間に第2のメモリセルを形成することとであって、前記第2のメモリセルは、第2の相変化材料を含み、かつ、前記断面に沿って第2の誘電体領域によって互いに横方向に離間されており、前記第2の誘電体領域は、異なる材料及び異なる材料厚さの中から選択された1つ以上の構造パラメータによって、前記第1の誘電体領域とは異なる、ことと、を含む。

20

【図面の簡単な説明】

【0008】

【図1】例示的な実施形態の構造体の一部分の上面図である。

【図1A】例示的な実施形態の構造体の一部分の側面の、図1の線1A-1Aに沿った断面図である。

30

【図1B】例示的な実施形態の構造体の一部分の側面の、図1の線1B-1Bに沿った断面図である。

【図2】例示的なメモリ層配置に関する例示的な電気の流れを示す概略図である。

【図3】メモリアレイデッキの積層の例示的な配置を示す概略図である。

【図4】メモリアレイデッキの積層の例示的な配置を示す概略図である。

【図5】メモリアレイデッキの積層の例示的な配置を示す概略図である。

【図6A】例示的な実施形態の構造体の一部分の側面断面図である。

【図6B】例示的な実施形態の構造体の一部分の側面断面図である。

【図7】例示的な実施形態の構造体の一部分の側面断面図である。

【図8】例示的な実施形態の構造体の一部分の側面断面図である。

40

【発明を実施するための形態】

【0009】

いくつかの実施形態は、2つ以上のメモリアレイデッキが垂直に積層されたアーキテクチャを含む。それら積層デッキのうち1つ以上は、その他の積層デッキとは異なる動作特性を有するように構成される。例えば、それらデッキのうち1つ以上は、XIP（直接実行）の適用および／またはダイナミックランダムアクセスメモリ（DRAM）エミュレーションの適用で使用するのに適した高速なアクセス時間であるように構成されてもよく、その他のデッキのうち1つ以上は、長期格納の適用で使用するのに適した、安定性を有する低速アクセスかもしれない記憶装置を有するように構成されてもよい。さらに、それらデッキのうち1つ以上は、その他のデッキよりも高い耐久性を有するように構成されても

50

よい。例えば、それらデッキのうち1つ以上は、約10万サイクルの寿命に適していてもよく、その一方で、その他のデッキのうち1つ以上は約100万サイクルに適していてもよい（つまり、それらデッキのうち少なくとも1つは、別のデッキと比較して、少なくとも約10倍以上のサイクル時間の耐久性を有してもよい）。それらデッキの耐久性の違いは、それらデッキ間の構造的な違いに起因する場合がある。例えば、耐久性の低いデッキと比較して、耐久性の高いデッキでは、熱的な擾乱の減少および／またはメモリロスに関する他のメカニズムの減少が認められる場合がある。しかし、耐久性の高いデッキと比較して、耐久性の低いデッキは他の優位性（例えば、より高速なアクセス時間など）を有することがある。したがって、各メモリアレイデッキは、特定のメモリ機能に対する適用性に特化されてもよい。

10

【0010】

以下、図1から図8を参照して、例示的な実施形態を説明する。

【0011】

図1、図1A、及び図1Bを参照すると、上面図（図1）および側面断面図（図1Aおよび図1B）で構造体10が示され、例示的なアーキテクチャが図示されている。図1の上面図の近傍に座標軸系が示され、x軸および直交するy軸が図示されている。図1Aの断面図はx軸に沿ったものであり、図1Bの断面図はy軸に沿ったものである。

【0012】

図1Aおよび図1Bの断面図は、アーキテクチャが3つのアクセス／センス線セットを含むことを示す。底部セット（すなわち第1のセット）はアクセス／センス線12を含み、中間セット（すなわち第2のセット）はアクセス／センス線14を含み、上部セット（すなわち第3のセット）はアクセス／センス線16を含む。アクセス／センス線12、14、及び16は、実施形態によっては互いに同じ成分を含んでもよく、他の実施形態では互いに異なる成分を含んでもよい。アクセス／センス線12、14、及び16に対して、いかなる適当な導電性材料が用いられてもよい。実施形態によっては、アクセス／センス線は、例えばタングステン、チタン、窒化タングステン、窒化チタン、ケイ化タングステン、ケイ化チタンなどの、金属成分または金属含有成分を含んでもよい。実施形態によっては、アクセス／センス線12、14、及び16は、互いに同じ厚さでもよく、他の実施形態では、それらアクセス／センス線のうち少なくとも1つは、別のアクセス／センス線とは異なる厚さでもよい。

20

30

【0013】

アクセス／センス線はワード線およびビット線に該当する場合がある。例えば、線12および16はワード線に該当する場合があり、線14はビット線に該当する場合がある。

【0014】

示された実施形態では、アクセス／センス線12および16は第1の方向に沿って延在し、アクセス／センス線14は、第1の方向と交差する第2の方向に沿って延在する。図示された実施形態では、アクセス／センス線14は、アクセス／センス線12および16に対して直交して延在するが、他の実施形態では、線14は、線12および16と直交せずに、それらの線と交差する方向に沿って延在してもよい。

【0015】

図示されたアクセス／センス線は直線であるが、他の実施形態では、波形または他の適当な形状であってもよい。

40

【0016】

第1のメモリセル20は、第1セットのアクセス／センス線12と第2セットのアクセス／センス線14との間に位置し、第2のメモリセル22は、第2セットのアクセス／センス線14と第3セットのアクセス／センス線16との間に位置する。

【0017】

メモリセル20、22は、それぞれプログラマブル材料21、23を含み、また、いかなる適当な構成を含んでもよい。実施形態によっては、メモリセル20および22は、カルコゲニド系材料（例えば、アンチモン、テルル、硫黄、及びセレンのうちの1つ以上と

50

組み合わせたゲルマニウムを含む材料や、アンチモン、ゲルマニウム、テルル、硫黄、及びセレンのうちの1つ以上と組み合わせたインジウムを含む材料)などの相転移材料を含んでもよい。例えば、プログラマブル材料は、Ge Sb TeまたはIn Ge Teを含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよく、その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない。例えば、プログラマブル材料は、ゲルマニウム、アンチモン、及びテルルを含んでもよく、一般にGSTと呼ばれるカルコゲニドに該当してもよい。

【0018】

プログラマブル材料21および23は、実施形態によっては互いに同一であってもよく、他の実施形態では互いに異なってもよい。例えば、実施形態によっては、材料23は、成分と厚さのどちらか一方または両方について、材料21とは異なってもよい。

【0019】

第1のメモリセル20は、第1のメモリアレイデッキD₁を形成し、第2のメモリセル22は、第2のメモリアレイデッキD₂を形成する。第1のメモリアレイデッキD₁は、メモリセル20、ならびに、メモリセルへの書き込みとメモリセルからの読み出しとに用いられるアクセス／センス線12および14を含む第1の層T₁内に位置する。第2のメモリアレイデッキD₂は、メモリセル22、ならびに、メモリセルへの書き込みとメモリセルからの読み出しとに用いられるアクセス／センス線14および16を含む第2の層T₂内に位置する。示された実施形態では、アクセス／センス線14は層T₁とT₂との間で共有される。

【0020】

第2のメモリアレイデッキD₂は、1つ以上の動作特性について第1のメモリアレイデッキD₁とは異なっており、そのため第1のメモリアレイデッキD₁と第2のメモリアレイデッキD₂は異なる適用となる。例えば、第2のメモリアレイデッキは、そのアクセス時間が第1のメモリアレイデッキよりも高速であってもよく、XIPの適用および／またはDRAMエミュレーションの適用に、より適していてもよく、その一方で、第1のメモリアレイデッキは、より耐久性が高く、データの長期格納の適用に、より適していてもよい。

【0021】

図6Aおよび図6Bを参照して、さらに詳細に後述されるように、複数の構造および材料がメモリセルとアクセス／センス線との間に設けられてもよい。それらの構造および材料は、図1、図1A、及び図1Bに特に図示されてはいない。メモリセルとアクセス／センス線との間に設けられる可能性のある例示的な構造および材料は、絶縁材料、選択装置、電極、加熱装置などを含む。

【0022】

誘電性領域（誘電体領域）26は水平に隣接するメモリセル同士の間位置する。示された実施形態では、誘電性領域は層T₁およびT₂の両方の中において同じであるが、他の実施形態では、誘電性領域は各層で異なってもよい。図6Aおよび図6Bを参照して、例示的な誘電性領域についてさらに詳細に説明する。

【0023】

層T₁およびT₂に対しては、いかなる適当な構成を用いて電気的なアクセスがなされてもよい。図2は例示的な構成30を示す。具体的には、層T₁およびT₂は各々、中央処理装置(CPU)またはコントローラによって独立してアドレス指定が可能である。1つ以上のメモリアインターフェース（図示せず）がCPUと層との間に存在してもよい。実施形態によっては、それらの層同士の間でデータ転送が行われてもよい。

【0024】

図1、図1A、及び図1Bの実施形態は、垂直積層デッキを2つ含む例示的な構成であり、他の実施形態では他の構成が用いられてもよい。図3は、図1、図1A、及び図1Bの構成を概略的に示しており、層T₁およびT₂は互いに垂直に重なり合っている（すなわち、アクセス／センス線セットを共有している）。図4は別の構成を概略的に示し、それらの層は絶縁材料(I)によって互いに間隔をおいて垂直に配置されている。図4の実

10

20

30

40

50

施形態では、それらの層同士の間で共有されるアクセス／センス線セットはない。代わりに、各層は、下部のアクセス／センス線セットと上部のアクセス／センス線セットとの間にメモリアレイデッキを含む。したがって、図4の実施形態は、垂直積層のアクセス／センス線セットを4つ有する2つの層を含み、一方では、図3の実施形態は、垂直積層のアクセス／センス線セットを3つ有する2つの層を含む。実施形態によっては、図3の構成は、図4の構成と比較して、処理ステップを省略できるという点で好ましい場合がある。他の実施形態では、図4の構成は、上部層の動作を下部層の動作から切り離せるという点で好ましい場合がある。

【0025】

実施形態によっては、垂直積層メモリアレイデッキが3つ以上存在してもよい。図5は、垂直積層メモリアレイデッキが複数 (D_n 、 D_{n+1} 、・・・など) 存在する例示的な実施形態を示す。最上部に図示されたデッキは D_{n+3} であるが、点を用いて、デッキの垂直な積層がそのデッキ以上に続く可能性があることを示している。

【0026】

実施形態によっては、図5の垂直な積層内において、少なくとも1つのデッキは別のデッキとは異なる動作特性を有する。互い異なる動作特性を有するデッキは、メモリアレイデッキの垂直な積層内のどこに位置してもよい。実施形態によっては、図5の垂直な積層内の2つ以上のメモリアレイデッキは、互いに同じ動作特性を有してもよく、他の実施形態では、図5の垂直な積層内の全メモリアレイデッキは、垂直な積層内の他のメモリアレイデッキそれぞれに対して、独自の動作特性を有してもよい。

【0027】

図6Aおよび図6Bを参照すると、側面断面図で構造体10aが示され、さらなる例示的なアーキテクチャが図示されている。

【0028】

構造体10aは、メモリアレイデッキ D_1 のメモリセル20およびメモリアレイデッキ D_2 のメモリセル22を含む。また、構造体10aは、第1のアクセス／センス線セット12、第2のアクセス／センス線セット14、及び第3のアクセス／センス線セット16を含む。

【0029】

示された実施形態では、アクセス／センス線12および14はどちらも、例えばタングステンなどの単一材料を含む。アクセス／センス線16は、材料40および42の組み合わせを含む。材料40は、線12および14に用いられる材料と同じ材料であってもよく、例えばタングステンを含んでもよい。材料42は、例えば銅などの低抵抗材料であってもよい。材料40と42を組み合わせることで、線16の抵抗を線12および14の抵抗よりも低くして、デッキ D_1 のメモリセルと比べて、デッキ D_2 のメモリセルへのアクセスを向上させることができる場合がある。最上部の線セットを形成する際には追加の工程管理が可能であるため、下部セットの線12および14と比較すると、最上部セットの線16を複数材料の線に形成するほうが簡単な場合がある。しかし、他の実施形態では、線12および／または14を、図示された線16と類似する複数材料で形成できるような工程が用いられてもよい。また、材料42の抵抗が材料40の抵抗よりも低いことは有利ではあり得るが、他の実施形態では、材料42の抵抗は材料40の抵抗と同様であってもよい。しかしながら、材料40／42を組み合わせることで個別の材料40と比べて厚さが増すことから、個別の材料の抵抗よりも材料を組み合わせる場合の抵抗を低くすることができる場合がある。

【0030】

材料42は、最上部デッキ D_2 の上に施されるメタライゼーションの一部であってもよく、また、その最上部デッキの回路（例えばメモリセル22）を、最上部デッキのメモリアレイ周辺の他の回路（このような他の回路は、例えば、最上部デッキ内のメモリセルをアドレス指定するために用いられる論理回路を含んでもよい）と結合するために用いられてもよい。当該メタライゼーションは、デッキ同士の上に形成されるのではなく最上部デ

ッキの上に形成されるため、高い自由度で形成される場合があり、したがって、所望の構成で配置された伝導性の高い材料を含む場合がある。

【0031】

デッキD₁およびD₂は、図1、図1A、及び図1Bを参照して上述した層と類似する層T₁およびT₂内に位置する。

【0032】

メモリセル20および22は、図1、図1A、及び図1Bを参照して上述したプログラマブル材料21および23を含む。これらのプログラマブル材料は、例えば、約5ナノメートル(nm)～約50nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。

10

【0033】

示された実施形態では、デッキD₁は、アクセス/センス線12とアクセス/センス線14との間の積層50においてプログラマブル材料21を含む。その積層には、底部電極52、選択装置(選択デバイス)54、中間電極56、界面58、別の界面60、及び最上部電極62が含まれる。

【0034】

電極52、56、及び62は、いかなる適当な成分または成分の組み合わせを含んでもよい。電極は、実施形態によっては互いに同じ成分でもよく、他の実施形態では互いに成分が異なってもよい。実施形態によっては、電極は、チタン、アルミニウム、炭素、及びタングステンのうちの1つ以上を含んでもよい。例えば、電極は、TiSiN、TiAlN、TiN、WN、Ti、C、及びWのうちの1つ以上を含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよく、その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない。電極は、例えば、約5nm～約50nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。

20

【0035】

実施形態によっては、電極56および界面58は、プログラマブル材料内の相転移(相変化)を熱的に誘発するために用いられる「加熱体(ヒータ)」と置き換えられてもよい。このような加熱体は、例えば、実質的にTiSiNを含んでもよく、またはTiSiNで構成されてもよい(その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない)。

30

【0036】

選択装置54は、いかなる適当な選択装置に該当してもよい。実施形態によっては、選択装置はオボニック閾値スイッチ(OTS)に該当してもよい。OTSは、いかなる適当な成分または成分の組み合わせを含んでもよく、実施形態によっては、ゲルマニウム、ヒ素、セレン、テルル、及びケイ素のうちの1つ以上を含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよい。例えば、OTSは、AsSe、AsSeGe、AsSeGeTe、もしくはAsGeTeSiを含んでもよく、実質的にそれらを含んでもよく、またはそれで構成されてもよく、その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない。OTSは、例えば、約5nm～約50nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。

40

【0037】

界面58および60は、電極とプログラマブル材料21とをつなぐ、いかなる適当な材料を含んでもよい。実施形態によっては、界面は、ドーブされた、もしくはドーブされていない炭素を含んでもよく、かつ/または、タングステンを含んでもよい。界面は、例えば、約1nm～約10nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。実施形態によっては、これら界面のどちらか一方または両方は、プログラマブル材料が電極の材料との直接接触に適合する場合、省略してもよい。

【0038】

50

示された実施形態では、デッキD₂は、アクセス／センス線14とアクセス／センス線16との間の積層70においてプログラマブル材料23を含む。その積層には、底部電極72、選択装置74、中間電極76、界面78、別の界面80、及び最上部電極82が含まれる。

【0039】

電極72、76、及び82は、電極52、56、及び62について上述したものと同一成分を含んでもよく、かつ、同じ厚さを有してもよい。実施形態によっては、電極72、76、及び82は、チタン、アルミニウム、炭素、及びタングステンのうちの1つ以上を含んでもよい。例えば、電極は、TiSiN、TiAlN、TiN、WN、Ti、C、及びWのうちの1つ以上を含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよく、その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない。電極72、76、及び82は、実施形態によっては互いに同じ成分でもよく、他の実施形態では互いに成分が異なっているもよい。

10

【0040】

選択装置74は、いかなる適当な選択装置に該当してもよい。実施形態によっては、選択装置はオポニック閾値スイッチ(OTS)に該当してもよい。OTSは、いかなる適当な成分または成分の組み合わせを含んでもよく、実施形態によっては、ゲルマニウム、ヒ素、セレン、テルル、及びケイ素のうちの1つ以上を含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよい。例えば、OTSは、AsSe、AsSeGe、AsSeGeTe、もしくはAsGeTeSiを含んでもよく、実質的にそれを含んでもよく、またはそれで構成されてもよく、その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない。OTSは、例えば、約5nm～約50nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。

20

【0041】

界面78および80は、電極とプログラマブル材料23をつなぎ、いかなる適当な材料を含んでもよい。実施形態によっては、界面は、ドーパされた、もしくはドーパされていない炭素を含んでもよく、かつ／または、タングステンを含んでもよい。界面は、例えば、約1nm～約10nmの範囲内の厚さなど、いかなる適当な厚さに形成されてもよい。実施形態によっては、これら界面のどちらか一方または両方は、プログラマブル材料が電極の材料との直接接触に適合する場合、省略してもよい。

30

【0042】

実施形態によっては、電極76および82のうちの1つ、ならびに、隣接する界面は、プログラマブル材料23内の相転移を熱的に誘発するために用いられる「加熱体(ヒータ)」と置き換えられてもよい。このような加熱体は、例えば、実質的にTiSiNを含んでもよく、またはTiSiNで構成されてもよい(その化学式は、記載した化合物の中の化学成分を示すのであって、その化学成分に関する特定の化学量論を指すのではない)。

【0043】

実施形態によっては、アクセス／センス線14はビット線であってもよく、アクセス／センス線12および16はワード線であってもよい。下部デッキD₁の選択装置54はワード線12とメモリセル20との間に位置し、その一方で、上部デッキD₂の選択装置74はビット線14とメモリセル22との間に位置する。したがって、それらのデッキは互いに対して非対称である。上部デッキD₂の選択装置74がワード線16とメモリセル22との間に位置する、対称的な実施形態と比較して、図示された非対称的な実施形態は、上部デッキD₂の選択装置74のパターニングおよびエッチングを簡略化できる点において有利であり得る。しかし、幾つかの適用によっては、図示された非対称的な実施形態の代わりに対称的な実施形態を用いることが望ましい場合もある。

40

【0044】

層T₁は、隣接する積層50同士の間、第1の誘電性領域(第1の誘電体領域)10

50

0を横方向に含み、同様に、層 T_2 は、隣接する積層70同士の間、第2の誘電性領域（第2の誘電体領域）102を横方向に含む。誘電性領域100は、積層50の側壁に沿って（そして、具体的には構造20、52、54、56、58、60、及び62の側壁に沿って）、第1の絶縁材料ライナー101を含み、同様に、誘電性領域102は、積層70の側壁に沿って（そして、具体的には構造22、72、74、76、78、80、及び82の側壁に沿って）、第2の絶縁材料ライナー103を含む。誘電性領域100は、第1の絶縁材料ライナー101同士の間、第1の絶縁体104を含み、同様に、誘電性領域102は、第2の絶縁材料ライナー103同士の間、第2の絶縁体106を含む。

【0045】

誘電性領域100は、図6Aの断面において図6Bの断面と同一なものとして示されているが、他の実施形態では、それらの断面のうちの一方に沿った誘電性領域100に用いられる絶縁材料は、他方の断面に沿った誘電性領域100に用いられる絶縁材料とは異なっている。同様に、図6Aの断面に沿った誘電性領域102に用いられる絶縁材料は、（図示されるように）図6Bの断面に沿った誘電性領域102で用いられる絶縁材料と同一であってもよく、または、他の実施形態では異なっている。10

【0046】

絶縁材料ライナー101および103は、いかなる適当な成分または成分の組み合わせを含んでもよく、実施形態によっては、窒化ケイ素と酸化アルミニウムのどちらか一方または両方を含んでもよく、実質的にそれらを含んでもよく、またはそれらで構成されてもよい。20

【0047】

絶縁体104および106は、いかなる適当な成分または成分の組み合わせを含んでもよい。

【0048】

実施形態によっては、絶縁体104は、固体材料または半固体材料を含んでもよく、例えば、二酸化ケイ素を含んでもよく、実質的に二酸化ケイ素を含んでもよく、または二酸化ケイ素で構成されてもよい。実施形態によっては、絶縁体104は、スピノン誘電体に該当してもよい。実施形態によっては、絶縁体106は絶縁体104と同じ材料を含んでもよい。他の実施形態では、絶縁体106は絶縁体104とは異なる材料を含んでもよい。例えば、実施形態によっては、絶縁体106は、例えば空気などの気体を含んでもよい。実施形態によっては、絶縁体106は低圧（すなわち真空）領域を含んでもよい。30

【0049】

上述したように、デッキ D_2 のメモリアレイが、デッキ D_1 のメモリアレイとは異なる動作特性を有することが好ましい場合がある。その動作特性の違いは、デッキ D_1 の1つ以上の構成要素と比べて、デッキ D_2 の1つ以上の構成要素の構造パラメータが異なることを反映している。例えば、デッキ D_2 の積層70内の1つ以上の材料は、デッキ D_1 の積層50内の類似する材料とは異なる成分または厚さを有してもよい。厚さの違いは、±5%、±10%、±20%、±100%などであり得る。加えて、またはその代わりに、デッキ D_2 の1つ以上の材料は、デッキ D_1 の類似する材料とは異なる成分を有してもよく、その成分の違いは、例えば、異なる化学量論、異なるドーパント濃度などである。例えば、それらのデッキのうちの一方の電極は T_i を含んでもよく、他方のデッキの類似する電極は W および／または炭素を含んでもよい。加えて、またはその代わりに、それらのデッキのうちの一方は、他方のデッキとは完全に異なる構造を1つ以上含んでもよい。例えば、それらのデッキのうちの一方は、相転移材料に隣接して加熱体を含んでもよいが、他方のデッキは類似する相転移材料に隣接して加熱体を有さない。40

【0050】

例示的な実施形態によっては、メモリセル22のプログラマブル材料23は、メモリセル20のプログラマブル材料21と比較して、異なる成分または厚さであってもよい。例えば、プログラマブル材料23は、プログラマブル材料21よりも高速のスイッチング特性を有するように構成されてもよい。そのような高速スイッチング特性は、プログラマブ 50

ル材料 2 3 をプログラマブル材料 2 1 よりも薄くする、かつ／または、材料 2 1 に対し、材料 2 3 の成分を変化させることで達成され得る。例えば、材料 2 3 および 2 1 の両方は G S T を含み得るが、他方と比べて一方がドーピングされて、それら材料のそれぞれのスイッチング特性が変化する場合がある。

【0051】

例示的な実施形態によっては、選択装置 5 4 は、選択装置 7 4 とは異なる構成を含んでもよい。例えば、選択装置 5 4 に用いられる材料は、選択装置 7 4 に用いられる材料とは成分が異なってもよく、かつ／または、選択装置 5 4 に用いられる材料は、選択装置 7 4 に用いられる材料とは厚さが異なってもよい。適用によっては、装置 7 4 に対する選択装置 5 4 の、そのような特性の違いによって、メモリセル 2 0 と比べて、メモリセル 2 2 のスイッチング特性をより高速にすることが可能となる。しかし、そのような高速スイッチング特性は、漏れ量（リーク）の増加を伴う場合がある。したがって、高速スイッチング特性は、いくつかの適用に対しては適当であり得るが、他の適用に対しては、より低速なスイッチング特性を有し、漏れ量（リーク）のより少ないメモリセルが適当であり得る。

【0052】

実施形態によっては、デッキ D_2 の誘電性領域 1 0 2 は、デッキ D_1 の誘電性領域 1 0 0 とは異なってもよい。例えば、絶縁材料ライナー 1 0 1 と比較して、絶縁材料ライナー 1 0 3 は異なる成分または厚さを有してもよい。例えば、実施形態によっては、絶縁材料ライナー 1 0 3 の厚さは、例えば 2 nm 超や 5 nm 超だけ、ライナー 1 0 1 の厚さとは異なってもよい。このことが誘電性領域 1 0 2 に対して誘電性領域 1 0 0 の構造特性を変化させ、誘電性領域を特定の適用に適合させる場合がある。例えば、誘電性領域 1 0 0 がデッキ D_2 の材料を支持しているため、誘電性領域 1 0 0 は圧潰に強いことが望ましい場合がある。したがって、特に絶縁体 1 0 4 がライナーに用いられる材料よりも軟質な材料である場合には、ライナー 1 0 1 は、相対的に厚く形成されることが望ましい場合がある。さらに、材料 1 0 4 は、圧潰に対して抵抗力を有することが望ましい場合があり、したがって固体または半固体（例えば、二酸化ケイ素および／または窒化ケイ素）であることが望ましい場合がある。それに対して、層 T_2 は図示された実施形態では最上部層であるため、誘電性領域 1 0 2 の材料の選択に関する自由度は、より大きくなり得る。したがって、ライナー 1 0 3 は、ライナー 1 0 1 と比較して薄く形成されてもよく、かつ／または、絶縁体 1 0 6 は、絶縁体 1 0 4 よりも圧潰に対して低い抵抗力を有するように形成されてもよい。例えば、実施形態によっては、絶縁体 1 0 6 は気体を含んでもよい。実施形態によっては、絶縁体 1 0 6 は低圧（すなわち真空）領域を含んでもよい。実施形態によっては、絶縁体 1 0 6 は低誘電率（低 k ）誘電性材料（すなわち二酸化ケイ素よりも低い誘電率を有する材料）を含んでもよい。実施形態によっては、最上部デッキにのみ空隙（または真空）を設ける理由に関しては、空隙（または真空）に関連する全ての構造的長所または短所と関係していることに加えて、またはその代わりに、下部デッキと比較して、最上部デッキにおいてそのような製造を行うことが相対的に簡単であることと関係していることがあり得る。実施形態によっては、下部デッキにおいて空隙（または真空）を形成して絶縁体材料とすることを避ける理由に関しては、他の理由に加えて、またはその代わりに、下部デッキが晒される、追加の工程ステップ（例えば化学機械研磨）に関係していることがあり得る。

【0053】

誘電性領域 1 0 0 と誘電性領域 1 0 2 の違いは、メモリアレイデッキ D_2 内のメモリと比較した際の、メモリアレイデッキ D_1 内のメモリの性能特性の変化につながる場合がある。例えば、それらデッキのうちの一方は、他方よりも熱的な擾乱（または、隣接するメモリセル同士の間のクロストークに関する他のメカニズム）への抵抗力が高くてよい。

【0054】

図 6 A および図 6 B の図示された実施形態では、誘電性領域 1 0 2 は（図 6 A に示されるように）、アクセス／センス線 1 4 同士の間下方向に延在する。したがって、絶縁体

10

20

30

40

50

106が気体を含む場合、この絶縁体106は、横方向のアクセス／センス線14（例えば、実施形態によってはビット線）同士の上に位置する。他の実施形態では、誘電性領域102を下方方向に延在させてアクセス／センス線14同士の上に位置させるのではなく、誘電性領域100がアクセス／センス線14同士の上に上方方向に延在してもよい。

【0055】

図示された実施形態では、追加の誘電性材料110をアクセス／センス線12の下に設けており、また、追加の誘電性材料112をアクセス／センス線16の材料42の間に設けている。材料110および112は、いかなる適当な成分または成分の組み合わせを含んでもよく、実施形態によっては窒化ケイ素と二酸化ケイ素のどちらか一方または両方を含んでもよい。材料110および112は、互いに同じ成分であってもよく、互いに異なる成分であってもよい。

【0056】

実施形態によっては、デッキD₂はメモリアレイデッキの積層（例えば図5の積層）において最上部メモリアレイデッキを示す。メモリアレイデッキの積層においてより低い位置にある他のデッキと比較して、最上部メモリアレイデッキを製造する際には追加の自由度が利用可能とされてもよく、その最上部デッキの材料がさらされる熱量は、積層においてより低い位置にあるデッキの材料と比較して、少なくなり得る。したがって、最上部メモリアレイデッキにおいては、積層内の他のデッキと比較して、セルの性質はより均一で、かつ、材料の選択肢はより多い可能性があり、そのことにより、最上部デッキが積層内の他のデッキよりも幅広いプログラムマージンおよび読み出しマージンを有することが可能となる場合がある。そのことにより、最上部メモリアレイデッキが、積層内の他のメモリアレイデッキよりもいくつかの目的に適合させやすくなるのがさらに可能となる場合があり、このことは、最上部メモリアレイデッキを積層されたデッキのうちの他のメモリアレイデッキとは異なる目的で利用することの、さらなる利点であり得る。他の実施形態では、（最上部デッキに加えて、またはそれ以外に、）他のデッキは、積層メモリアレイデッキにおいて自身の下に位置するデッキとは異なる目的に適合させてもよい。

【0057】

メモリアレイデッキ内における材料、構造、厚さの違いに加えて、またはその代わりに、ピッチまたは他のパターンニング特性の違いが存在してもよい。ピッチの違いは、x方向（すなわちx軸）、y方向（すなわちy軸）、または、その両方に沿っていてもよい。例えば、図7および図8は、それぞれ構造体10bおよび10cを示しており、下部層のメモリアレイデッキと比べて、上部層のメモリアレイデッキに用いられるピッチが異なる実施形態が図示されている。各実施形態では、上部層のデッキD₂は下部層のデッキD₁よりもピッチが大きい。しかし、他の実施形態では逆であってもよい。図7および図8の構造体は、図1の構造体と同様に図示されており、図1、図1A、図1B、図6A、及び図6Bを参照して上述した構造のいずれかを含んでもよい。特に、図7は、層T₁およびT₂がアクセス／センス線セットを共有しない構造体を示す。正確には、図1Bおよび図6Bのアクセス／センス線14は、絶縁材料Iによって互いに間隔をおいて垂直に配置された2つのアクセス／センス線14aおよび14bと置き換えられている。その絶縁材料は、いかなる適当な成分または成分の組み合わせを含んでもよく、実施形態によっては二酸化ケイ素と窒化ケイ素のどちらか一方または両方を含んでもよい。図7の構成は、図4を参照して上述した構成の一例である。

【0058】

あるデッキの別のデッキに対するピッチの違いは、いかなる適当な違いであってもよい。例えば、実施形態によっては、各デッキにおけるセル寸法は同じ状態のままで、あるデッキのメモリセルのピッチは、直接隣接するデッキのメモリセルのピッチの2倍であってもよい。したがって、あるデッキの他のアクセス／センス線はどれも、直接隣接するデッキによって使用されない。アクセス／センス線は、ビット線および／またはワード線であってもよく、それはピッチの違いがx方向、y方向、またはそれら両方に沿ったものかどうかに左右される。

10

20

30

40

50

【0059】

デッキのピッチをゆったりさせることによる利点には、例えば、セル間隔の増加や熱的な擾乱の減少などが含まれ得る。それらの利点はセル密度を犠牲にして達成されるが、適用によっては（例えば、高温環境、極端に長期の保存など）好ましい場合がある。

【0060】

上述したアーキテクチャは、例えば、時計、テレビ、携帯電話、パソコン、自動車、産業用制御システム、航空機などの、広範囲にわたる電子システムのいずれかにおいて用いられてもよい。例えば、上述したアーキテクチャは、チップを内蔵するメモリが、作動中にかなりの熱にさらされる可能性のある、自動車またはそれ以外の適用で用いられてもよい。メモリチップは、外側のメモリアレイデッキが内側のメモリアレイデッキよりも高い熱応力にさらされるように方向づけられてもよく、したがって、内側のメモリアレイデッキは、より適度な温度で最適な性能を有するように構成されるが、外側のメモリアレイデッキは、特にそのような熱応力に対する抵抗力を有するように構成されてもよい。

【0061】

特に指定がない限り、本明細書で説明した様々な材料、物質、成分などは、例えば原子層堆積（ALD）、化学蒸着（CVD）、物理蒸着（PVD）などを含む、今現在既知である、または、まだ開発されていない、いかなる適当な手順で形成されてもよい。

【0062】

「誘電性の（dielectric）」および「電氣的に絶縁性の（electrically insulative）」という用語は両方とも、絶縁性の電気特性を有する材料を説明するために用いられてもよい。これらの用語は本開示において同義とみなされる。場合によっては「誘電性の」という用語を、他の場合には「電氣的に絶縁性の」という用語を用いることにより、本開示内で表現のバリエーションがもたらされることになり、以下の請求項内の先行詞が簡素化されるかもしれないが、いかなる顕著な化学的または電氣的違いを示すために用いられるわけではない。

【0063】

図面における様々な実施形態の特定の方向は、もっぱら例示を目的とするものであって、それらの実施形態は、適用によっては示された方向に対して回転させられてもよい。本明細書でなされた説明および以下の請求項は、説明された様々な特徴同士の関係性を有するあらゆる構造に関係するものであり、それらの構造が図面の特定の方向を向いているかどうか、または、その方向に対して回転させられているかどうかは無関係である。

【0064】

添付の図面の断面図には、断面の平面内の特徴のみが図示されており、図面を簡略化するために、断面の平面の後方に位置する材料は示されていない。

【0065】

ある構造が、別の構造の「上に（on）」ある、または、別の構造に「接触して（against）」いる、と上記で言及される場合、当該別の構造の上に直接位置してもよく、さらに介在する構造が存在してもよい。その一方、ある構造が、別の構造の「直接上に（directly on）」ある、または、別の構造に「直接接触して（directly against）」いる、と言及される場合、介在する構造は存在しない。ある構造が、別の構造に「接続される（connected）」、または、「結合される（coupled）」と言及される場合、当該別の構造に直接接続または結合されることが可能であり、または、介在する構造が存在してもよい。その一方、ある構造が、別の構造に「直接接続される（directly connected）」、または、「直接結合される（directly coupled）」と言及される場合、介在する構造は存在しない。

【0066】

いくつかの実施形態は、第1のメモリアレイデッキと、第1のメモリアレイデッキの上に位置する第2のメモリアレイデッキとを含む構造体を含む。第1のメモリデッキおよび第2のメモリデッキは相転移メモリ（相変化メモリ）を含み、第2のメモリアレイデッキ

は1つ以上の動作特性について第1のメモリアレイデッキとは異なる。

【0067】

いくつかの実施形態は、第1のメモリアレイデッキと、第1のメモリアレイデッキの上に位置する第2のメモリアレイデッキとを含む構造体を含む。第2のメモリアレイデッキは、第1のメモリアレイデッキとは異なるピッチを含む。

【0068】

いくつかの実施形態は、第1のメモリアレイデッキと、第1のメモリアレイデッキの上に位置する第2のメモリアレイデッキとを含む構造体を含む。第2のメモリアレイデッキは、1つ以上の構造パラメータについて第1のメモリアレイデッキとは異なり、当該構造パラメータは、異なる材料および／または異なる材料厚さを含む。

10

【0069】

いくつかの実施形態は、第1の方向に沿って延在する第1のアクセス／センス線セットと、第1のアクセス／センス線セットの上に位置し、第1の方向と交差する第2の方向に沿って延在する第2のアクセス／センス線セットと、第2のアクセス／センス線セットの上に位置し、第1の方向に沿って延在する第3のアクセス／センス線セットとを含む構造体を含む。第1のメモリセルは、第1のアクセス／センス線セットと第2のアクセス／センス線セットとの間に位置し、第1の相転移材料を含む。第1のメモリセルは第1のメモリアレイデッキに配置される。第2のメモリセルは、第2のアクセス／センス線セットと第3のアクセス／センス線セットとの間に位置し、第2の相転移材料を含む。第2のメモリセルは第2のメモリアレイデッキに配置される。第2のメモリアレイデッキは、1つ以上の動作特性について第1のメモリアレイデッキとは異なる。

20

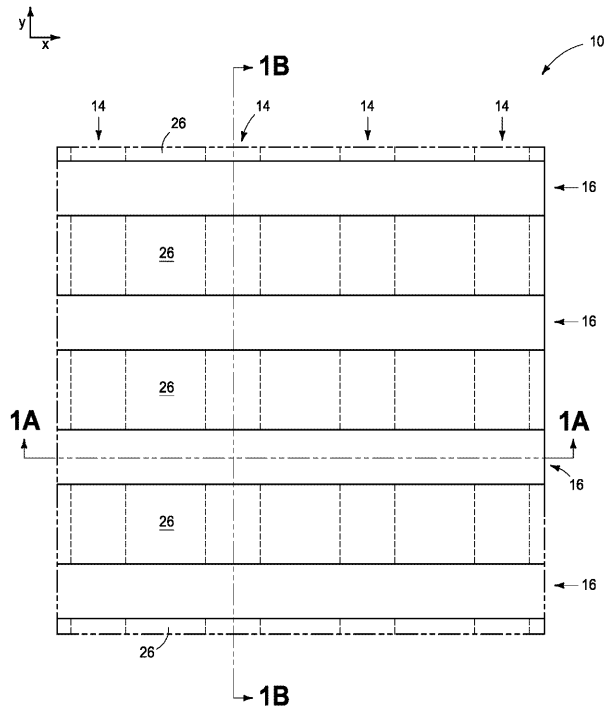
【符号の説明】

【0070】

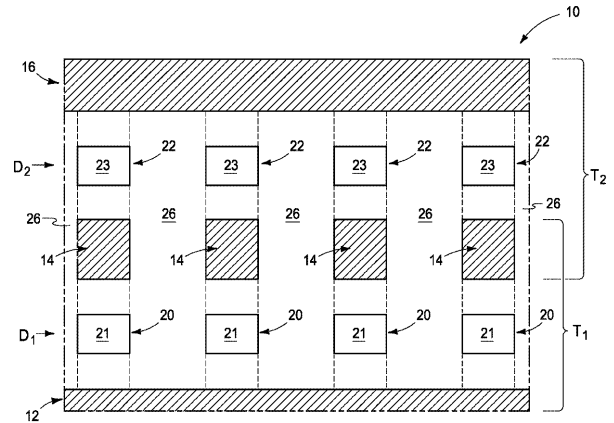
- D₁、D₂ メモリアレイデッキ
- 10、10a、10b、10c 構造体
- 12、14、16 アクセス／センス線（アクセス／センス線セット）
- 20、22 メモリセル
- 21、23 プログラマブル材料
- 40、42 材料
- 100、102 誘電性領域（誘電体領域）
- 101、103 絶縁材料ライナー
- 104、106 絶縁体
- 110、112 誘電性材料（誘電体材料）

30

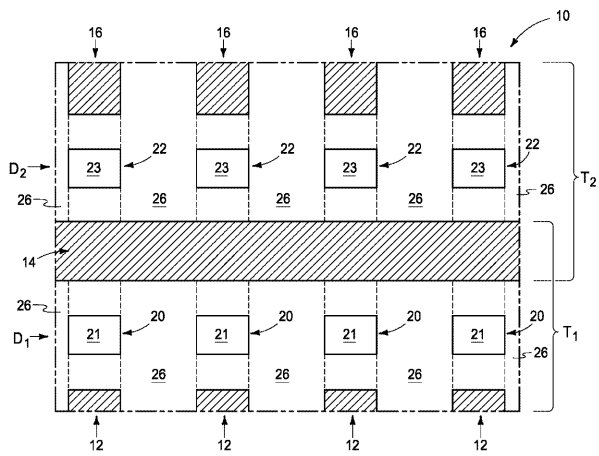
【図 1】



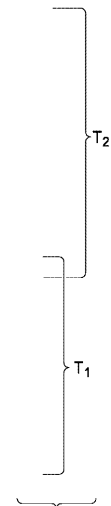
【図 1 A】



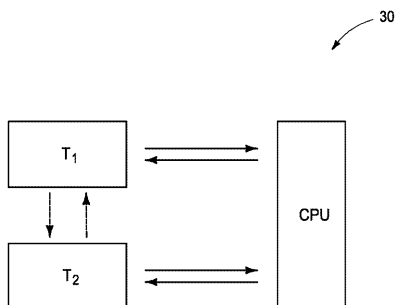
【図 1 B】



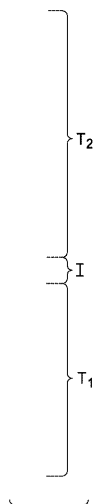
【図 3】



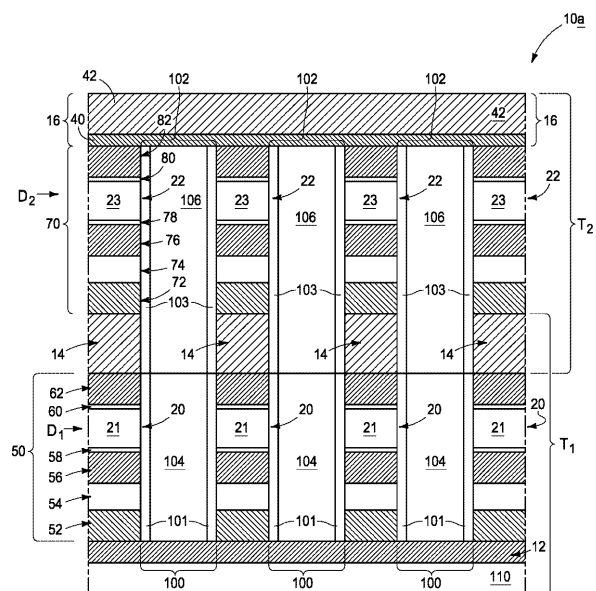
【図 2】



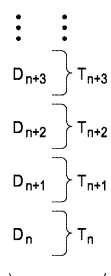
【図 4】



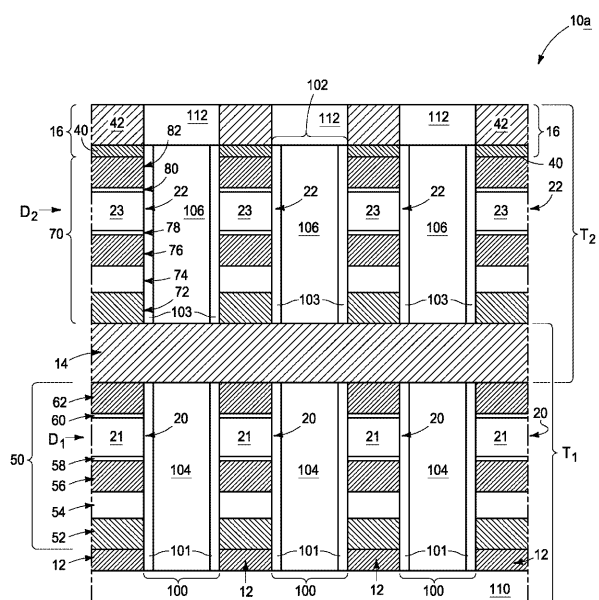
【図 6 A】



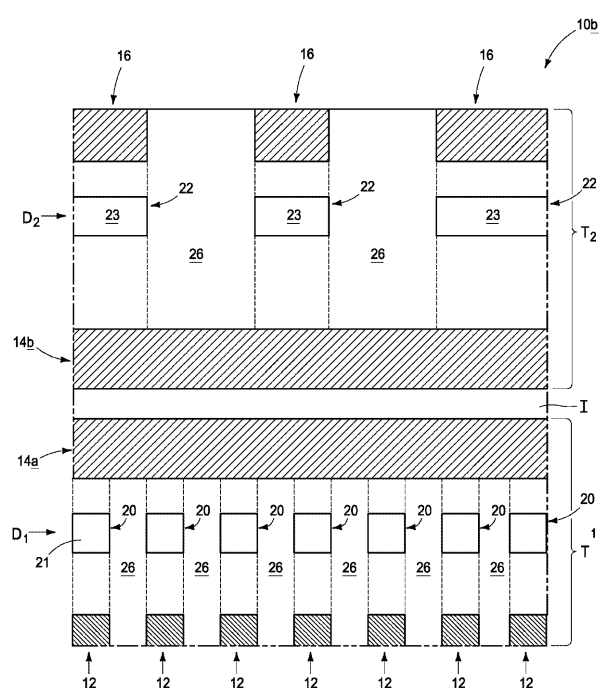
【図 5】



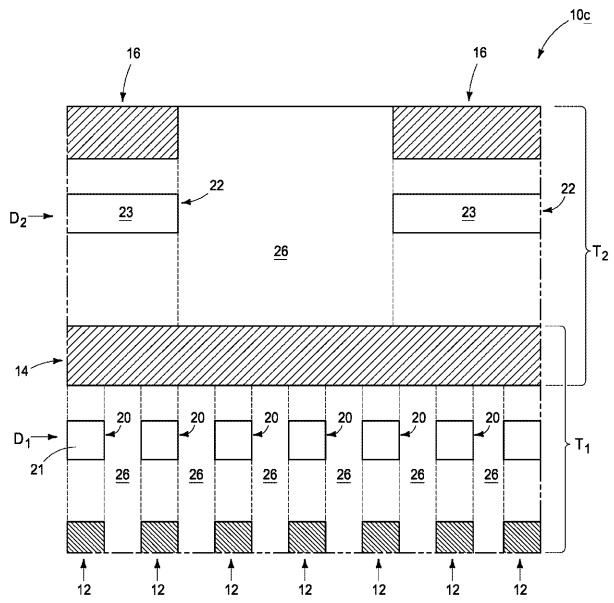
【図 6 B】



【图 7】



【図 8】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA01 GA02 GA06 GA10 GA11 JA36 JA37 JA39 JA40
JA56 JA60 KA01 KA05 LA02 ZA14 ZA21