



(12)发明专利申请

(10)申请公布号 CN 106662613 A

(43)申请公布日 2017. 05. 10

(21)申请号 201580040295.8

(22)申请日 2015.06.10

(30)优先权数据

2014-157753 2014.08.01 JP

(85)PCT国际申请进入国家阶段日

2017.01.22

(86)PCT国际申请的申请数据

PCT/JP2015/066660 2015.06.10

(87)PCT国际申请的公布数据

W02016/017292 JA 2016.02.04

(71)申请人 东京毅力科创株式会社

地址 日本东京都

(72)发明人 加贺美徹也 铃木贯二

(74)专利代理机构 北京林达刘知识产权代理事务
所(普通合伙) 11277

代理人 刘新宇

(51)Int.Cl.

G01R 31/28(2006.01)

H01L 21/66(2006.01)

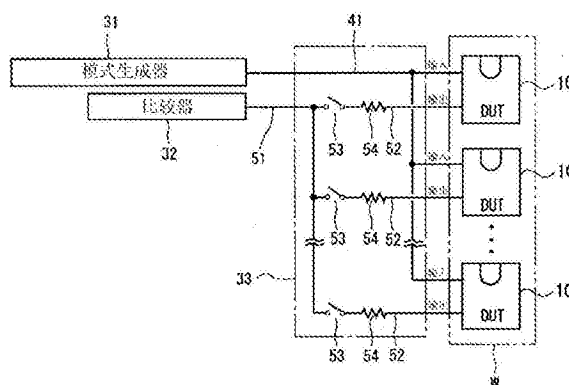
权利要求书2页 说明书9页 附图4页

(54)发明名称

器件的检查方法、探针卡、中继板以及检查装置

(57)摘要

信号输入输出电路(33)具备输入线路(41)、共同输出线路(51)、多个个别输出线路(52)、继电器开关部(53)以及电阻元件(54)。在比较器(32)上连接有将来自多个DUT(10)的响应信号进行合成后传输的共同输出线路(51)。比较器(32)响应于从模式生成器(31)发送的试验信号,将合成响应信号与阈值进行比较,该合成响应信号是将从多个DUT(10)分别输出的响应信号合成为一个所得到的。



1. 一种器件的检查方法,对在衬底上形成的多个器件的电气特性进行检查,该检查方法的特征在于,包括:

第一步骤,从测试仪对与所述测试仪并联连接的多个器件同时输入试验信号;以及

第二步骤,根据基于所输入的所述试验信号的来自所述多个器件的响应信号的合成值,来进行是否为所述多个器件中的一个以上的器件不合格的判定。

2. 根据权利要求1所述的器件的检查方法,其特征在于,

在所述第二步骤中,将所述合成值与预先设定的阈值进行比较,在未达到所述阈值的情况下,判定为所述多个器件中的一个以上的器件不合格,并且,

所述器件的检查方法还具备以下的设定新阈值的步骤:在所述第二步骤中未达到所述阈值的情况下,设定与所述阈值不同的新阈值,

使用所述新阈值来再次进行所述第一步骤和所述第二步骤。

3. 根据权利要求2所述的器件的检查方法,其特征在于,

重复执行所述设定新阈值的步骤、所述第一步骤以及所述第二步骤,直到达到所述新阈值为止,由此检测不合格的所述器件的数量。

4. 根据权利要求3所述的器件的检查方法,其特征在于,

多级地设定所述阈值,当将第N次判定中设定的阈值设为 TH_N 、将第N+1次判定中设定的阈值设为 TH_{N+1} 时,具有 $TH_N > TH_{N+1}$ 的关系,其中,N表示1以上的正整数,并且

在所述多个器件包括n个器件、且所述n个器件全部合格时的所述响应信号的合成值为 S_0 的情况下,所述阈值 TH_N 满足下面的式(1)的关系,其中,n表示2以上的正整数,

[数1]

$$S_0 \times [n - (N-1)] / n \geq TH_N > S_0 \times (n-N) / n \cdots (1)。$$

5. 根据权利要求1所述的器件的检查方法,其特征在于,

所述器件是非易失性半导体存储器,所述第一步骤和所述第二步骤是作为所述非易失性半导体存储器的写入试验来执行的。

6. 一种探针卡,配置于对在衬底上形成的多个器件的电气特性进行检查的测试仪与所述衬底之间,该探针卡的特征在于,具备:

多个探针,该多个探针与多个所述器件的电极焊盘分别接触;以及

支承基板,其支承所述多个探针,

其中,所述支承基板具有:

输入线路,其与所述探针连接,将来自所述测试仪的试验信号传输到多个所述器件;

多个个别输出线路,该多个个别输出线路与所述探针连接,传输基于所述试验信号的来自所述器件的响应信号;以及

共同输出线路,其将多个所述个别输出线路合并,来将来自多个所述器件的所述响应信号进行合成后向所述测试仪传输,

其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

7. 根据权利要求6所述的探针卡,其特征在于,

在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。

8. 一种中继板,配置于对在衬底上形成的多个器件的电气特性进行检查的测试仪与所

述衬底之间,该中继板的特征在于,具有:

输入线路,其向多个所述器件传输来自所述测试仪的试验信号;

多个个别输出线路,该多个个别输出线路传输基于所述试验信号的来自所述器件的响应信号;以及

共同输出线路,其将多个所述个别输出线路合并,将来自多个所述器件的所述响应信号进行合成后向所述测试仪传输,

其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

9. 根据权利要求8所述的中继板,其特征在于,

在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。

10. 一种检查装置,对在衬底上形成的多个器件的电气特性进行检查,该检查装置的特征在于,具备:

模式生成器,其生成用于检查所述器件的试验信号;

比较器,其将合成响应信号与阈值进行比较,该合成响应信号是将基于所述试验信号的来自多个所述器件的响应信号进行合成所得到的;以及

信号输入输出电路,其介于所述器件与所述模式生成器及所述比较器之间,

其中,所述信号输入输出电路具有:

输入线路,其向多个所述器件传输所述试验信号;

多个个别输出线路,该多个个别输出线路传输基于所述试验信号的来自所述器件的响应信号;以及

共同输出线路,其将多个所述个别输出线路合并,将来自多个所述器件的所述响应信号进行合成后向所述比较器传输,

其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

11. 根据权利要求10所述的检查装置,其特征在于,

在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。

12. 根据权利要求10所述的检查装置,其特征在于,

还具备控制部,该控制部具有:

信号控制部,其控制由所述模式生成器进行的所述试验信号的生成;

判定部,其基于由所述比较器得到的所述阈值与所述合成响应信号的比较信息,来判定是否为多个所述器件中的一个以上的器件不合格;以及

阈值设定部,其在由所述判定部判定为所述多个器件中的一个以上的器件不合格的情况下,设定与所述阈值不同的新阈值。

器件的检查方法、探针卡、中继板以及检查装置

技术领域

[0001] 本发明涉及一种对器件的电气特性进行检查的器件的检查方法、该检查方法中使用的探针卡 (probe card)、中继板 (interposer) 以及检查装置。

背景技术

[0002] 使用具有探针卡的检查装置来进行在半导体晶圆 (下面有时记为“晶圆”) 上形成的集成电路、半导体存储器等器件的电气特性的检查。探针卡具备与晶圆上的器件的电极焊盘接触的多个探针 (触头)。而且, 在使各探针与晶圆上的各电极焊盘接触的状态下, 从测试仪向各探针发送电信号, 由此进行晶圆上的电子电路的检查。

[0003] 近年来, 电子电路图案的微细化取得进展, 并且晶圆日渐大型化, 因此在一片晶圆上形成的器件的数量飞跃性地增加。因此, 在将一个测试仪与多个检查对象器件 (下面有时记为“DUT”) 连接来依次进行检查的方法中, 存在针对全部 DUT 完成检查要花费长时间之类的问题。

[0004] 在日本特开平4-158275号公报 (专利文献1) 中, 提出了以下检查方法: 对与测试仪并联连接的两个以上的 DUT 同时进行泄漏电流的测定, 在同时测定出的 DUT 的泄漏电流之和 B 小于标准值 A 的情况下 ($A > B$), 判定为全部 DUT 均合格, 在 $A < B$ 的情况下, 判定为至少一个 DUT 不合格, 并继续针对每个 DUT 来个别地进行泄漏电流的测定。在专利文献1的检查方法中, 将泄漏电流之和 B 作为指标, 但是泄漏电流值是根据 DUT 而不同的值, 因此在同时测定的结果为 $A < B$ 的情况下, 无法估计不良的 DUT 的个数。

发明内容

[0005] 本发明提供一种在检查多个器件的电气特性的情况下能够以短时间高效地进行检查的检查方法。

[0006] 本发明的器件的检查方法是对在衬底上形成的多个器件的电气特性进行检查的器件的检查方法。器件的检查方法的特征在于, 包括: 第一步骤, 从测试仪对与所述测试仪并联连接的多个器件同时输入试验信号; 以及第二步骤, 根据基于所输入的所述试验信号的来自所述多个器件的响应信号的合成值, 来进行是否为所述多个器件中的一个以上的器件不合格的判定。

[0007] 在本发明的器件的检查方法中, 也可以是, 在所述第二步骤中, 将所述合成值与预先设定的阈值进行比较, 在未达到所述阈值的情况下, 判定为所述多个器件中的一个以上的器件不合格。在该情况下, 也可以还具备以下的设定新阈值的步骤: 在所述第二步骤中未达到所述阈值的情况下, 设定与所述阈值不同的新阈值, 也可以使用所述新阈值来再次进行所述第一步骤和所述第二步骤。

[0008] 在本发明的器件的检查方法中, 也可以是, 重复执行所述设定新阈值的步骤、所述第一步骤以及所述第二步骤, 直到达到所述新阈值为止, 由此检测不合格的所述器件的数量。

[0009] 在本发明的器件的检查方法中,也可以多级地设定所述阈值,也可以是,当将第N次(其中,N表示1以上的正整数)判定中设定的阈值设为 TH_N 、将第N+1次判定中设定的阈值设为 TH_{N+1} 时,具有 $TH_N > TH_{N+1}$ 的关系。在此,在本发明的器件的检查方法中,也可以是,在所述多个器件包括n个(其中,n表示2以上的正整数)器件、且所述n个器件全部合格时的所述响应信号的合成值为 S_0 的情况下,所述阈值 TH_N 满足下面的式(1)的关系。

[0010] [数1]

$$[0011] \quad S_0 \times [n - (N-1)] / n \geq TH_N > S_0 \times (n-N) / n \quad \cdots (1)$$

[0012] 在本发明的器件的检查方法中,也可以是,所述器件是非易失性半导体存储器,所述第一步骤和所述第二步骤是作为所述非易失性半导体存储器的写入试验来执行的。

[0013] 本发明的探针卡配置于对在衬底上形成的多个器件的电气特性进行检查的测试仪与所述衬底之间。本发明的探针卡的特征在于,具备:多个探针,该多个探针与多个所述器件的电极焊盘分别接触;以及支承基板,其支承所述多个探针。而且,在本发明的探针卡中,所述支承基板具有:输入线路,其与所述探针连接,将来自所述测试仪的试验信号传输到多个所述器件;多个个别输出线路,该多个个别输出线路与所述探针连接,传输基于所述试验信号的来自所述器件的响应信号;以及共同输出线路,其将多个所述个别输出线路合并,将来自多个所述器件的所述响应信号进行合成后向所述测试仪传输,其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

[0014] 本发明的探针卡也可以在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。

[0015] 本发明的中继板配置于对在衬底上形成的多个器件的电气特性进行检查的测试仪与所述衬底之间。而且,本发明的中继板的特征在于,具有:输入线路,其向多个所述器件传输来自所述测试仪的试验信号;多个个别输出线路,该多个个别输出线路传输基于所述试验信号的来自所述器件的响应信号;以及共同输出线路,其将多个所述个别输出线路合并,将来自多个所述器件的所述响应信号进行合成后向所述测试仪传输,其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

[0016] 本发明的中继板也可以在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。

[0017] 本发明的检查装置用于对在衬底上形成的多个器件的电气特性进行检查。本发明的检查装置的特征在于,具备:模式生成器(pattern generator),其生成用于检查所述器件的试验信号;比较器,其将合成响应信号与阈值进行比较,该合成响应信号是将基于所述试验信号的来自多个所述器件的响应信号进行合成所得到的;以及信号输入输出电路,其介于所述器件与所述模式生成器及比较器之间。而且,在本发明的检查装置中,所述信号输入输出电路具有:输入线路,其向多个所述器件传输所述试验信号;多个个别输出线路,该多个个别输出线路传输基于所述试验信号的来自所述器件的响应信号;以及共同输出线路,其将多个所述个别输出线路合并,将来自多个所述器件的所述响应信号进行合成后向所述比较器传输,其中,在所述个别输出线路上具备电阻部,该电阻部具有比所述器件的内部电阻大的电阻。

[0018] 本发明的检查装置也可以在所述个别输出线路上还具有与所述电阻部串联连接的继电器开关部。另外,本发明的检查装置也可以还具备控制部,该控制部具有:信号控制

部,其控制由所述模式生成器进行的所述试验信号的生成;判定部,其基于由所述比较器得到的所述阈值与所述合成响应信号的比较信息,来判定是否为多个所述器件中的一个以上的器件不合格;以及阈值设定部,其在由所述判定部判定为所述多个器件中的一个以上的器件不合格的情况下,设定与所述阈值不同的新阈值。

附图说明

- [0019] 图1是表示本发明的实施方式所涉及的检查装置的概要结构的截面图。
- [0020] 图2是表示本发明的实施方式中的信号输入输出电路的一例的概要结构图。
- [0021] 图3是表示图1所示的控制部的硬件结构的一例的附图。
- [0022] 图4是图1所示的控制部的功能框图。
- [0023] 图5是以往的检查方法中的阈值与试验信号及响应信号的说明图。
- [0024] 图6是说明在本实施方式的检查方法中得到的合成响应信号的大小的附图。
- [0025] 图7是说明本实施方式的检查方法中的相对于合成响应信号的阈值的设定例的附图。
- [0026] 图8是表示本发明的一个实施方式所涉及的检查方法的过程的一例的流程图。

具体实施方式

[0027] [检查装置]

[0028] 图1是表示本发明的一个实施方式所涉及的检查装置的概要结构的截面图。在图1中,检查装置100具备:装料室1;检查室2,其收容形成有多个检查对象器件(DUT) 10(在图1中未图示)的晶圆W;测试仪3,其进行晶圆W上的DUT 10的电气特性检查;以及控制部4,其对这些检查装置100的各结构部进行控制。

[0029] <装料室>

[0030] 装料室1形成用于输送晶圆W的输送区域。

[0031] <检查室>

[0032] 检查室2具有:载置台11,其用于载置晶圆W;以及保持件12,其配置于载置台11的上方。载置台11构成为在载置着晶圆W的状态下能够使晶圆W沿X、Y、Z及 θ 方向移动。保持件12支承探针卡13。探针卡13具有支承基板13a和多个探针(触头) 13b。探针卡13经由具有大量连接端子的连接环21及中继板(或性能板,performance board) 22、测试头(省略图示)而与测试仪3电连接。

[0033] 另外,检查室2还具备对准机构14,该对准机构14用于进行被保持件12支承的探针卡13的多个探针13b与在载置台11上的晶圆W上形成的多个DUT 10的电极焊盘(未图示)之间的位置对准。

[0034] <测试仪>

[0035] 测试仪3向各DUT 10发送电信号,并且接收来自DUT 10的响应信号来进行晶圆W上的DUT 10的电气特性检查。测试仪3具备模式生成器31和比较器32。

[0036] 图2是表示将多个DUT 10与模式生成器31及比较器32电连接的信号输入输出电路33的一例的概要结构图。

[0037] 模式生成器31生成用于检查DUT 10的试验信号。模式生成器31与多个DUT 10之间

通过输入线路41而连接,该输入线路41是在中途分为多个分支的布线。

[0038] 比较器32响应于从模式生成器31发送来的试验信号,将从多个DUT 10分别输出的响应信号、或者由来自多个DUT 10的响应信号合成为一个所得到的信号(下面有时记为“合成响应信号”)与阈值进行比较。比较器32上连接有共同输出线路51,该共同输出线路51是将来自多个DUT 10的响应信号合成后传输的布线。比较器32与多个DUT 10之间通过共同输出线路51以及来自各DUT 10的布线、即个别输出线路52而连接。

[0039] <信号输入输出电路>

[0040] 如图2所示,信号输入输出电路33具备输入线路41、共同输出线路51、多个个别输出线路52、继电器开关部53以及电阻元件54。在本实施方式中,信号输入输出电路33只要安装于测试仪3、探针卡13的支承基板13a以及中继板(或性能板)22中的任一个即可。

[0041] 输入线路41在中途根据同时进行检查的DUT 10的数量而分支,从而将模式生成器31与多个DUT 10并联连接。由模式生成器31生成的试验信号经由输入线路41向多个DUT 10传输。此外,也可以在输入线路41上设置用于对模式生成器31与多个DUT 10的连接/非连接进行切换的继电器开关部等。另外,输入线路41只要能够向各DUT 10同时发送试验信号即可,不限于图2所示的结构。

[0042] 共同输出线路51是由传输基于从模式生成器31输入的试验信号而从各DUT 10输出的响应信号的多个个别输出线路52合并而成的。从各DUT 10输出的响应信号经由个别输出线路52和共同输出线路51向比较器32传输。

[0043] 在各个个别输出线路52上串联地设置有继电器开关部53和电阻元件54。此外,继电器开关部53与电阻元件54的排列顺序没有要求。

[0044] 能够在对比较器32与多个DUT 10的连接/非连接进行切换的情况下使用继电器开关部53。在将来自各DUT 10的响应信号合成为一个的情况下,只要使全部继电器开关部53为连接状态(闭合)即可。在将来自各DUT 10的响应信号个别地发送到比较器32的情况下,只要仅使一个个别输出线路52的继电器开关部53为连接状态(闭合)、而使其它个别输出线路52的继电器开关部53为非连接状态(断开)即可。此外,在无需将来自各DUT 10的响应信号个别地发送到比较器32的情况下,也可以不设置继电器开关部53。

[0045] 电阻元件54具有分离响应信号的作用,并且具有比各DUT 10的内部电阻(输出阻抗)大的电阻,以调节与各个个别输出线路52连接的共同输出线路51中的阻抗。

[0046] <控制部>

[0047] 检查装置100的各结构部分别与控制部4连接,并由控制部4进行控制。控制部4典型地说是计算机。图3表示图1所示的控制部4的硬件结构的一例。控制部4具备主控制部101、键盘、鼠标等输入装置102、打印机等输出装置103、显示装置104、存储装置105、外部接口106以及将它们相互连接的总线107。主控制部101具有CPU(中央处理装置)111、RAM(随机存取存储器)112以及ROM(只读存储器)113。存储装置105只要能够存储信息即可,其方式没有要求,例如是硬盘装置或光盘装置。另外,存储装置105对计算机可读的记录介质115记录信息,还从记录介质115读取信息。记录介质115只要能够存储信息即可,其方式没有要求,例如是硬盘、光盘、快闪存储器等。记录介质115也可以是记录本实施方式所涉及的检查方法的制程(recipe)的记录介质。

[0048] 在控制部4中,CPU 111将RAM 112用作作业区域来执行ROM 113或存储装置105中

保存的程序,由此在本实施方式的检查装置100中能够执行针对在晶圆W上形成的DUT 10的检查。具体地说,控制部4在检查装置100中对各结构部(例如,载置台11、对准机构14、模式生成器31、比较器32、继电器开关部53等)进行控制。

[0049] 图4是控制部4的功能框图,还示出了测试仪3中的模式生成器31与比较器32的关系。如图4所示,控制部4具备信号控制部121、判定部122以及阈值设定部123。它们是通过由CPU 111将RAM 112用作作业区域来执行ROM 113或存储装置105中保存的软件(程序)来实现的。此外,例如也可以利用FPGA(Field Programmable Gate Array,现场可编程门阵列)等,来使探针卡13或中继板(或性能板)22具有与信号控制部121、判定部122以及阈值设定部123同样的功能。另外,控制部4还具有其它功能(例如对继电器开关部53的连接/非连接进行切换的控制功能等),但是省略详细的说明。

[0050] 信号控制部121对由模式生成器31进行的试验信号的生成进行控制。具体地说,信号控制部121对模式生成器31发送控制信号,来指示由模式生成器31生成的时钟信号和数据信号的种类、生成/停止等。

[0051] 判定部122从比较器32获取阈值与合成响应信号的比较信息,基于该比较信息来判定是否为多个DUT 10中的一个以上不合格、也就是说判定是否为全部DUT 10均合格。此外,该判定作业也可以不由判定部122进行而是由比较器32进行。另外,判定部122能够基于后述的过程来在多个DUT 10之中判定输出了不合格信号的DUT 10的个数。

[0052] 阈值设定部123设定用于在比较器32中进行比较的阈值。阈值设定部123能够多级地设定多个阈值,从而阈值能够动态变更。例如,在由判定部122(或比较器32)根据第一阈值与合成响应信号的比较信息而判定为多个DUT 10之中的一个以上不合格的情况下,阈值设定部123能够设定第二阈值来作为与第一阈值不同的新阈值。

[0053] 在此,参照图5和图6来说明阈值设定部123中的阈值的设定方法。图5是以往的检查方法中的阈值与试验信号及响应信号的说明图。模式生成器31生成时钟信号(CLK)和数据信号(DATA),并将它们作为试验信号输出到各DUT 10。其结果,从各DUT 10输出响应信号,基于该响应信号的水平,通过比较器32来判断各DUT 10是否合格(合格/不合格)。例如,当通过比较器32进行比较时的阈值TH为3V时,如果响应信号为3V以上则判断为合格(PASS),如果响应信号小于3V则判断为不合格(FAIL)。这样,来自各DUT 10的个别响应信号有时包括达到阈值TH的合格信号和未达到阈值TH的不合格信号。因而,合成响应信号可能存在仅由合格信号合成的情况、仅由不合格信号合成的情况、以及由合格信号和不合格信号合成的情况。

[0054] 图6的(A)、(B)、(C)示出了通过本实施方式的检查方法而得到的合成响应信号的大小(例如电压值)。图7是说明本实施方式的检查方法中的相对于合成响应信号的阈值的设定例的附图。在图6和图7中,作为例子,列举了DUT 10为三个的情况。从模式生成器31对各DUT 10输入的信号水平和信号模式是相同的内容。与此相对,来自各DUT 10的个别响应信号如上所述那样有可能包括合格(PASS)和不合格(FAIL),在全部为合格的情况下以及合格与不合格混合存在的情况下,合成为一个而成的合成响应信号为不同的值。

[0055] 例如,在DUT 10的个别响应信号的输出水平为高(合格):3[V]和低(不合格):0[V]这两个值的情况下,如果三个DUT 10的个别响应信号的输出水平 S_0 均为高,则如图6的(A)所示,合成响应信号的输出水平 S_0 为 $S_0=3[V]$ 。

[0056] 另外,在三个DUT 10之中的两个DUT 10的个别响应信号的输出水平 S_D 为高、一个DUT 10的个别响应信号的输出水平 S_D 为低的情况下,如图6的(B)所示,合成响应信号的输出水平 S_1 为2[V] [=3[V] × (3-1)/3]。

[0057] 并且,在三个DUT 10之中的一个DUT 10的个别响应信号的输出水平 S_D 为高、两个DUT 10的个别响应信号的输出水平 S_D 为低的情况下,如图6的(C)所示,合成响应信号的输出水平 S_2 为1[V] [=3[V] × (3-2)/3]。此外,设DUT 10的输出阻抗在高:3[V]和低:0[V]下是相同的。

[0058] 也就是说,在n个DUT 10全部输出相同输出水平 S_D [V]的合格信号的情况下,合成响应信号的输出水平 S_0 为 S_0 [V] = S_D [V] × n/n。另外,在n个DUT 10之中的一个DUT 10输出不合格信号、其它DUT 10输出合格信号的情况下,合成响应信号的输出水平 S_1 为 S_1 [V] = S_D [V] × (n-1)/n。在n个DUT 10之中的两个DUT 10输出不合格信号、其它DUT 10输出合格信号的情况下,合成响应信号的输出水平 S_2 为 S_2 [V] = S_D [V] × (n-2)/n。

[0059] 在本实施方式的检查方法中,优选的是,通过比较器32将合成响应信号的输出水平依次与阈值 TH_1 、 TH_2 、 TH_3 …进行比较。判定部122在合成响应信号的输出水平达到阈值 TH 的情况下判定为“全部DUT 10均合格”,在合成响应信号的输出水平未达到阈值 TH 的情况下,判定为“一个以上的DUT 10不合格”。

[0060] 如图7所示,在第一次判定中,只要将要使用的阈值 TH_1 设定在三个DUT 10全部合格(PASS)的情况下的合成响应信号的输出水平 S_0 与一个DUT 10不合格(FAIL)的情况下的合成响应信号的输出水平 S_1 之间即可。由此,如果合成响应信号的输出水平为阈值 TH_1 以上,则能够判断为全部DUT 10均合格(PASS),如果合成响应信号的输出水平小于阈值 TH_1 ,则能够判断为一个以上的DUT 10不合格(FAIL)。

[0061] 另外,在第二次判定中,只要将要使用的阈值 TH_2 设定在一个DUT 10不合格(FAIL)的情况下的合成响应信号的输出水平 S_1 与两个DUT 10不合格(FAIL)的情况下的合成响应信号的输出水平 S_2 之间即可。由此,综合第一次判定结果,如果合成响应信号的输出水平为阈值 TH_2 以上,则能够判断为两个DUT 10合格(PASS)、一个DUT 10不合格(FAIL)。另外,如果合成响应信号的输出水平小于阈值 TH_2 ,则能够判断为两个以上的DUT 10不合格(FAIL)。

[0062] 并且,在第三次判定中,只要将要使用的阈值 TH_3 设定为小于两个DUT 10不合格(FAIL)的情况下的合成响应信号的输出水平 S_2 即可。由此,综合第一次判定结果和第二次判定结果,如果合成响应信号的输出水平为阈值 TH_3 以上,则能够判断为一个DUT 10合格(PASS)、两个DUT 10不合格(FAIL)。另外,如果合成响应信号的输出水平小于阈值 TH_3 ,则能够判断为三个DUT 10不合格(FAIL)。

[0063] 在逐级地降低阈值水平来进行判定的情况下,当将为了对n个(其中,n表示2以上的正整数)DUT 10进行第N次(其中,N表示1以上的正整数)判定而设定的阈值设为 TH_N 、将第N+1次判定中设定的阈值设为 TH_{N+1} 时,具有 $TH_N > TH_{N+1}$ 的关系。另外,优选的是,相对于n个DUT 10全部合格的情况下的合成响应信号的输出水平 S_0 ,为了进行第N次判定而设定的阈值 TH_N 满足下面的式(1)所表示的关系。

[0064] [数2]

$$S_0 \times [n - (N-1)] / n \geq TH_N > S_0 \times (n-N) / n \cdots (1)$$

[0066] 另外,更为优选的是,将阈值 TH_N 设定为 $S_0 \times [n - (N-1)] / n$ 与 $S_0 \times (n-N) / n$ 的中间值

附近,以将余量考虑在内来提高判定的可靠性。也就是说,在将输出不合格信号的DUT 10的个数从零起逐个增加的情况下的合成响应信号设为 S_0 、 S_1 、 S_2 、 $\cdots$ 、 S_n 时,优选将阈值 TH_N 设定为 S_0 与 S_1 的中间值附近、 S_1 与 S_2 的中间值附近、 $\cdots$ 、 S_{n-1} 与 S_n 的中间值附近。在该情况下,优选将阈值 TH_N 设为例如下面的式(2)所表示的值。

[0067] [数3]

$$[0068] \quad TH_N = \{ (S_0 \times [n - (N-1)] / n) + (S_0 \times (n-N) / n) \} \times 1/2 \quad \cdots (2)$$

[0069] [检查方法]

[0070] 接着,参照图8来说明使用检查装置100进行的本发明的一个实施方式所涉及的检查方法的具体过程。图8是表示本发明的一个实施方式所涉及的检查方法的过程的一例的流程图。本实施方式的检查方法包括步骤1~步骤4的处理。

[0071] 在步骤1中,设定在第一次判定中使用的阈值 TH_1 。该阈值 TH_1 由阈值设定部123来设定。根据上述式(1),优选的是,相对于n个DUT 10全部合格的情况下的合成响应信号的输出水平 S_0 ,在第一次判定中设定的阈值 TH_1 满足下面的关系。

$$[0072] \quad S_0 \times n / n \geq TH_1 > S_0 \times (n-1) / n$$

[0073] 另外,考虑余量,更为优选的是设为

$$[0074] \quad TH_1 = [S_0 \times n / n + S_0 \times (n-1) / n] \times 1/2。$$

[0075] 在步骤2中,基于信号控制部121的指令,通过模式生成器31生成时钟信号和数据信号,并对全部n个DUT 10同时输入相同的试验信号。

[0076] 在步骤3中,由比较器32将响应于试验信号而从各DUT 10输出的响应信号的合成值(合成响应信号)与阈值 TH_1 进行比较。在该情况下,继电器开关部53全部被维持为连接状态(闭合)。

[0077] 接着,在步骤4中,判定部122从比较器32获取阈值 TH_1 与合成响应信号的比较信息,基于该比较信息来判定是否为n个DUT 10中的一个以上不合格、也就是说是否为全部DUT 10均合格。

[0078] 在步骤4中判定为“n个DUT 10中的一个以上不合格”(“是”)的情况下,再次返回到步骤1。即,再次在步骤1中通过阈值设定部123设定在第二次判定中使用的阈值 TH_2 来作为新阈值。根据上述式(1),优选的是,相对于n个DUT 10全部合格的情况下的合成响应信号的输出水平 S_0 ,在第二次判定中设定的阈值 TH_2 满足下面的关系。

$$[0079] \quad S_0 \times (n-1) / n \geq TH_2 > S_0 \times (n-2) / n$$

[0080] 另外,考虑余量,更为优选的是设为

$$[0081] \quad TH_2 = \{ [S_0 \times (n-1) / n] + [S_0 \times (n-2) / n] \} \times 1/2。$$

[0082] 当在步骤1中设定了新阈值(例如,第二次判定中使用的阈值 TH_2)时,执行步骤2~步骤4的处理,来进行第二次判定。像这样循环地重复执行步骤1~步骤4的处理,直到在步骤4中判定为“非n个DUT 10中的一个以上不合格”(“否”)为止。此外,也可以预先设定重复次数的上限,在达到了上限的情况下,从判定部122向信号控制部121和阈值设定部123发送中止信号。

[0083] 另一方面,在步骤4中判定为“非n个DUT 10中的一个以上不合格”(“否”)的情况下,结束本实施方式的检查方法的处理。

[0084] 在本实施方式中,通过与输出不合格信号的DUT 10的个数从零的状态起逐个增加

的情况下的合成响应信号的输出水平 S_0 、 S_1 、 S_2 、 $\cdots$ 、 S_N (其中, N 表示1以上的正整数) 相对地地变更阈值 TH , 能够判定 n 个DUT 10之中输出了不合格信号的DUT 10的个数。

[0085] 即, 在第一次判定中, 将阈值 TH_1 设定在 n 个DUT 10全部输出合格信号 (也就是说, 零个DUT 10输出不合格信号) 的情况下的合成响应信号的输出水平 S_0 与 n 个DUT 10之中的一个输出不合格信号的情况下的合成响应信号的输出水平 S_1 之间 (优选为输出水平 S_0 与输出水平 S_1 的中间值附近)。

[0086] 另外, 在第二次判定中, 将阈值 TH_2 设定在 n 个DUT 10之中的一个输出不合格信号的情况下的合成响应信号的输出水平 S_1 与 n 个DUT 10之中的两个输出不合格信号的情况下的合成响应信号的输出水平 S_2 之间 (优选为输出水平 S_1 与输出水平 S_2 的中间值附近)。

[0087] 并且, 在第 N 次判定中, 将阈值 TH_N 设定在 n 个DUT 10之中的 $N-1$ 个输出不合格信号的情况下的合成响应信号的输出水平 $S_{(N-1)}$ 与 n 个DUT 10之中的 N 个输出不合格信号的情况下的合成响应信号的输出水平 S_N 之间 (优选为输出水平 $S_{(N-1)}$ 与输出水平 S_N 的中间值附近)。像这样一边变更阈值 TH 一边重复执行上述步骤1~步骤4的过程, 由此能够自动地判定在 n 个DUT 10之中输出了不合格信号的DUT 10的个数。

[0088] 在重复执行上述步骤1~步骤4的过程的情况下, 例如也能够控制在控制部4中设置与阈值设定部123连接的计数部 (省略图示), 在每次通过阈值设定部123设定阈值 TH 时, 使计数增加1。在该情况下, 由计数部计数得到的计数值 (1、2、3、 $\cdots$ 、 N) 与步骤1~步骤4的过程的执行次数相等。另外, 最终在步骤4中判定为“非 n 个DUT 10中的一个以上不合格” (“否”) 时的计数值 (1、2、3、 $\cdots$ 、 N) 为输出了不合格信号的DUT 10的个数加1得到的值, 因此能够迅速掌握输出了不合格信号的DUT 10的个数。

[0089] 另外, 在来自各DUT 10的个别响应信号的输出水平 S_d 有可能发生变动的情况下, 也可以设置以下步骤: 预先针对任意的一个至数个DUT 10测定个别响应信号的输出水平 S_d , 基于这些值对由阈值设定部123设定的阈值 TH 进行校正。

[0090] <变形例>

[0091] 在本实施方式的检查方法中, 如上所述, 无法确定输出了不合格信号的DUT 10。因此, 也可以是, 除了上述步骤1~步骤4以外, 还设置将来自各DUT 10的个别响应信号的输出水平 S_d 与阈值 TH 进行比较的工序。即, 也可以变更为, 在步骤4中判定为“ n 个DUT 10中的一个以上不合格” (“是”) 的情况下, 不返回到步骤1, 而是将来自各DUT 10的个别响应信号的输出水平 S_d 与阈值 TH 进行比较。在该情况下, 只要仅使信号输入输出电路33的一个个别输出线路52的继电器开关部53为连接状态 (闭合)、而使其它个别输出线路52的继电器开关部53为非连接状态 (断开) 来向比较器32发送个别响应信号即可。此外, 也可以利用能够从多个DUT 10之中选择任意的DUT 10来电连接的片选端子, 来代替对继电器开关部53进行切换的方式。另外, 在第一次过程的步骤4中判定为“ n 个DUT 10中的一个以上不合格” (“是”) 的情况下, 既可以立即转到个别响应信号的判定, 也可以仅在将上述步骤1~步骤4的处理重复了规定次数 (例如5次~10次) 之后仍然在步骤4中判定为“ n 个DUT 10中的一个以上不合格” (“是”) 的情况下, 转到个别响应信号的判定。

[0092] 如以上那样, 在本实施方式的检查方法中, 使用将来自多个DUT 10的输出信号进行合成所得到的合成响应信号来进行与阈值 TH 的比较, 因此能够迅速地判定在多个DUT 10之中是否包含不合格 (FAIL) 的DUT 10。另外, 通过一边变更阈值 TH 一边重复执行上述步骤1

～步骤4的过程,能够在n个DUT 10之中自动地判定输出了不合格信号的DUT 10的个数。因而,通过利用本实施方式的检查方法,能够在各种半导体器件的检查中以短时间进行高效的检查。

[0093] 本实施方式的检查方法能够用于各种半导体器件的检查。特别是,能够良好地应用于例如NAND型快闪存储器等非易失性半导体存储器元件的写入试验。在本实施方式的检查方法中,如上所述,能够自动且迅速地判定输出了不合格信号的DUT 10的个数,但是无法确定输出了不合格信号的DUT 10。但是,在非易失性半导体存储器元件的情况下,在写入试验之后针对个别的DUT 10实施读取试验,因此能够通过读取试验来确认各个DUT 10是否合格以及不良DUT 10的确定。

[0094] 以上以例示为目的详细说明了本发明的实施方式,但是本发明不限于上述实施方式,能够进行各种变形。例如,只要是对输出READY信号/BUSY信号的器件一并进行检查的情况,则无论器件的种类如何都能够良好地利用本发明的检查方法。

[0095] 另外,在图8的流程图中,设每执行1次步骤2～步骤4的处理就在步骤1中设定新阈值,但是也可以变更为:在虽然将步骤2～步骤4的处理重复了规定次数但是仍然在步骤4中判定为“n个DUT 10中的一个以上不合格”(“是”)的情况下,返回到步骤1来设定新阈值。

[0096] 本国际申请主张基于在2014年8月1日申请的日本专利申请2014-157753号的优先权,在此引用该申请的全部内容。

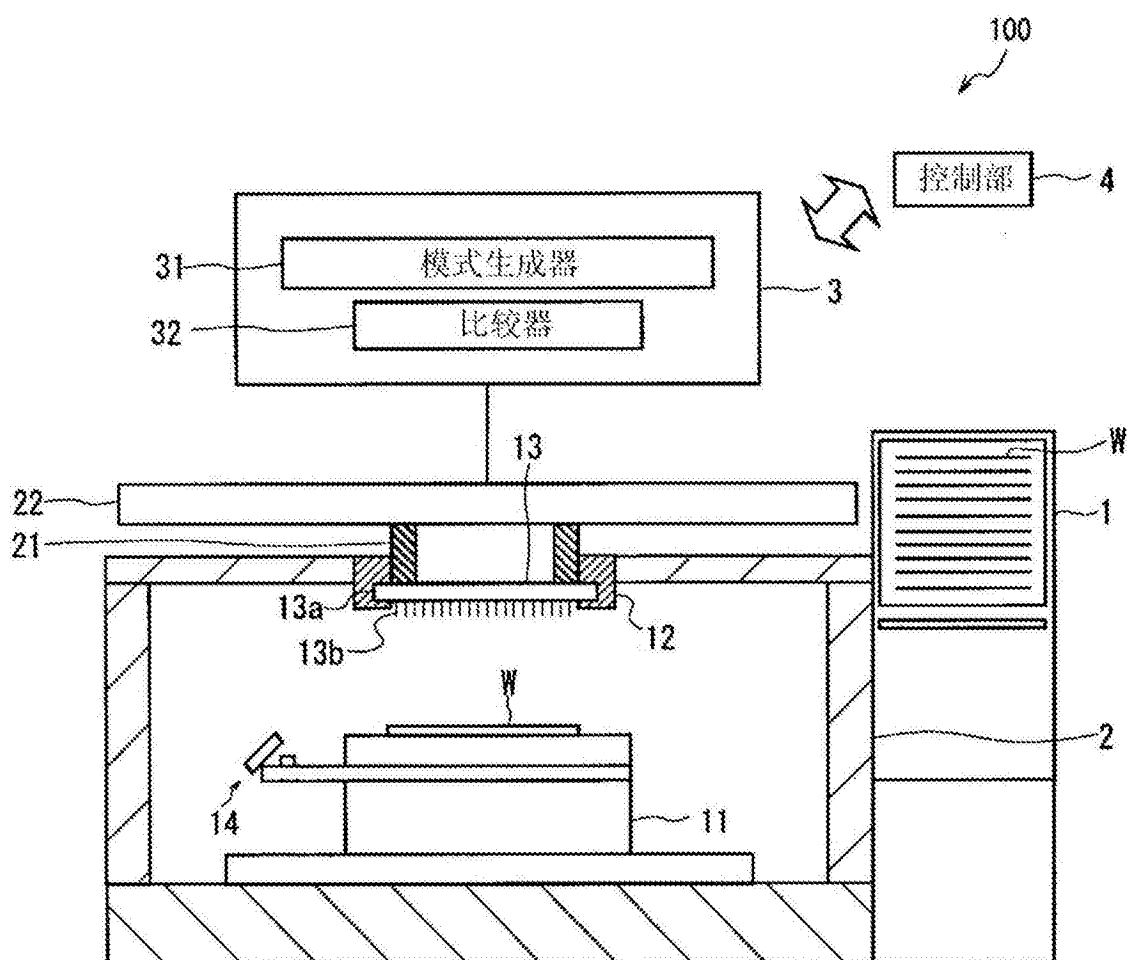


图1

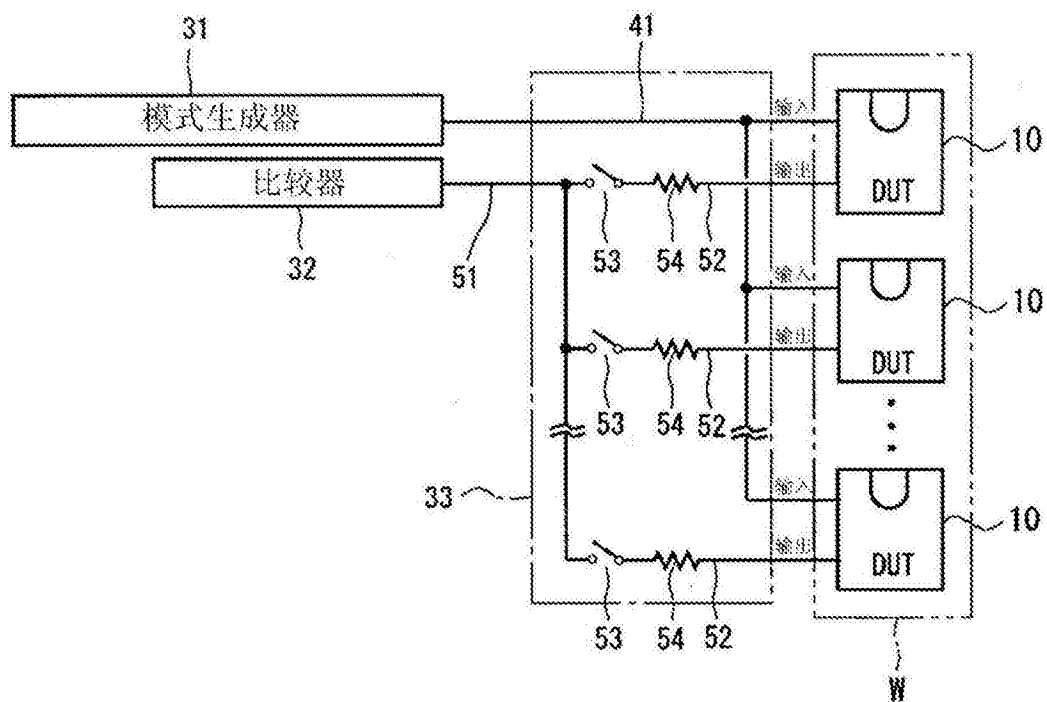


图2

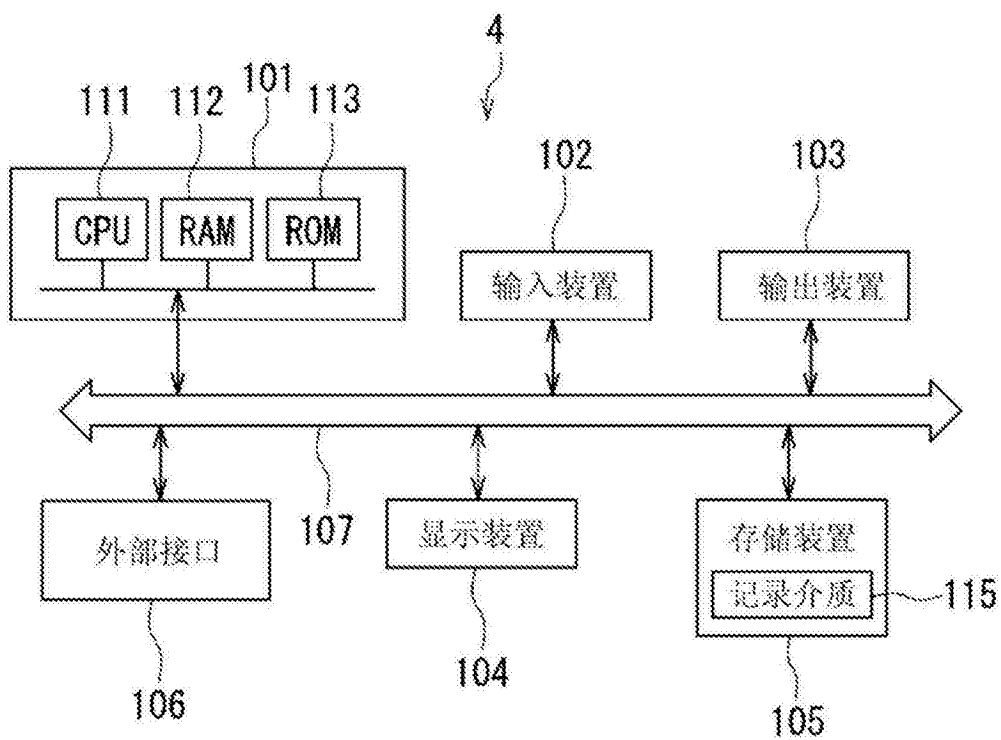


图3

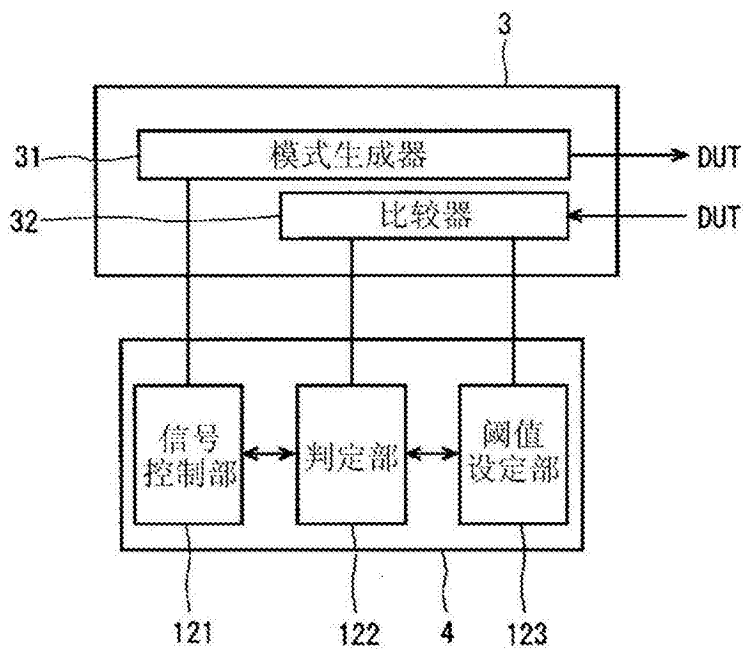


图4

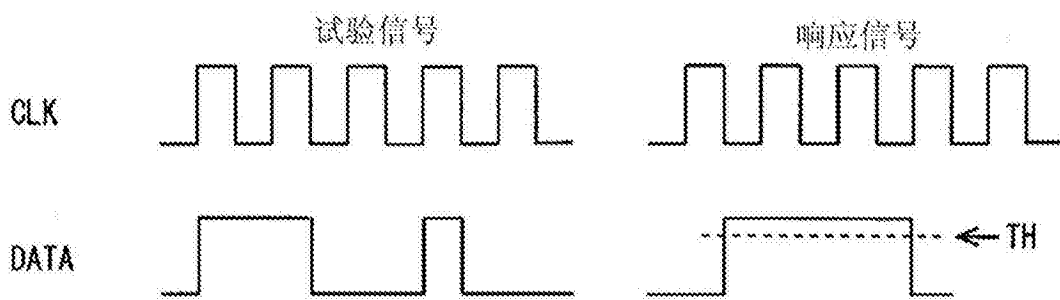


图5

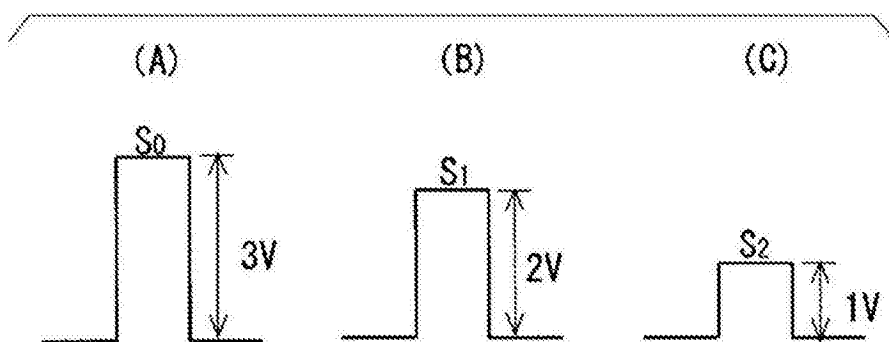


图6

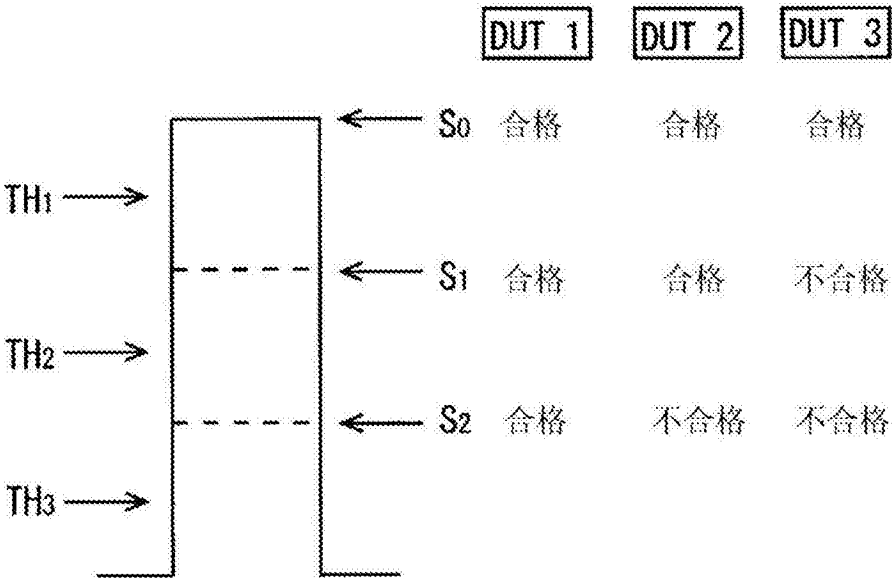


图7

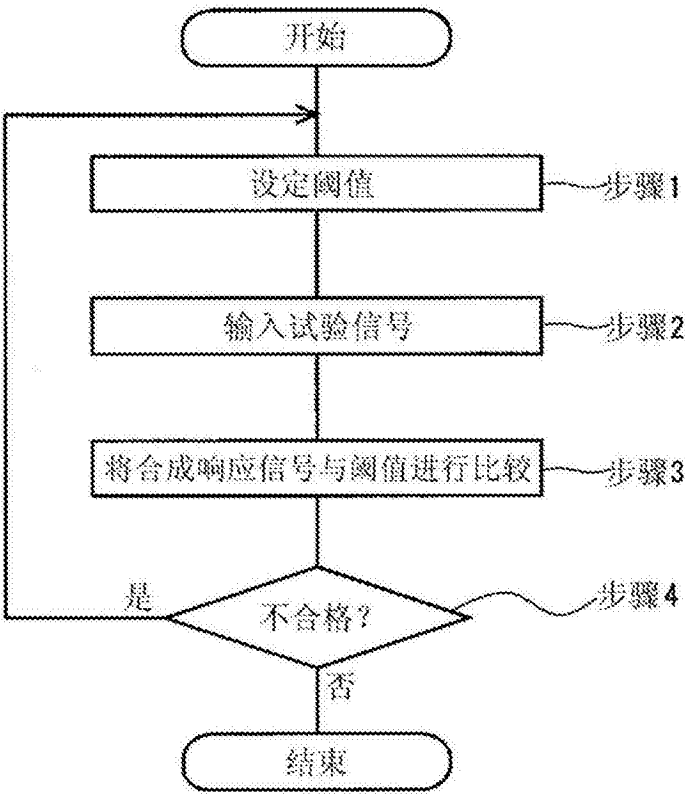


图8