

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(21) 출원번호	10-1999-7007890	(65) 공개번호	10-2000-0075817
(22) 출원일자	1999년08월28일	(43) 공개일자	2000년12월26일
번역문 제출일자	1999년08월28일		
(86) 국제출원번호	PCT/IB1998/001577	(87) 국제공개번호	WO 1999/35587
국제출원일자	1998년10월08일	국제공개일자	1999년07월15일

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 09/000,672 1997년 12월 30일 미국(US)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 훌리알카르사미르엔.
네덜란드,아아아인드호펜5656,홀스트란6

(74) 대리인
이병호
정상구
신현문
이범래

심사관 : 이재근

(54) 버스 브리지에서 복수의 버스 노드들에 사이클 클러스터를 분배하는 방법 및 장치

요약

브리지 포털들(22)의 각각이 버스들(30)의 각각에 결합되는 복수의 브리지 포털들(22), 및 스위칭 서브시스템들의 각각이 브리지 포털들(22)의 각각에 결합되는 복수의 스위칭 서브시스템들(80,100,122,140 또는 150)을 포함하는 복수의 버스들(30)을 상호 접속하기 위한 버스 브리지(20)가 개시된다. 복수의 스위칭 서브시스템들(80,100,122,140 또는 150)은 복수의 브리지 포털들(22)을 상호 접속하는 스위칭 시스템(24)을 집합적으로 구성한다. 버스 브리지(20)는 각각의 사이클 클럭 서브시스템이 각각의 브리지 포털(22)과, 그에 결합된 각각의 스위칭 서브시스템(80,100,122,140 또는 150)과 동작 가능하게 연관되는 복수의 사이클 클럭 서브시스템들(83,103 또는 123)을 더 포함한다. 각각의 사이클 클럭 서브시스템은, 사이클 클럭을 발생시키는 사이클 클럭 발생기(92 또는 110), 및 사이클 클럭 발생기 리셋 입력에서 사이클 클럭을 수신하고, 각각의 스위칭 서브시스템과 각각의 브리지 포털에 대한 공통 타이밍 기준을 구성하는 사이클 카운터 출력을 생성하는 사이클 카운터(90,112 또는 121)를 포함한다. 버스 브리지(20)는 바람직하게 IEEE 1394 시리얼 버스 브리지이다. 스위칭 서브시스템과 브리지 포털의 다양한 구현이 개시된다.

대표도

도 5

색인어

브리지 포털, 버스, 스위칭 서브시스템, 버스 브리지, 사이클 클럭, 카운터

명세서

기술분야

본 발명은 일반적으로 버스 브리지들에 관한 것이며, 더 상세하게는 복수의 IEEE 시리얼 로컬 버스들을 상호 접속하는 IEEE 1394 시리얼 버스 브리지의 복수의 시리얼 버스 노드들(브리지 포털들(bridge portals))에 사이클 클럭을 분배하는 방법 및 장치에 관한 것이다.

배경기술

IEEE 1394 표준(이하, 때때로 간단히 "IEEE 1394"라 칭함)은 디지털 TV, PC들, 디지털 VCR들, 디지털 캠코더들, 프린터들, 팩스 머신들과 같은 가전들 및 컴퓨터 제품들을 상호 접속하는 시리얼 버스 기술을 규정한다. IEEE 1394(때때로 "파이어와이어(firewire)"라 함)는 현재 저비용이고 유연하며 사용하기 쉽기 때문에, 가전들 및 컴퓨터 제품들을 접속하는데 가장 널리 인정되고 있는 고속 디지털 상호 접속 기술이다. 기본 IEEE 1394 표준은 100Mbps, 200Mbps 및 400Mbps의 시리얼 데이터 레이트들을 규정한다. 새로운 IEEE 1394 서브-그룹(("IEEE p1394.b")로 알려짐)은 현재 3.2 Gbps까지의 시리얼 데이터 레이트들에 대한 백워드-호환 가능한 확장을 한다. IEEE 1394는 비동기 데이터 및 동시성 데이터 모두를 지원할 수 있고, 따라서 멀티미디어 응용들에 이상적으로 적합하다. IEEE Spectrum의 1997 4월호에는, "정보 고속도로가 멀티미디어에 이르면, 전문가들은 1394가 고속도로의 처음과 마지막 3미터를 포장(pave)할 것"이라고 예측된다고 전술되어 있다.

IEEE 1394는 현재 4.5 미터의 길이 또는 최대 유선 거리를 규정한다. 따라서, 본래 IEEE 1394 시리얼 버스들은 상호 근접한 부품들을 상호 접속하는데에만 사용될 수 있다. 상호 근접한 이러한 상호 접속된 부품들의 시스템은 흔히 "클러스터(cluster)"라고 한다. 주거 환경에서의 클러스터의 예는 홈 엔터테인먼트 클러스터, 홈 컴퓨팅 클러스터, 베드룸 클러스터 등과 같은 "멀티미디어 아일랜드(multimedia island)"이다.

도 1에 도시된 바와 같이, 유선 또는 무선 접속을 통해 클러스터들의 상호 접속이 가능하다. 현재, IEEE 1394 시리얼 버스를 유선 인프라구조 내에서 확장하는 두 가지 주요한 방법들이 있다. 현재 IEEE p1394.b 서브-그룹에 의해 고려되는 한가지 방법은, 플라스틱 광섬유 (POF : plastic-optical-fiber) 또는 비차폐 트위스트 폐어(UTP 카테고리 5)를 사용하여 IEEE 1394 시리얼 버스를 확장시켜 장거리 IEEE 1394 시리얼 버스 확장을 구현하는 것이다. 이러한 종류의 확장은 50-100 미터의 거리에 도달할 수 있다. 현재 IEEE p1394.1 서브-그룹에 의해 고려되는 다른 접근 방법은, 두개의 서로 다른 IEEE 시리얼 버스 세그먼트들 또는 클러스터들 간에 유선 IEEE 1394 "브리지(bridge)"를 생성함으로써 IEEE 1394 시리얼 버스를 확장하는 것이다.

도 1을 계속 참조하면, IEEE 1394 시리얼 버스를 확장하는 다른 방법은 IEEE 1394 클러스터들 간에 무선 IEEE 1394 "브리지"를 생성하는 것이다. 이러한 무선 IEEE 1394 브리지들은 IEEE 1394 네트워크와 연관된 사용의 편의성과 유연성을 보장한다. 일반적으로, 유선 IEEE 1394 브리지들은 IEEE 1394 "아웃렛(outlet)"이 모든 방마다 설치될 수 있는 새로운 주거 벌딩들 내에서 바람직한 방법이 될 것으로 예상될 수 있다. 그러나, 기존 주거지들의 이러한 유선 IEEE 1394 브리지들을 개장(retrofitting)하는 것은 광범위한 재배선 작업이 요구되므로 많은 주거지들에서 엄청난 비용이 들 수 있는 것으로 판명되었다. 따라서, 이러한 기존의 주거지들에 대해서는, 충분히 비용이 저렴하다면 무선 IEEE 1394 브리지들이 적합한 대안을 제공할 수 있다. 더욱이, IEEE 1394 시리얼 버스들을 확장시키는 것에 대한 유선 및 무선 해결 방법들은 주거 환경 내에서 상보적인 방식으로 공존할 것이다.

무선 브리지들은 내재적인 단점을 가지고 있다는 것을 주지해야 한다. 즉, 무선 브리지들은 고속 무선 접속들을 구현하는 내재적인 복잡성으로 인해, 유선 브리지들보다 훨씬 낮은 데이터 전송 레이트들을 갖게된다. 더욱이, 무선 브리지들은 유선 브리지들과 비교하여, 더 높은 데이터 레이트들에 저렴하게 스케일링 가능하지 않다. 이는 주로 무선 주파수 스펙트

럼이 그 사용에 관해 FCC 규정들을 따라 공유된 것이기 때문이다. 예를 들어, 2.4 GHz 대역의 사용은 확산 스펙트럼 통신들에 제한되어, 사용 가능한 데이터 레이트들을 2-4 Mbps로 제한한다(IEEE 802.11). 무선 비동기 전송 모드(WATM)를 사용하여 더 높은 데이터 레이트(약 25-50 Mbps) 전송들이 가능하다. 그러나, 이러한 WATM 기술을 사용한 더 높은 데이터 레이트 전송들은 5.15 내지 5.35와 5.725 내지 5.825 GHz 사이의 NII 대역을 사용해야 하는데, 이는 이들 주파수들을 위한 RF 기술이 아직 미숙하기 때문에 구현하는데 상당히 비싸다.

위의 설명으로부터, 무선 IEEE 1394 브리지들은 다중의 데이터 레이트들을 사용할 수 있고, 그에 의해 무선 IEEE 1394 브리지들이 다중 데이터 레이트들을 지원할 수 있어야 한다는 것을 알 수 있다.

지금부터 도 2를 참조하면, IEEE 1394 브리지의 일반 구조가 설명될 것이다. 특히, IEEE 1394 브리지(20)는 두개 또는 그보다 많은 브리지 포털들(22), 구현 특정 스위칭 패브릭(implementation-specific switching fabric)(24) 및 사이클 클럭(26)을 포함한다. 각각의 브리지 포털(22)은, 그 개시가 본 명세서에 참조로서 포함된 문서 P1394, 초안 8.0v4(1995.11.21)에 기재되어 있는 바와 같이, 그것에 접속된 각각의 로컬 IEEE 1394 시리얼 버스(30)로부터의 시리얼 버스 판독, 기록 및 로크 요청들(lock requests)에 응답하는 별도의 시리얼 버스 노드이다. 각각의 브리지 포털(22)은, 존재한다면 어떤 패킷들이 스위칭 패브릭(24)을 통하여 다른 브리지 포털(22)로 라우팅되는지를 결정하기 위해, 비동기 및 등시성 둘 다의 모든 시리얼 버스 패킷들을 모니터링한다. 브리지 포털(22)을 상호 접속하는 스위칭 패브릭(24)은, 유선 및/또는 무선 데이터 전송 수단을 사용하여 하나의 브리지 포털(22)에서 다른 브리지 포털(22)로 임의의 시리얼 버스 패킷들을 전송할 수 있다. 로컬 IEEE 1394 시리얼 버스 내에는, 공통 사이클 클럭이 해당 버스 상의 모든 노드들에 분배될 필요가 있다. 이러한 동기화 조건의 중요한 이유는 소스에서의 실시간 데이터의 타임 스탬핑(timestamping)을 가능하게 하고, 이로 인해 이러한 타임 스탬프는, 네트워크가 항상 전송에 사용 가능하지 않다(공유되기 때문에)는 사실로 인해 발생시키는 타이밍 지터를 크게 감소시키는데 사용될 수 있다.

로컬 IEEE 1394 시리얼 버스에서는, 사이클 마스터(또는 "루트 노드(root node)")는 이러한 기능을 수행한다. 사이클 마스터는 로컬 버스에 접속된 모든 노드들을 $125\mu s$ 사이클 클럭에 동기화시키는 역할을 한다. 사이클의 시작에서, 사이클 마스터는 노드들의 각각에 "사이클_시작 패킷(cycle_start packet)"이라고 하는 특수한 비동기 패킷을 전송한다. 각각의 사이클_시작 패킷은 현재 버스_시간을 포함하고, 각각의 노드의 사이클 시간 레지스터(CTR)에 기록된다. 사이클 마스터가 사이클_시작 패킷(즉, 몇몇 사용자/노드는 특정 시간에 일부 데이터를 전송할 수 있음)을 전송하려고 시도할 때 통신 채널이 "통화중(busy)"일 수 있기 때문에, 사이클_시작 패킷의 전송은 블록 전송이 끝나고 통신 채널이 사용 가능하게 될 때까지 사이클 마스터가 대기해야 하는 시간만큼 지연될 수 있다. 사이클 마스터가 모든 다른 노드들에 걸쳐 우선권을 가지기 때문에, 이러한 불가결한 지연들은 최소화된다. 사이클_시작 패킷을 수신하는 각각의 노드는 그 카운터를 즉시 리셋시켜, 모든 노드들이 동일한 사이클에 동기화되게 해야 한다.

이러한 사이클 클럭은, 이전에 설명된 바와 같이 다중의 가능한 데이터 레이트들로 전송하는 유선 또는 무선 수단을 사용하여 구현될 수 있는 IEEE 1394 브리지를 통해 전송되어야 한다. 현재, IEEE p1394.1 서브-그룹은 사이클 클럭의 전송을 작업의 일환으로 고려하지 않으며, 이러한 사이클 클럭을 전파시키는 방법에 대해서는 현재 사용 가능한 어떠한 문서에도 언급이 없다.

위에서 기술된 바와 같이, IEEE 1394 브리지에서, 모든 브리지 포털들은 각각의 로컬 IEEE 1394 시리얼 버스 상의 노드들이다. "사이클 먼스터(cycle monster)"는 시리얼 버스 브리지에 접속된 모든 IEEE 1394 시리얼 버스 중 하나의 시리얼 버스 내에 존재하는데, 이는 모든 IEEE 1394 시리얼 버스들에 걸쳐 사이클 클럭이 전파되는 노드이다. 사이클 먼스터는 브리지 포털일 필요가 없다는 것을 알아야 한다. 일반적으로, 사이클 먼스터와 IEEE 1394 시리얼 버스에 접속된 브리지 포털은 "사이클 먼스터 포털(cycle monster portal)"이라고 한다. 또한, 사이클 먼스터 포털을 제외하고 모든 브리지 포털들은 사이클 마스터들이라는 것에 유의해야 한다.

IEEE 1394 시리얼 버스 브리지에서의 모든 브리지 포털들은, IEEE 1394 브리지가 실시간 데이터의 등시성 라우팅을 지원하도록 공통 사이클 클럭에 동기화되어야 한다. 즉, 필요한 것은 서로 다른 유선 또는 무선 스위칭 패브릭들(구현 특정하고, 따라서 다양한)의 사용으로 유발된 타이밍 지터를 최소화시키면서 이러한 동기화 조건을 충족시키기 위한 사이클 클럭 분배 방법이다. 본 발명은 이들 조건들을 충족시킨다.

발명의 상세한 설명

본 발명은 그 양태들 중 하나에서, 브리지 포털들의 각각이 버스들의 각각에 결합되는 복수의 브리지 포털들, 및 서브시스템들의 각각이 브리지 포털들의 각각에 결합되는 복수의 스위칭 서브시스템들을 포함하는 복수의 버스들을 상호 접속하는 버스 브리지를 포함한다. 복수의 스위칭 서브시스템들은 복수의 브리지 포털들을 상호 접속하는 스위칭 시스템을 집합적

으로 구성한다. 버스 브리지는 복수의 사이클 클럭 서브시스템들을 더 포함하며, 각각의 서브 시스템은 그에 결합된 각각의 스위칭 서브시스템과 각각의 브리지 포털과 동작 가능하게 연관되어 있다. 각각의 사이클 클럭 서브시스템은 사이클 클럭을 발생시키는 사이클 클럭 발생기와, 그리셋 입력에서 사이클 클럭을 수신하고 각각의 스위칭 서브시스템과 각각의 브리지 포털에 대한 공통 타이밍 기준을 구성하는 사이클 카운터 출력을 생성하는 사이클 카운터를 포함한다. 버스 브리지는 IEEE 1394 시리얼 버스 브리지가 바람직하다. 스위칭 시스템은 프레임 동기화 프로토콜을 사용하는 유선 또는 무선 스위칭 시스템일 수 있다. 스위칭 서브시스템과 브리지 포털들의 다양한 특수한 구현들이 개시된다.

본 발명은 그 양태들 중 다른 하나에서, 각각의 브리지 포털이 버스들의 각각에 결합되는 복수의 브리지 포털들, 및 스위칭 서브시스템들의 각각이 브리지 포털들의 각각에 결합되는 복수의 스위칭 서브시스템들을 포함하는 버스 브리지에서 사이클 클럭을 분배시키기 위한 방법을 포함하며, 복수의 스위칭 서브시스템들은 복수의 브리지 포털들을 상호 접속하는 스위칭 시스템을 집합적으로 구성한다. 그러한 방법은 각각의 브리지 포털에서, 사이클 클럭을 발생시키는 단계; 각각의 브리지 포털에서 사이클 카운터를 사용하여 사이클 카운터 출력을 발생시키는 단계; 및 사이클 카운터 출력을 사용하여 그에 결합된 각각의 스위칭 서브시스템 및 브리지 포털에 대한 공통의 타이밍 기준을 발생시키는 단계를 포함한다.

본 발명의 이들 및 다른 특징들, 목적들 및 장점들은 첨부된 도면들과 함께 판독된 다음의 상세한 설명으로부터 보다 명확히 알 수 있을 것이다.

도면의 간단한 설명

도 1은 IEEE 1394 클러스터들의 유선 및 무선 상호 접속을 도시한 블록도.

도 2는 IEEE 1394 시리얼 버스 브리지의 일반적인 구조를 도시한 블록도.

도 3은 IEEE 1394 시리얼 로컬 버스의 루트 노드에서 사이클_시작 패킷을 발생시키는 사이클 클럭 서브시스템의 블록도.

도 4는 IEEE 1394 시리얼 로컬 버스의 수신기 노드에서 사이클_시작 패킷을 처리하는 서브시스템의 블록도.

도 5는 본 발명의 제 1 바람직한 실시예에 따른 사이클 먼스터 포털, 무선 스위칭 서브시스템, 및 사이클 클럭 서브시스템의 블록도.

도 6은 본 발명의 제 2 바람직한 실시예에 따른 사이클 먼스터 포털, 무선 스위칭 서브시스템, 및 사이클 클럭 서브시스템의 블록도.

도 7은 본 발명에 따른 다른 브리지 포털, 무선 스위칭 서브시스템, 및 사이클 클럭 서브시스템의 블록도.

도 8은 본 발명의 대안적인 실시예에 따른 사이클 먼스터 포털, 무선 스위칭 서브시스템, 및 사이클 클럭 서브시스템의 블록도.

도 9는 본 발명의 대안적인 실시예에 따른 다른 브리지 포털, 무선 스위칭 서브시스템, 및 사이클 클럭 서브시스템의 블록도.

실시예

지금부터 도 3을 참조하면, 로컬 IEEE 1394 시리얼 버스의 루트 노드에서 사이클_시작 패킷을 발생시키기 위한 사이클 클럭 서브시스템(40)이 도시되어 있다. 사이클 클럭 서브시스템(40)은 24.576MHz의 마스터 클럭 레이트로 동작하고, IEC 1883 표준에 따른 IEEE 1394 데이터 패킷들을 타임 스템핑하는데 사용되는 사이클 카운터(44)에 그 24.576MHz 클럭 출력을 전달하는 크리스탈(42)을 포함한다. 목표는, 로컬 IEEE 1394 시리얼 버스에 접속된 모든 노드들 내의 사이클 카운터들을 동기화시키는 방식으로 로컬 IEEE 1394 시리얼 버스에 접속된 모든 노드들에 사이클 클럭이 분배되는 것이다. 이 목표는 다음과 같은 방식으로 달성된다.

사이클 카운터(44)의 출력은 125μs마다 상태 머신(48)에 타이밍 신호를 전송하는 모듈로(modulo) 125 μs 블록(46)을 통해 전달된다. 모듈로 125μs 블록(46)의 출력의 수신시, 상태 머신(48)은 1394 물리(PHY)층(50)에 채널 요청 신호를 전송한다. 채널이 사용 가능한 즉시, 1394 PHY층(50)은 상태 머신(48)에 채널 사용 가능 신호를 역전송한다. 채널 사용 가능

신호의 수신시, 상태 면신(48)은 사이클_시작 패킷에 대한 패킷 헤더를 준비하고, 또한 버스_시간을 발생시키기 위해 적당한 순간에 사이클 카운터(44)의 내용들을 래치하는 레지스터(52)에 인에이블 신호를 전송한다. 레지스터(52)에 인에이블 신호의 전달을 적당히 지연함으로써 처리에서의 약간의 지연이 고려될 수 있다.

(루트 노드에 의해 전송된 패킷 헤더와 버스_시간부들로 구성되는) 사이클_시작 패킷을 수신하는 각각의 노드에서, 그 수신기 노드내의 사이클 카운터는 수신된 사이클_시작 패킷에 따라 적당한 버스_시간으로 설정되어야 한다. 이러한 버스_시간 리셋 기술은 도 4에 도시되어 있다. 도 4로부터 알 수 있는 바와 같이, 수신기 노드의 1394 PHY 층(60)은 루트 노드에 의해 전송된 사이클_시작 패킷을 수신하고 이를 링크 층으로 전송한다. 그 후, 수신기 노드는 다음에 수신된 패킷이 실제, 사이클_시작 패킷임을 보장하기 위해, 사이클_시작 패킷(블록 62에서)의 패킷 헤더를 디코딩한다. 동시에, 버스_시간 값이 수신기 노드의 레지스터(64)에 로딩된다. (디코딩 동작 또는 버스_시간 값의 레지스터(64)의 로딩 중 어느 쪽이든) 처리지연에 의존하여, 적당한 처리 지연이 결정된다.(블록 66에서) 결정된 처리 지연은 가산기(68)에 의해 레지스터(64)의 출력에 가산되고, 디코드 사이클_시작 헤더 블록(62)의 출력이 지연 소자(70)에 의해 미리 결정된 처리 지연만큼 지연된다. 지연 소자(70)의 출력은 수신기 노드의 사이클 카운터(72)에 인가되는 로드 신호를 구성한다. 로드 신호는 사이클 카운터(72)로 가산기(68)에 의해 출력된 합계의 로딩을 가능하게 한다. 사이클 카운터(72)는 수신기 노드의 24.576MHz 크리스탈(75)의 클럭 출력에 의해 $125\mu s$ 마다 리셋된다. 사이클 카운터(72)의 $125\mu s$ 마다의 리셋은, 서로 다른 노드들에서 서로 다른 크리스탈들로부터 얻어진 클럭들이 서로에 대해 그다지 편차(drift)나지 않게 한다. 이러한 메커니즘은 MPEG 비디오 상의 타이밍 지터를 3 버스 클럭 사이클들에 또는 약 120ns로 제한한다.

위에서 기술된 바와 같이, IEEE 1394 시리얼 버스 브리지에서의 모든 브리지 포털들은, IEEE 1394 브리지가 실시간 데이터의 동시성 라우팅을 지원하도록 공통 사이클 클럭에 동기화되어야 한다. 즉, 필요한 것은 서로 다른 유선 또는 무선 스위칭 패브릭들(구현 특정하고, 따라서 다양한)의 사용으로부터 유발된 타이밍 지터를 최소화시키면서 이러한 동기화 조건을 충족시키기 위한 사이클 클럭 분배 방법이다.

무선 스위칭 패브릭을 사용하여 IEEE 1394 브리지 포털들을 상호 접속할 때, 이하에 열거되는 문제점들이 존재한다:

- (1) 사이클_시작 패킷에 대한 오버헤드가 낮은 데이터 레이트 전송들에 대해 결정적이어서 $125\mu s$ 마다 사이클_시작 패킷을 전송하는 것이 가능하지 않을 수 있다.
- (2) 사이클_시작 패킷의 전송이 요구되는 정확한 순간에 무선 통신 채널이 사용 가능하지 않을 수 있다. 통신 채널이 액세스할 수 없는 시간은 유선 스위칭 패브릭에 대해 매우 클 수 있다.
- (3) 사이클 면스터 포털이 루트 노드가 아닐 가능성성이 있다.
- (4) 대부분의 표준들이 서로 다른 무선 노드들 간에 동기화되는 프레임 타이밍의 개념을 가질지라도 현재의 모든 무선 전송 표준들이 프레임 기준으로 동작하지는 않는다.

이하에 명확히 기술되는 바와 같이, 본 발명의 사이클 클럭 분배 방법은 위에서 기술한 문제점들의 각각을 해결한다. 먼저, IEEE 1394와 호환성이 있는 것으로 간주되는 모든 무선 표준들은 프레임 동기화 메커니즘을 지원한다고 가정한다. 이러한 점에서, IEEE 802.11은 주기적으로 이격된 비콘들을 프레임 동기화 메커니즘으로서 사용한다. 타임 스템프들을 사용하는 유사한 방법이 유럽에서 "HIPERLAN 2"이라고 하는 무선 ATM(WATM)에 제안되었다. GSM, DECT, IS-95, IS-54 및 IS-136과 같은 무선 셀룰러 표준들도 역시 프레임 기준 타이밍을 사용한다. 프레임 기준 타이밍을 사용하지 않는 한가지 주요 무선 표준은 아마도 HIPERLAN 1이다. 그러나, 이러한 표준에 기초한 디바이스들의 작은 모집단(population)이 제공되어도, HIPERLAN 1이 결코 광범위한 수용을 얻지 못할 수 있다. 따라서, 프레임 동기 메커니즘을 지원하는 무선 표준만이 본 발명의 목적을 위해 IEEE 1394와 호환하는 것으로 간주된다는 전제(가정)는 그다지 제한적이지 않다.

지금부터 도 5를 참조하면, 본 발명의 제 1 바람직한 실시예에 따른 무선 스위칭 패브릭을 사용하는 IEEE 1394 시리얼 버스 브리지의 사이클 면스터 포털에서 사이클 클럭을 분배하는 방법이 설명될 것이다. 도 5에서의 "무선부(wireless portion)"(80)는 무선 IEEE 1394 시리얼 버스 브리지의 사이클 면스터 포털에 결합된 무선 스위칭 서브시스템을 의미한다. "1394부"(82)는 무선 IEEE 1394 시리얼 버스 브리지의 사이클 면스터 포털의 통신 인터페이스부를 의미한다. 도 5에 도시된 시스템에서, 사이클 면스터 포털은 사이클 마스터가 아니라고 가정한다. 본 발명에 따르면, (사이클 면스터 포털과 모든 "다른(other)" 브리지 포털을 포함하는) IEEE 1394 시리얼 버스 브리지의 브리지 포털들의 각각은 이하에 명확히 기술되는 바와 같이, 무선(또는 유선) 스위칭 서브시스템들의 각각에 결합될 것이다. 더욱이, 브리지 포털들의 각각에 결합된 복수의 스위칭 서브시스템들은 IEEE 1394 시리얼 버스 브리지의 스위칭 시스템(즉, 스위칭 패브릭)을 집합적으로 구성한다는 것을 알아야 한다.

알 수 있는 바와 같이, 무선부(80)는 도 3에 도시된 사이클 클럭 서브시스템(40)과 사실상 동일하고, 한가지 차이점은 모듈로 $125\ \mu s$ 블록(46)이 모듈로 $W\ \mu s$ 블록(46')으로 대체되며, 여기서, W '는 무선부(80)의 사이클_시간, 또는 보다 일반적으로, 무선부(80)에 의해 사용되는 무선 통신 표준의 프레임 시간이다. 1394부(82)는 도 4에 도시된 수신기 노드 처리 서브시스템과 사실상 동일하다. 본 발명에 따르면, 무선부(80)와 1394부(82) 모두는 사이클 카운터(90)와 24.576 MHz 크리스탈(92)을 포함하는 공통 사이클 클럭 서브시스템(83)에 동작 가능하게 결합되어 있다.

따라서, 무선부(80)와 1394부(82) 모두는 본질적으로 동일한 사이클 클럭의 슬레이브들이다. 이러한 방식으로, 무선부(80) 내의 임의의 부가적 타이밍 지터는 파라미터 "W"의 함수인 무선 스위칭 패브릭의 클럭들 간의 단순 편차를 감소시킬 수 있다.

관련 기술 분야에서 통상의 기술을 가진 자는 이러한 사이클 클럭 분배 기술은 또한 유선 IEEE 1394 시리얼 버스 브리지, 즉 유선 스위칭 패브릭이 사용되고, 그에 의해 무선 서브시스템들이 유선 서브시스템들이 되는 IEEE 1394 시리얼 버스 브리지에 사용될 수 있다는 것을 인식할 것이다.

지금부터 도 6을 참조하면, 본 발명의 제 2 바람직한 실시예에 따른 무선 스위칭 패브릭을 사용하는 IEEE 1394 시리얼 버스 브리지의 사이클 먼스터 포털에서 사이클 클럭을 분배하는 방법이 설명될 것이다. 도 6의 "무선부"(100)는 다시 무선 IEEE 1394 시리얼 버스 브리지의 사이클 먼스터 포털에 결합된 무선 스위칭 서브시스템을 의미한다. "1394부"(102)는 무선 IEEE 1394 시리얼 버스 브리지의 사이클 먼스터 포털의 통신 인터페이스부를 의미한다. 도 6에 도시된 시스템에서, 사이클 먼스터 포털은 사이클 마스터라고 가정한다. 알 수 있는 바와 같이, 무선부(100)는 도 5에 도시된 무선부(80)와 동일하고, 1394부(102)는 도 3에 도시된 사이클 클럭 서브시스템(40)과 본질적으로 동일하다. 상기 사이클 먼스터 포털(102)은, 상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하고, 이에 응답하여 $N\ \mu s$ 마다 제 2 타이밍 신호를 생성하는 모듈로 $N\ \mu s$ 카운터(46)로서, 여기서 N 은 규정된 버스 프로토콜에 의해 명시된 값인, 상기 모듈로 $N\ \mu s$ 카운터(46); 상기 제 2 타이밍 신호에 응답해서 제 2 인에이블 신호를 생성하는 제 2 상태 머신(48'); 및 상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 제 2 인에이블 신호를 수신하는 제 2 입력을 갖는 제 2 레지스터(52')로서, 이에 의해 상기 제 2 레지스터(52')는 제 2 인에이블 신호에 응답해서 제 2 버스_시간 데이터 블록을 출력하고, 상기 제 2 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 제 2 레지스터(52')를 포함한다. 무선부(100) 및 1394부(102)는 모두 24.576 MHz 크리스탈(110) 및 사이클 카운터(112)를 포함하는 공통 사이클 클럭 서브시스템(103)에 동작 가능하게 결합된다.

지금부터 도 7을 참조하면, 본 발명의 바람직한 실시예에 따른 IEEE 1394 시리얼 버스 브리지의 다른 브리지 포털들(즉, 사이클 먼스터 포털들 이외)에서 사이클 클럭을 분배하는 방법이 설명될 것이다. 1394부(120)는 IEEE 1394 시리얼 버스 브리지에서 각각 "다른" 브리지 포털의 통신 인터페이스부를 지칭하고, 무선부(122)는 그에 동작 가능하게 결합된 무선 서브시스템을 의미한다. 일반적으로, 도 7에 도시된 구성은 1394 및 무선부들(120, 122)이 각각 적당한 1394/무선 물리층들로 교체되어 있다는 것을 제외하면, 도 5에 도시된 것과 동일하다. 이 경우, 무선부(122)는 새로운 사이클_시작 패킷을 수신할 때마다 각각의 사이클 클럭 서브시스템(123)의 사이클 카운터(121)를 갱신한다. 위에서 기술된 바와 같이, 사이클_시작 패킷은 1394부(120)의 것과 상이한 레이트들로 무선부(122)에 의해 수신되는 것이 가능하다. IEEE 1394 시리얼 버스 브리지의 모든 브리지 포털들이 사이클 마스터들(가능한 사이클 먼스터 포털을 제외하고)이기 때문에, 각각의 "다른" 브리지 포털의 유선 1394부(120)는 항상 적당한 $125\ \mu s$ 사이클에서 사이클_시작 패킷을 발생시킨다. 그러나, 브리지 포털들의 각각이 그들 로컬 시리얼 버스들의 각각의 사이클 마스터들임은 본 발명의 실무에 필수적이 아니라는 것을 명확히 알아야 한다.

상기 각 사이클 먼스터 포털(82 또는 102) 이외의 상기 브리지 포털들(120 또는 151)은, 상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터 출력을 수신하고, 이에 응답하여 $N\ \mu s$ 마다 타이밍 신호를 생성하는 모듈로 $N\ \mu s$ 카운터(46")로서, 여기서 N 은 규정된 버스 프로토콜에 의해 명시된 값인, 상기 모듈로 $N\ \mu s$ 카운터(46"); 상기 타이밍 신호에 응답해서 채널 요청 신호를 생성하는 상태 머신(48"); 상기 채널 요청 신호를 수신하고, 이에 응답해서 상기 무선 스위칭 시스템(24)에 의해 사용되는 무선 통신 채널이 사용 가능하다는 결정시 채널 사용 가능 신호를 생성하는 물리층(50")으로서, 상기 상태 머신(48")은 상기 채널 사용 가능 신호를 수신하고, 상기 채널 사용 가능 신호에 응답해서 패킷 헤더와 인에이블 신호를 생성하는, 상기 물리층(50"); 및 상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 인에이블 신호에 응답해서 버스_시간 데이터 블록을 출력하고, 상기 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 레지스터(52")를 포함하며, 상기 패킷 헤더와 상기 버스_시간 데이터 블록은 함께 상기 각각의 무선 스위칭 서브시스템(122)에 의해 전송되는 사이클_시작 패킷을 구성한다. 또한, 무선/상호 접속 표준들은 24.575MHz 클럭에 기초하여 사이클 카운터의 완전한 정확도를 지원하지 않을 수 있다. 예를 들어, IEEE 802.11은 단지 $1\ \mu s$ 의 클럭 정확도를 지원할 수 있다. 즉, 완전한 정확도로 24.576MHz 클럭을 표현하는데 충분한 수의 비트들을 갖는 버스_시간을 전송할 수 없다. 그러나, 본 발

명의 다른 양태에 따르면, 무선/상호 접속 표준들이 24.576㎱ 클럭에 기초하여 사이클 카운터의 완전한 정확도를 지원하지 않을 때에도 각각의 사이클 클럭 서브시스템의 사이클 카운터의 완전한 정확도를 보장할 수 있다. 특히, 본 발명의 이러한 양태에 따르면, 사이클 카운터는 24.576 ㎱ 클럭에 기초하여 자신을 계속 갱신하고, 무선 채널을 통해 전송될 수 없는 이 클럭의 최하위 비트들은 프리셋 값, 예를 들어, 모든 제로들에 비교된다. 사이클 카운터 출력의 최하위 비트들이 프리셋 값과 같을 때에만 버스_시간이 무선 채널을 통해 전송된다. 수신기에서, 프리셋 값이 주어진 버스_시간과 함께 사이클 카운터 내에 로딩되고, 그에 의해 사이클 카운터의 완전한 정확도를 보장한다.

작제

도 8은 사이클 카운터의 완전한 정확도가 본 발명의 위에서 기술된 양태에 따라 무선부에 의해 전송되지 않을 때 사이클 먼스터 포털에서 무선 사이클_시작 패킷을 발생시키기 위한 (IEEE 1394 시리얼 버스 브리지)의 서브시스템의 블록도이고, 도 9는 사이클 카운터의 완전한 정확도가 본 발명의 위에서 기술된 양태에 따라 무선부에 의해 전송되지 않을 때 (IEEE 1394 시리얼 버스 브리지의) 다른 브리지 포털들에서 무선 사이클_시작 패킷을 수신하기 위한 (IEEE 1394 시리얼 버스 브리지의) 서브 시스템의 블록도를 도시한다.

도 8에 도시된 서브시스템의 무선부(140)는 무선부(140)가, 사이클 카운터 출력의 하위 비트들이 프리셋 값과 같을 때를 결정하고, 동일성이 검출될 때 상태 머신에 의해 사이클_시작 패킷의 전송을 개시하는 트리거 신호를 생성하기 위한 부가의 처리 블록(142)을 포함하는 것을 제외하면, 도 6에 도시된 무선부(100)와 동일하다. 유사하게, 도 9에 도시된 서브시스템의 무선부(150)는 수신된 사이클_시작 패킷으로부터 추출된 버스_시간과 함께 프리셋 값을 사이클 카운터에 로딩하기 위한 부가의 처리 블록(152)을 포함하는 것을 제외하면, 도 7에 도시된 무선부(122)와 동일하다. 도 8에 도시된 서브시스템의 1394부(141)는, 사이클 먼스터 포털이 사이클 마스터인지의 여부에 의존하여 도 5 또는 도 6에 도시된 것과 동일할 수 있다. 도 9에 도시된 서브시스템의 1394부(151)는 도 7에 도시된 것과 동일할 수 있다.

산업상 이용 가능성

위의 설명에 기초하여, 관련 기술 분야에서 통상의 기술을 가진 자는 본 발명의 사이클 클럭 분배 방법이 무선 IEEE 1394 시리얼 버스 브리지들에만 제한되는 것이 아니라, 스위칭 패브릭들의 모든 가능한 구현들에 일반적으로 적용될 수 있으며, 한가지 제한은 스위칭 패브릭이 프레임 기초 동기화를 지원한다는 것을 알 것이다. 더욱이, 본 발명의 위에서 기술된 사이클 클럭 분배 방법은 현재 사용 가능한 기술에 비해 아래 열거하는 장점들을 제공하는 것을 알 것이다.

- (1) 다수의 물리적 표준들을 지원할 수 있다.
- (2) 유선 또는 무선 스위칭 패브릭들을 지원할 수 있다.
- (3) 서로 다른 데이터 레이트들을 지원할 수 있다.
- (4) 그 구현이 간단하고 포괄적이다.
- (5) 타이밍 지터를 크게 최소화시킨다.

비록 본 명세서에 본 발명이 상세히 기술되었지만, 관련 기술 분야에서 통상의 기술을 가진 자는 기본적인 독창 개념들에 대한 많은 수정들 및/또는 변형들이 첨부된 청구의 범위들에 규정된 본 발명의 정신과 범위를 포함되는 것으로 간주될 수 있다는 것을 알아야 한다.

(57) 청구의 범위

청구항 1.

복수의 버스들(30)을 상호 접속하기 위한 버스 브리지(20)에 있어서,

각각 상기 각 버스들(30) 중의 하나에 결합되는 복수의 브리지 포털들(22),

각각 상기 각 브리지 포털(22) 중의 하나에 결합되는 복수의 스위칭 서브시스템들(80,100,122,140 또는 150)로서, 상기 복수의 스위칭 서브시스템들은 상기 복수의 브리지 포털들(22)을 상호 접속하는 스위칭 시스템(24)을 집합적으로 구성하는, 상기 복수의 스위칭 서브시스템들(80,100,122,140 또는 150), 및

각각이 상기 각 브리지 포털(22) 및 그에 결합된 상기 각 스위칭 서브시스템과 동작 가능하게 연관되는 복수의 사이클 클럭 서브시스템들(83,103 또는 123)을 포함하며, 상기 각 사이클 클럭 서브시스템은,

사이클 클럭을 발생시키는 사이클 클럭 발생기(92 또는 110), 및

상기 사이클 클럭 발생기와 결합되며, 상기 각 스위칭 서브시스템 및 상기 각 브리지 포털을 위한 타이밍 기준을 구성하는 사이클 카운터 출력을 주기적으로 생성하는 사이클 카운터(90, 112 또는 121)을 포함하고,

상기 버스들 중의 하나는 모든 버스들에 사이클 클럭을 전파하는 노드인 사이클 먼스터를 포함하며, 상기 사이클 먼스터를 갖는 상기 버스와 결합된 브리지 포털은 사이클 먼스터 포털로 불리고,

상기 사이클 먼스터 포털과 결합된 스위칭 서브시스템은 공통의 타이밍 기준으로서 자신의 사이클 카운터의 출력을 다른 각 스위칭 서브시스템에 주기적으로 전송하도록 구성되고, 상기 사이클 먼스터 포털에 결합되지 않은 각 스위칭 서브시스템은 상기 공통의 타이밍 기준을 자신의 사이클 카운터로 로딩하도록 구성된, 버스 브리지(20).

청구항 2.

제 1 항에 있어서,

상기 각 스위칭 서브시스템들(80,100,122,140 또는 150)은 무선 스위칭 서브시스템이고, 상기 스위칭 시스템(24)은 무선 스위칭 시스템인, 버스 브리지(20).

청구항 3.

제 1 항에 있어서,

상기 각 스위칭 서브시스템(80,100,122,140 또는 150)은 유선 서브시스템이고, 상기 스위칭 시스템(24)은 유선 스위칭 시스템인, 버스 브리지(20).

청구항 4.

제 1 항에 있어서,

상기 버스 브리지(20)는 시리얼 버스 브리지이고,

상기 각 버스(30)는 시리얼 로컬 버스이고,

상기 각 브리지 포털(22)은 그 각각의 시리얼 로컬 버스(30) 상의 노드인, 버스 브리지(20).

청구항 5.

제 1 항에 있어서,

상기 버스 브리지(20)는 IEEE 1394 시리얼 버스 브리지이고,

상기 각 버스(30)는 IEEE 1394 시리얼 로컬 버스이며,

상기 각 브리지 포털(22)은 IEEE 1394 시리얼 버스 브리지 포털인, 버스 브리지(20).

청구항 6.

삭제

청구항 7.

제 1 항에 있어서,

상기 사이클 먼스터 포털(82,102,141)은 사이클 마스터인, 버스 브리지(20).

청구항 8.

제 1 항에 있어서,

상기 사이클 먼스터 포털(82,102,141)은 사이클 마스터가 아닌, 버스 브리지(20).

청구항 9.

제 1 항에 있어서,

상기 스위칭 시스템(24)은 프레임 동기화 프로토콜을 사용하는, 버스 브리지(20).

청구항 10.

제 9 항에 있어서, 상기 사이클 먼스터 포털(82)에 결합된 상기 스위칭 서브시스템(80)은,

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터 출력을 수신하고, 이에 응답하여 $W \mu s$ 마다 타이밍 신호를 생성하는 모듈로 $W \mu s$ 카운터(46')로서, 여기서 W 는 상기 프레임 동기화 프로토콜에 의해 특정된 프레임 시간인, 상기 모듈로 $W \mu s$ 카운터(46');

상기 타이밍 신호에 응답해서 인에이블 신호를 생성하는 상태 머신(48); 및

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 인에이블 신호를 수신하는 제 2 입력을 갖는 레지스터(52)로서, 이에 의해 상기 레지스터(52)는 상기 인에이블 신호에 응답해서 버스_시간 데이터 블록을 출력하고, 상기 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는 상기 레지스터를 포함하는, 버스 브리지(20).

청구항 11.

제 10 항에 있어서, 상기 사이클 먼스터 포털(82)은,

그 각각의 스위칭 서브시스템(80)으로부터 사이클_시작 패킷을 수신하는 물리층(60);

상기 사이클_시작 패킷의 패킷 헤더를 디코딩하고, 상기 사이클_시작 패킷의 수신을 표시하는 디코드 신호를 출력하는 디코딩 부(62);

상기 사이클_시작 패킷을 디코딩하는데 필요한 처리 시간을 결정하고, 상기 결정된 처리 시간을 표시하는 처리 지연 시간을 출력하는 처리 지연부(66);

상기 디코드 신호를 상기 처리 지연 시간만큼 지연시키고, 로드 신호를 출력하는 지연 소자(70);

상기 버스_시간 데이터 블록을 수신하고, 상기 현재의 버스_시간을 표시하는 레지스터 출력을 생성하는 레지스터(64); 및

상기 처리 지연 시간 출력과 상기 레지스터 출력을 합산하고, 상기 합계를 출력하는 가산기(68)를 포함하며,

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터(90)는 상기 로드 신호를 수신하고, 상기 합계는 상기 로드 신호에 응답해서 상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터(90)에 로딩되는, 버스 브리지(20).

청구항 12.

제 10 항에 있어서, 상기 사이클 면스터 포털(102)은,

상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하고, 이에 응답하여 $N \mu s$ 마다 제 2 타이밍 신호를 생성하는 모듈로 $N \mu s$ 카운터(46)로서, 여기서 N 은 규정된 버스 프로토콜에 의해 특정된 값인, 상기 모듈로 $N \mu s$ 카운터(46);

상기 제 2 타이밍 신호에 응답해서 제 2 인에이블 신호를 생성하는 제 2 상태 머신(48'); 및

상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 제 2 인에이블 신호를 수신하는 제 2 입력을 갖는 제 2 레지스터(52')로서, 이에 의해 상기 제 2 레지스터(52')는 상기 제 2 인에이블 신호에 응답해서 제 2 버스_시간 데이터 블록을 출력하고, 상기 제 2 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 제 2 레지스터(52')를 포함하는, 버스 브리지(20).

청구항 13.

제 10 항에 있어서, 상기 사이클 면스터 포털(82 또는 102) 이외의 상기 각 브리지 포털들(120 또는 151)은,

상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터 출력을 수신하고, 이에 응답하여 $N \mu s$ 마다 타이밍 신호를 생성하는 모듈로 $N \mu s$ 카운터(46")로서, 여기서 N 은 규정된 버스 프로토콜에 의해 특정된 값인, 상기 모듈로 $N \mu s$ 카운터(46");

상기 타이밍 신호에 응답해서 채널 요청 신호를 생성하는 상태 머신(48");

상기 채널 요청 신호를 수신하고, 이에 응답해서 상기 무선 스위칭 시스템(24)에 의해 사용되는 무선 통신 채널이 사용 가능하다는 결정시 채널 사용 가능 신호를 생성하는 물리층(50")으로서, 상기 상태 머신(48")은 상기 채널 사용 가능 신호를 수신하고, 상기 채널 사용 가능 신호에 응답해서 패킷 헤더와 인에이블 신호를 생성하는, 상기 물리층(50"); 및

상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 인에이블 신호를 수신하는 제 2 입력을 갖는 레지스터(52")로서, 이에 의해 상기 레지스터(52")는 상기 인에이블 신호에 응답해서 버스_시간 데이터 블록을 출력하고, 상기 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 레지스터(52")를 포함하며,

상기 패킷 헤더와 상기 버스_시간 데이터 블록은 함께 상기 각 무선 스위칭 서브시스템(122)에 의해 전송되는 사이클_시작 패킷을 구성하는, 버스 브리지(20).

청구항 14.

제 10 항에 있어서, 상기 사이클 먼스터 포털들(82,102 또는 141) 이외의 상기 브리지 포털들(120 또는 151)에 결합된 상기 각 무선 스위칭 서브시스템들(122 또는 150)은,

그 각각의 브리지 포털(120 또는 151)로부터 사이클_시작 패킷을 수신하는 무선 물리층(60");

상기 사이클_시작 패킷의 상기 패킷 헤더를 디코딩하고, 상기 사이클_시작 패킷의 수신을 표시하는 디코드 신호를 출력하는 디코딩부(62");

상기 사이클_시작 패킷을 디코딩하는데 필요한 처리 시간을 결정하고, 상기 결정된 처리 시간을 표시하는 처리 지연 시간 출력을 출력하는 처리 지연부(66");

상기 디코드 신호를 상기 처리 지연 시간만큼 지연시키고, 로드 신호를 출력하는 지연 소자(70");

상기 버스_시간 데이터 블록을 수신하고, 상기 현재의 버스_시간을 표시하는 레지스터 출력을 생성하는 레지스터(64"); 및

상기 처리 지연 시간 출력과 상기 레지스터 출력을 합산하고, 상기 합계를 출력하는 가산기(68")를 포함하며,

상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터는 상기 로드 신호를 수신하고, 상기 합계는 상기 로드 신호에 응답해서 상기 각 사이클 클럭 서브시스템(123)의 상기 사이클 카운터(121)에 로딩되는, 버스 브리지(20).

청구항 15.

제 9 항에 있어서, 상기 사이클 먼스터 포털(102)에 결합된 상기 스위칭 서브시스템(100)은,

상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하고, $W \mu s$ 마다 타이밍 신호를 생성하는 모듈로 $W \mu s$ 카운터(46')로서, 여기서 W 는 상기 프레임 동기화 프로토콜에 의해 특정된 프레임 시간인, 상기 모듈로 $W \mu s$ 카운터(46');

상기 타이밍 신호에 응답해서 채널 요청 신호를 생성하는 상태 머신(48);

상기 채널 요청 신호를 수신하고, 이에 응답해서 상기 스위칭 시스템(24)에 의해 사용되는 통신 채널이 사용 가능하다는 결정시 채널 사용 가능 신호를 생성하는 물리층(50)으로서, 상기 상태 머신(48)은 상기 채널 사용 가능 신호를 수신하고, 상기 채널 사용 가능 신호에 응답해서 패킷 헤더와 인에이블 신호를 생성하는, 상기 물리층(50); 및

상기 각 사이클 클럭 서브시스템(103)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 인에이블 신호를 수신하는 제 2 입력을 갖는 레지스터(52)로서, 이에 의해 상기 레지스터(52)는 상기 인에이블 신호에 응답해서 버스_시간 데이터 블록을 출력하고, 상기 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 레지스터(52)를 포함하며,

상기 패킷 헤더와 상기 버스_시간 데이터 블록은 함께 상기 스위칭 서브시스템(100)에 의해 전송되는 사이클_시작 패킷을 구성하는, 버스 브리지(20).

청구항 16.

제 9 항에 있어서, 상기 사이클 먼스터 포털(141)에 결합된 상기 무선 스위칭 서브시스템(140)은,

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터 출력을 수신하고, $W \mu s$ 마다 타이밍 신호를 생성하는 모듈로 $W \mu s$ 카운터(46')로서, 여기서 W 는 상기 프레임 동기화 프로토콜에 의해 특정된 프레임 시간인, 상기 모듈로 $W \mu s$ 카운터(46');

상기 타이밍 신호에 응답해서 채널 요청 신호를 생성하는 상태 머신(48);

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터 출력의 규정된 하위 비트들을 프리셋 값과 비교하여, 동일성 검출시 트리거 신호를 출력하는 비교 회로(142);

상기 채널 요청 신호를 수신하고, 이에 응답해서 상기 무선 스위칭 시스템(24)에 의해 사용되는 무선 통신 채널이 사용 가능하다는 결정시 채널 사용 가능 신호를 생성하는 무선 물리층(50)으로서, 상기 상태 면신(48)은 상기 채널 사용 가능 신호를 수신하고, 상기 채널 사용 가능 신호 및 상기 트리거 신호 모두의 수신에 응답해서 패킷 헤더와 인에이블 신호를 생성하는, 상기 무선 물리층(50); 및

상기 각 사이클 클럭 서브시스템(83)의 상기 사이클 카운터 출력을 수신하는 제 1 입력과, 상기 인에이블 신호를 수신하는 제 2 입력을 갖는 레지스터(52)로서, 이에 의해 상기 레지스터(52)는 상기 인에이블 신호에 응답해서 버스_시간 데이터 블록을 출력하고, 상기 버스_시간 데이터 블록은 현재의 버스 시간을 표시하는, 상기 레지스터(52)를 포함하며,

상기 패킷 헤더와 상기 버스_시간 데이터 블록은 함께 상기 각 무선 스위칭 서브시스템(140)에 의해 전송되는 사이클_시작 패킷을 구성하는, 버스 브리지(20).

청구항 17.

버스 브리지(20)에 사이클 클럭을 분배하는 방법으로서,

상기 버스 브리지(20)는 각각 상기 각 버스들(30) 중의 하나에 결합된 복수의 브리지 포털들(22), 및 각각 상기 각 브리지 포털들(22) 중의 하나에 결합된 복수의 스위칭 서브시스템들(80, 100, 122, 140 또는 150)을 포함하며, 상기 복수의 스위칭 서브시스템들(80, 100, 122, 140 또는 150)은 상기 복수의 브리지 포털들(22)을 상호 접속하는 스위칭 시스템(24)을 집합적으로 구성하고, 상기 버스들 중의 하나는 모든 버스들에 상기 사이클 클럭을 전파하는 노드인 사이클 먼스터를 포함하며, 상기 사이클 먼스터를 갖는 상기 버스와 결합된 상기 브리지 포털은 사이클 먼스터 포털로 불리는, 상기 사이클 클럭을 분배하는 방법에 있어서,

각 브리지 포털(22)에서, 사이클 클럭을 발생시키는 단계;

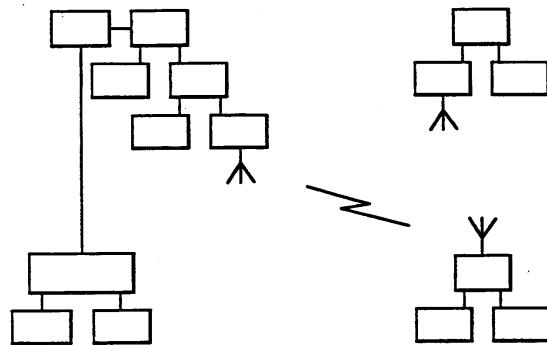
각 브리지 포털(22)에서, 상기 사이클 클럭 발생기와 결합된 사이클 카운터(90, 112, 121)를 이용하여 사이클 카운터 출력을 주기적으로 생성하는 단계 및 상기 사이클 카운터 출력을 이용하여 상기 브리지 포털(20) 및 상기 브리지 포털에 결합된 상기 각 스위칭 서브시스템을 위한 타이밍 기준을 생성하는 단계와;

상기 사이클 먼스터 포털과 결합된 상기 스위칭 서브시스템에서 공통의 타이밍 기준으로서 자신의 사이클 카운터의 출력을 다른 각 스위칭 서브 시스템에 주기적으로 전송하는 단계와;

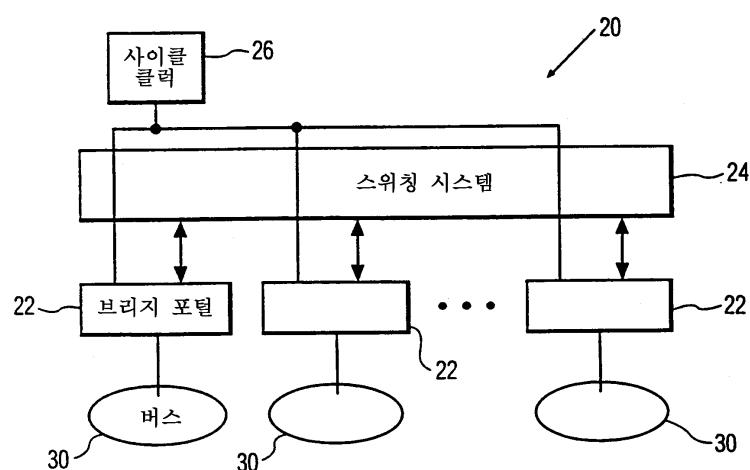
상기 사이클 먼스터 포털과 결합되지 않은 각 스위칭 서브시스템에서 상기 공통의 타이밍 기준을 자신의 사이클 카운터에 로딩하는 단계를 포함하는, 사이클 클럭 분배 방법.

도면

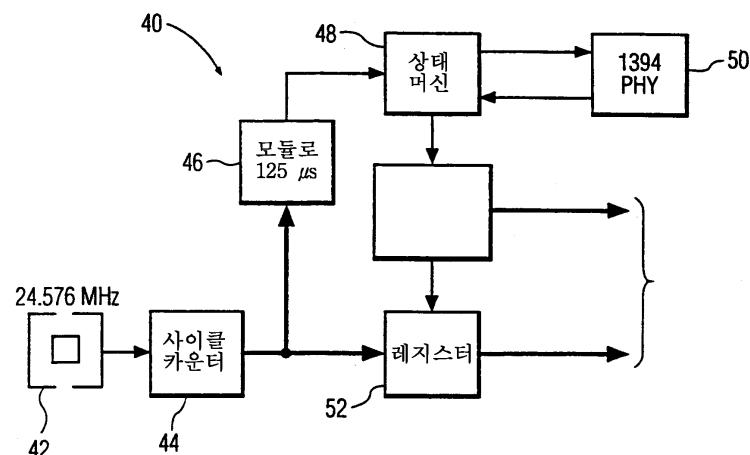
도면1



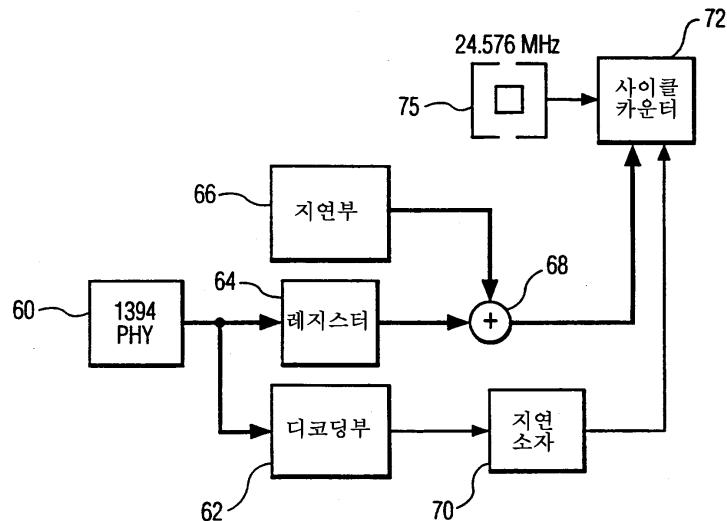
도면2



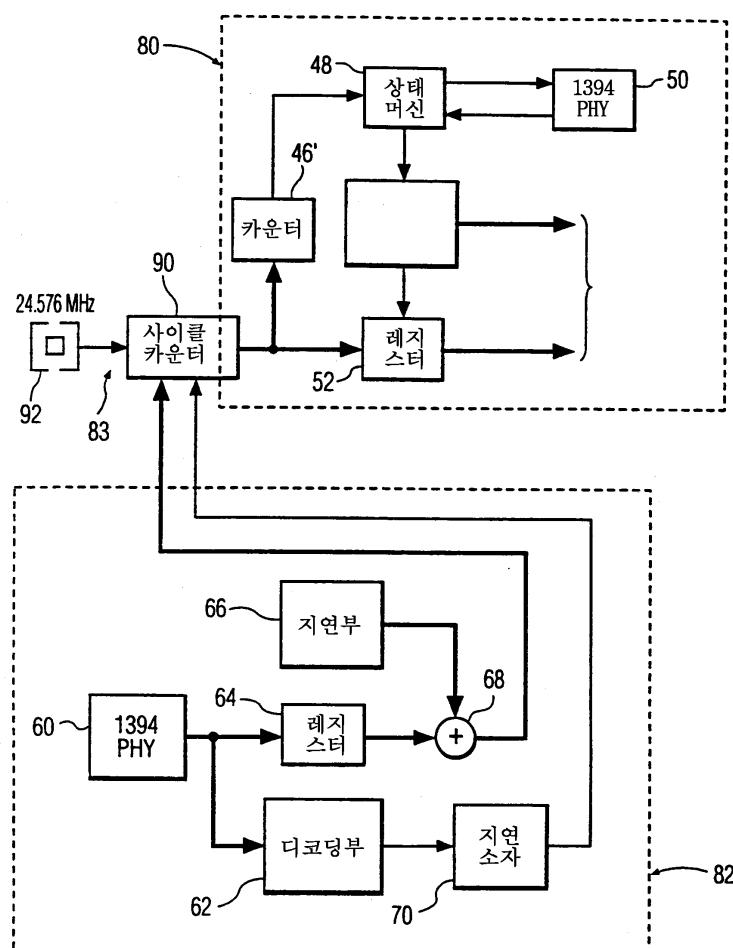
도면3



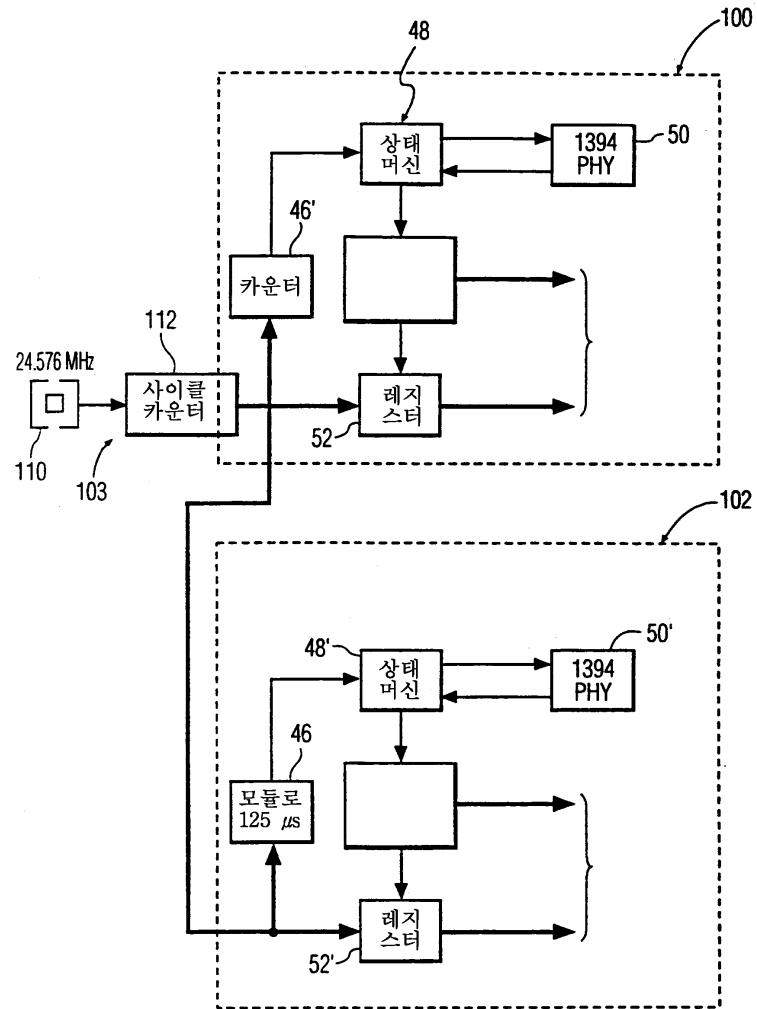
도면4



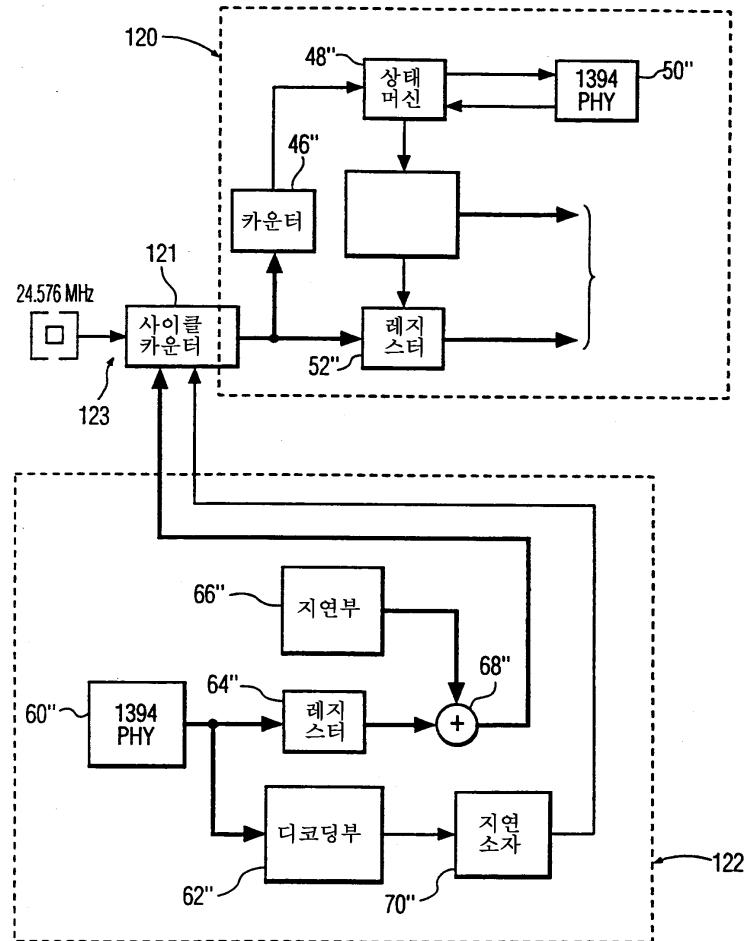
도면5



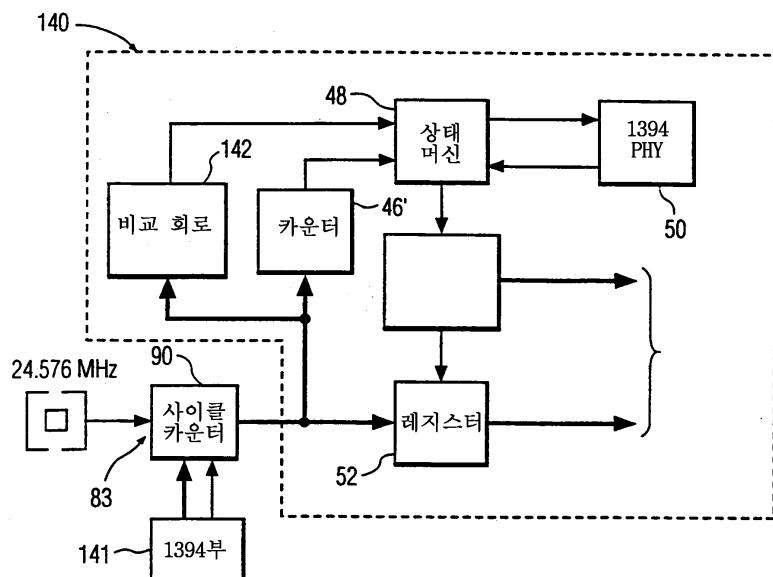
도면6



도면7



도면8



도면9

