

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/007346 A1

(51) 国际专利分类号:
H01L 29/40 (2006.01) H01L 21/336 (2006.01)
H01L 29/78 (2006.01)

贵鹏(SUN, Guipeng); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。

(21) 国际申请号: PCT/CN2018/094365

(22) 国际申请日: 2018 年 7 月 3 日 (03.07.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710534674.3 2017年7月3日 (03.07.2017) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。

(72) 发明人: 祁树坤(QI, Shukun); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。 孙

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道85号3901房, Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE HAVING FIELD PLATE STRUCTURE WITH GRADUALLY VARYING THICKNESS IN TRENCH

(54) 发明名称: 具有沟槽内渐变厚度的场板结构的半导体器件的制造方法

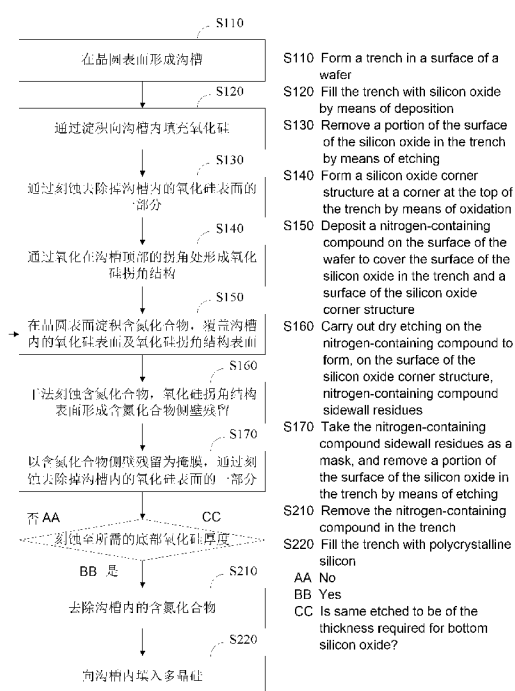


图 1

(57) Abstract: Disclosed is a method for manufacturing a semiconductor device having a field plate structure with gradually varying thickness in a trench, the method comprising: step A, forming a trench in a surface of a wafer; step B, filling the trench with silicon oxide by means of deposition; step C, removing a portion of the surface of the silicon oxide in the trench by means of etching; step D, forming a silicon oxide corner structure at a corner at the top of the trench by means of thermal oxidation; step E, depositing a nitrogen-containing compound on the surface of the wafer; step F, carrying out dry etching on the nitrogen-containing compound to form, on a surface of the silicon oxide corner structure, nitrogen-containing compound sidewall residues extending to the inside of the trench; step G, taking the nitrogen-containing compound sidewall residues as a mask, and removing a portion of the surface of the silicon oxide in the trench by means of etching; successively repeating step E to step G until the silicon oxide in the trench is etched to be of the thickness required for bottom silicon oxide; step H, removing the nitrogen-containing compound in the trench; and step I, filling the trench with polycrystalline silicon.

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法，包括：步骤A，在晶圆表面形成沟槽；步骤B，通过淀积向沟槽内填充氧化硅；步骤C，将沟槽内的氧化硅通过刻蚀去除掉表面的一部分；步骤D，通过热氧化在沟槽顶部的拐角处形成氧化硅拐角结构；步骤E，在晶圆表面淀积含氮化合物；步骤F，干法刻蚀含氮化合物，氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留；步骤G，以含氮化合物侧壁残留为掩膜，通过刻蚀去除掉沟槽内的氧化硅表面的一部分；依次重复执行步骤E至步骤G，直至将沟槽内的氧化硅刻蚀至所需的底部氧化硅厚度；步骤H，去除沟槽内的含氮化合物；步骤I，向沟槽内填入多晶硅。

具有沟槽内渐变厚度的场板结构的半导体器件的制造方法

技术领域

本申请涉及半导体制造领域，特别是涉及一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法。

5 背景技术

为了降低能耗、节省能源，低压功率金属氧化物半导体场效应管（MOSFET）技术在进行持续的技术改进，场板、超结等器件结构也由高压功率器件移植到低压器件中，并加以改进和优化，以降低低压功率器件的比导通电阻。

10 这其中，基于恒定厚度的具有沟槽场板结构的 MOSFET 尤为常见。但正由于恒定的场板介质厚度导致了电势、电场的分布不均，使得器件特性难以优化。

基于已有的深槽刻蚀技术，如何简化工艺流程、节省 mask 层数，达到相同特性的多层渐变厚度的器件隔离结构，是业界持续改善、优化的方向。

15

发明内容

根据本申请的各种实施例，提供一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法。

一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法，包括：

20 步骤 A，在晶圆表面形成沟槽；步骤 B，通过淀积向所述沟槽内填充氧化硅；步骤 C，通过刻蚀去除掉沟槽内的氧化硅表面的一部分；步骤 D，通过热氧化在沟槽顶部的拐角处形成氧化硅拐角结构，所述氧化硅拐角结构为从拐角处往下、位于沟槽内部的氧化硅逐渐变厚的结构；步骤 E，在晶圆表面淀积

含氮化合物，覆盖所述沟槽内的氧化硅表面及所述氧化硅拐角结构表面；步骤 F，干法刻蚀所述含氮化合物，将沟槽内的氧化硅表面的含氮化合物去除，所述氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留；步骤 G，以所述含氮化合物侧壁残留为掩膜，通过刻蚀去除掉沟槽内的氧化硅表面的一部分；依次重复执行步骤 E 至步骤 G，直至将沟槽内的氧化硅刻蚀至所需的底部氧化硅厚度，每执行一次步骤 F 所述含氮化合物侧壁残留就进一步向沟槽内延伸，所述沟槽内的氧化硅包括底部氧化硅和侧壁氧化硅，所述侧壁氧化硅的厚度从沟槽顶部至沟槽底部逐渐增厚；步骤 H，去除所述沟槽内的含氮化合物；步骤 I，向所述沟槽内填入多晶硅。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 是一实施例中具有沟槽内渐变厚度的场板结构的半导体器件的制造方法的流程图；

图 2 至图 6 是一实施例中采用具有沟槽内渐变厚度的场板结构的半导体器件的制造方法制造的器件在制造过程中的剖视图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技

术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

5 本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N 型。

10 一种传统的具有深槽内渐变厚度的场板的半导体器件的制造方法是在深槽内壁化学气相淀积（CVD）薄氧层，然后形成一层牺牲层，之后 etch-back（回刻）牺牲层至一定深度，同时并刻蚀该薄氧层；第二次氧化层通过热氧化形成、再次形成牺牲层、然后再次回刻牺牲层并刻蚀氧化层，由此在第一次薄氧层上累加第二次热氧化形成的较厚的氧化层。之后的氧化层、牺牲层、
15 刻蚀与上述类似，直至最后形成底部厚氧、顶部薄氧的多层渐变厚度的槽内场板结构。

然而该制造方法包括多次氧化、回刻，一定程度上增加了衬底向外延层的杂质反扩、同时增加了工艺时间、降低了生产效率。

图 1 是一实施例中具有沟槽内渐变厚度的场板结构的半导体器件的制造
20 方法的流程图，包括下列步骤：

S110，在晶圆表面形成沟槽。

可以采用本领域习知的工艺在晶圆（本实施例中为硅片）表面刻蚀出深槽，具体深度可以根据器件的设计参数参照现有技术进行选择。在本实施例中，刻蚀形成沟槽之前可以先在晶圆表面形成一层氮化硅膜，再于氮化硅膜
25 上通过光刻胶图案化出刻蚀窗口，再通过刻蚀窗口刻穿氮化硅膜形成沟槽，刻蚀完成后沟槽顶部的周围形成有氮化硅层。在本实施例中，沟槽的刻蚀是采用 CHCl_3 和/或 CH_2Cl_2 作为刻蚀剂进行干法刻蚀，在其他实施例中也可以

采用其他本领域习知的沟槽刻蚀工艺进行刻蚀。

在一个实施例中，通过外延工艺在高掺杂浓度的衬底上外延出低掺杂浓度的外延层，刻蚀得到的沟槽是形成于外延层中。

S120，通过淀积向沟槽内填充氧化硅。

- 5 通过淀积工艺形成氧化硅 (SiO_x) 层的速度远大于传统的通过热氧化生长氧化硅层的速度。在本实施例中，步骤 S120 是采用高密度等离子化学气相淀积 (HDPCVD) 工艺进行氧化硅的淀积，可以获得较好的形貌。在其他实施例中也可以根据实际需求采用其他本领域习知的淀积工艺淀积氧化硅层。

- 10 淀积完后可以通过化学机械研磨 (CMP) 将多余的氧化硅层去除，即将露出于沟槽外面的氧化硅层去除。对于步骤 S110 采用氮化硅作为硬掩膜刻蚀出沟槽的实施例，CMP 是将氧化硅层研磨至该氮化硅层。

S130，通过刻蚀去除掉沟槽内的氧化硅表面的一部分。

可以采用干法刻蚀，利用其各向异性获得合适的形貌。在其中一个实施例中，步骤 S130 选用高密度等离子刻蚀的工艺进行刻蚀。

- 15 S140，通过氧化在沟槽顶部的拐角处形成氧化硅拐角结构。

- 为了后续步骤中得到的含氮化合物侧壁残留能形成本方案所需的形貌，在刻蚀后通过氧化形成特殊的拐角形貌，即在沟槽内的氧化硅表面形成类似于半球形的凹面。从拐角处往下、位于沟槽内部的氧化硅逐渐变厚，从而形成圆滑的拐角，如图 2 所示。图 2 中在硅片的表面形成有沟槽，沟槽内填充有氧化硅 202，沟槽顶部的周围形成有氮化硅层 302。在本实施例中通过 20 800~950 摄氏度的低温氧化来得到该氧化硅拐角结构。采用低温氧化是因为发明人发现若采用较高的温度（例如 1000 摄氏度的牺牲氧化），则晶圆的高浓度衬底中的掺杂离子容易反扩至低浓度的外延层 102 中，对器件性能产生负面影响。

- 25 S150，在晶圆表面淀积氮化硅，覆盖沟槽内的氧化硅表面及氧化硅拐角结构表面。

在本实施例中是通过化学气相淀积形成一层薄的含氮化合物，后续作为

刻蚀的硬掩膜。该含氮化合物可以是氮化硅、氮氧化硅、氮化硼、氮化钛等，考虑到普适性，可以采用本领域常用的氮化硅。

S160，干法刻蚀含氮化合物，氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留。

5 参见图 3，利用干法刻蚀的各向异性，将沟槽内的氧化硅 202 表面的含氮化合物去除，同时在氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留 304。含氮化合物侧壁残留 304 与沟槽内的一部分氧化硅 202 共同作为沟槽的侧壁结构。

10 S170，以含氮化合物侧壁残留为掩膜，通过刻蚀去除掉沟槽内的氧化硅表面的一部分。

参见图 4，氧化硅 202 由于刻蚀被刻至更深的深度，同时沟槽侧壁位置处的氧化硅 202 因含氮化合物侧壁残留 304 的阻挡也会被保留下来，并且保留下来的氧化硅 202 从含氮化合物侧壁残留 304 底部往下逐渐变厚。采用含氮化合物侧壁残留 304 作为硬掩膜刻蚀，可以不需要光刻版，能够节省成本。
15 为了获得越往下侧壁越厚的氧化硅 202，步骤 S170 可以采用干法刻蚀，本实施例中是采用高密度等离子刻蚀。

步骤 S170 的刻蚀如果刻得过深，则就不能保证侧壁的氧化硅 202 形貌，故需依次重复以上 S150~S170 的步骤，通过多次刻蚀直至获得所需的底部氧化硅厚度，参见图 5。也就是说，本方案可以方便地调节底部氧化硅厚度，
20 进一步增大了降低反馈电容的空间。每次刻蚀的具体深度需要通过实验来收集数据。刻蚀至所需的底部氧化硅厚度后，沟槽内的氧化硅包括底部氧化硅和侧壁氧化硅，侧壁氧化硅的厚度从沟槽顶部至沟槽底部逐渐增厚。

S210，去除沟槽内的含氮化合物。

为了将含氮化合物去除干净，可以采用湿法刻蚀，例如以浓磷酸为刻蚀
25 剂进行刻蚀。本实施例中通过浓磷酸将氮化硅层 302 和含氮化合物侧壁残留 304 一并去除。

S220，向沟槽内填入多晶硅。

向沟槽内回填多晶硅 404，如图 6 所示。

步骤 S220 完成后可以通过化学机械研磨对多晶硅 404 进行平坦化处理。

上述具有沟槽内渐变厚度的场板结构的半导体器件的制造方法，氧化硅 202 组成的场板结构无需通过每回刻一次就进行一次热氧化的方式来形成，
5 减少了氧化时间，提高了生产效率。且减少了衬底杂质向外延层的反扩，同时工艺简单，对沟槽刻蚀的深宽比没有过分严格要求。

在一个实施例中，步骤 S120 之前还包括对沟槽进行侧壁氧化的步骤。侧壁氧化可以起到修复步骤 S110 的沟槽刻蚀在沟槽内壁和底部的硅表面产生的缺陷的作用，例如因反应离子刻蚀的高能粒子撞击产生的缺陷，消除该缺陷对栅氧产生的负面影响。在一个实施例中，侧壁氧化之后还可以将生成的
10 氧化硅剥离。

在一个实施例中，步骤 S230 是生长薄层的高温氧化膜（HTO）。可以理解的，虽然图 7 中未示，但生长 HTO 时同样会在沟槽侧壁的氧化硅基础上再生成一薄层氧化硅。

15 上述具有沟槽内渐变厚度的场板结构的半导体器件的制造方法尤其适用于金属氧化物半导体场效应管，也适用于其他可以采用沟槽场板结构的半导体器件。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本
20 领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法，包括：

步骤 A，在晶圆表面形成沟槽；

步骤 B，通过淀积向所述沟槽内填充氧化硅；

步骤 C，通过刻蚀去除掉沟槽内的氧化硅表面的一部分；

5 步骤 D，通过热氧化在沟槽顶部的拐角处形成氧化硅拐角结构，所述氧化硅拐角结构为从拐角处往下、位于沟槽内部的氧化硅逐渐变厚的结构；

步骤 E，在晶圆表面淀积含氮化合物，覆盖所述沟槽内的氧化硅表面及所述氧化硅拐角结构表面；

10 步骤 F，干法刻蚀所述含氮化合物，将沟槽内的氧化硅表面的含氮化合物去除，所述氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留；

步骤 G，以所述含氮化合物侧壁残留为掩膜，通过刻蚀去除掉沟槽内的氧化硅表面的一部分；

15 依次重复执行步骤 E 至步骤 G，直至将沟槽内的氧化硅刻蚀至所需的底部氧化硅厚度，每执行一次步骤 F 所述含氮化合物侧壁残留就进一步向沟槽内延伸，所述沟槽内的氧化硅包括底部氧化硅和侧壁氧化硅，所述侧壁氧化硅的厚度从沟槽顶部至沟槽底部逐渐增厚；

步骤 H，去除所述沟槽内的含氮化合物；及

步骤 I，向所述沟槽内填入多晶硅。

20 2、根据权利要求 1 所述的制造方法，其中，所述步骤 B 之前还包括对所述沟槽进行侧壁氧化的步骤。

3、根据权利要求 1 所述的制造方法，其中，所述步骤 B 是采用高密度等离子化学气相淀积工艺填充氧化硅。

4、根据权利要求 1 所述的制造方法，其中，所述半导体器件是金属氧化物半导体场效应管。

25 5、根据权利要求 1 所述的制造方法，其中，所述步骤 A 之前在晶圆表

面形成有氮化硅层，所述步骤 A 是将所述氮化硅层刻穿形成所述沟槽。

6、根据权利要求 1 所述的制造方法，其中，所述去除所述沟槽内的含氮化合物的步骤是通过浓磷酸湿法去除含氮化合物。

7、根据权利要求 1 所述的制造方法，其中，所述在所述下层多晶硅上形成隔离氧化硅是生长高温氧化膜。

8、根据权利要求 1 所述的制造方法，其中，所述通过热氧化在沟槽顶部的拐角处形成氧化硅拐角结构的步骤中，氧化温度为 800~950 摄氏度。

9、根据权利要求 5 所述的制造方法，其中，所述步骤 A 和所述步骤 F 的刻蚀是采用 CHCl_3 和/或 CH_2Cl_2 作为刻蚀剂。

10 10、根据权利要求 1 所述的制造方法，其中，所述含氮化合物是氮化硅。

11、根据权利要求 1 所述的制造方法，其中，所述步骤 B 和步骤 C 之间，还包括将露出于所述沟槽外面的氧化硅去除的步骤。

12、根据权利要求 5 所述的制造方法，其中，所述步骤 B 和步骤 C 之间，还包括将所述氧化硅研磨至所述氮化硅层的步骤。

15 13、根据权利要求 1 所述的制造方法，其中，所述步骤 C 是采用高密度等离子刻蚀。

14、根据权利要求 1 所述的制造方法，其中，所述步骤 G 是采用高密度等离子刻蚀。

20 15、根据权利要求 2 所述的制造方法，其中，所述对所述沟槽进行侧壁氧化的步骤之后，还包括将所述侧壁氧化生成的氧化硅剥离的步骤。



图 1

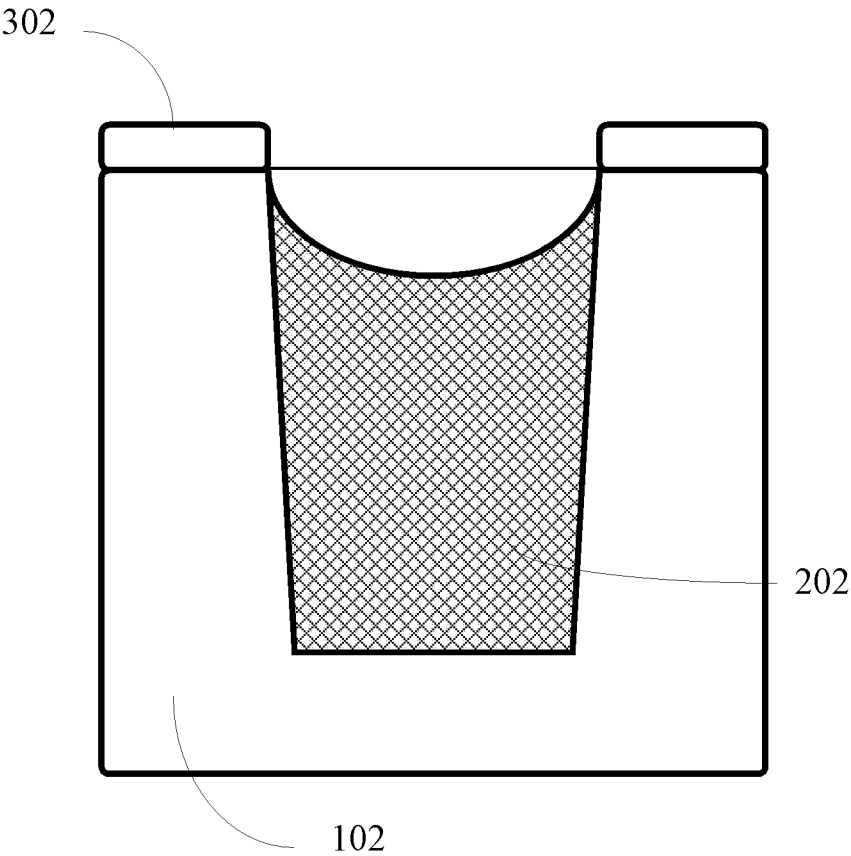


图 2

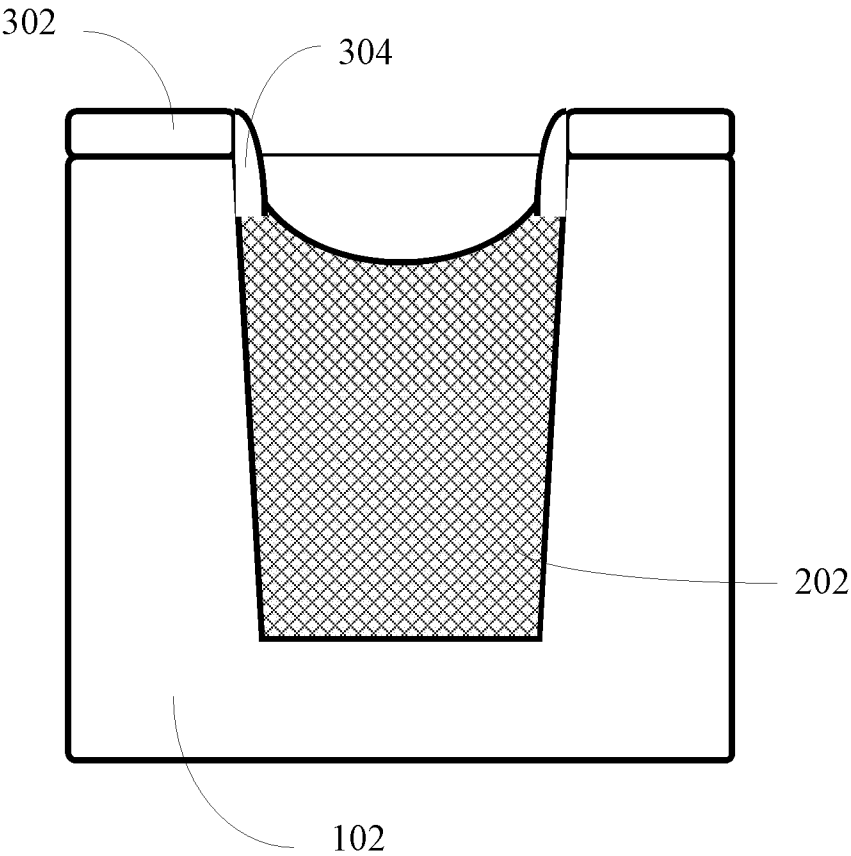


图 3

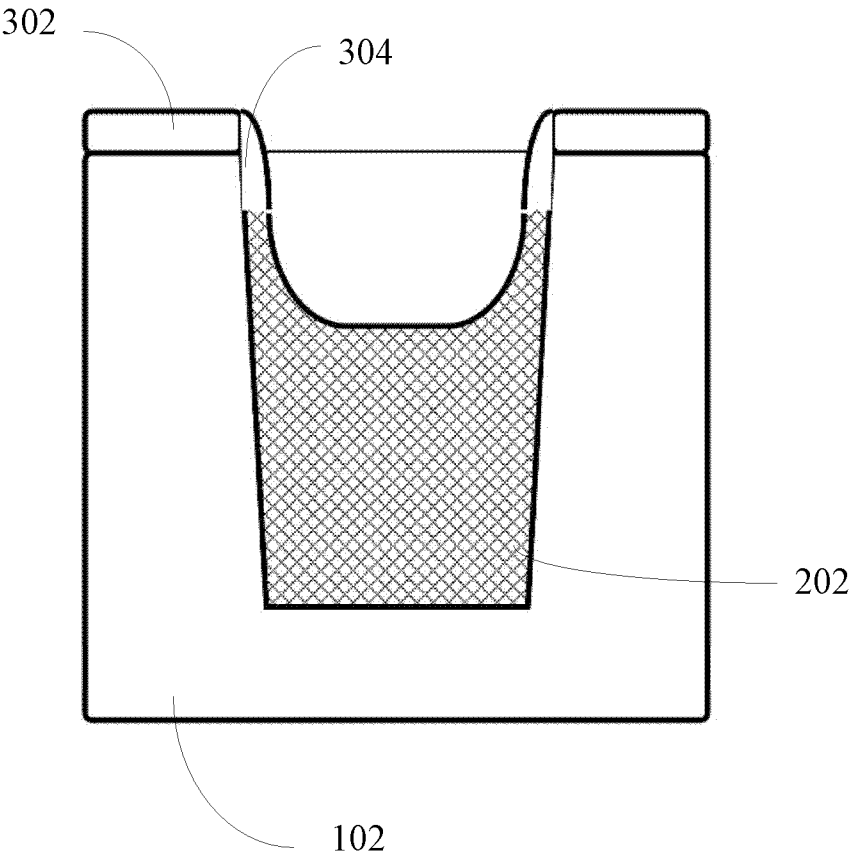


图 4

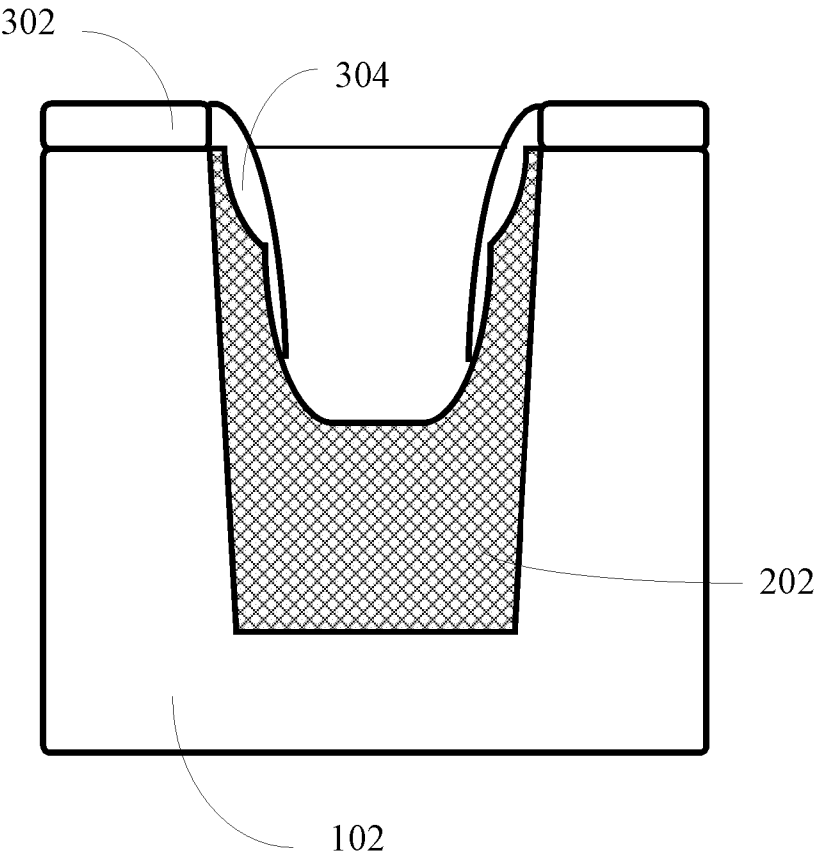


图 5

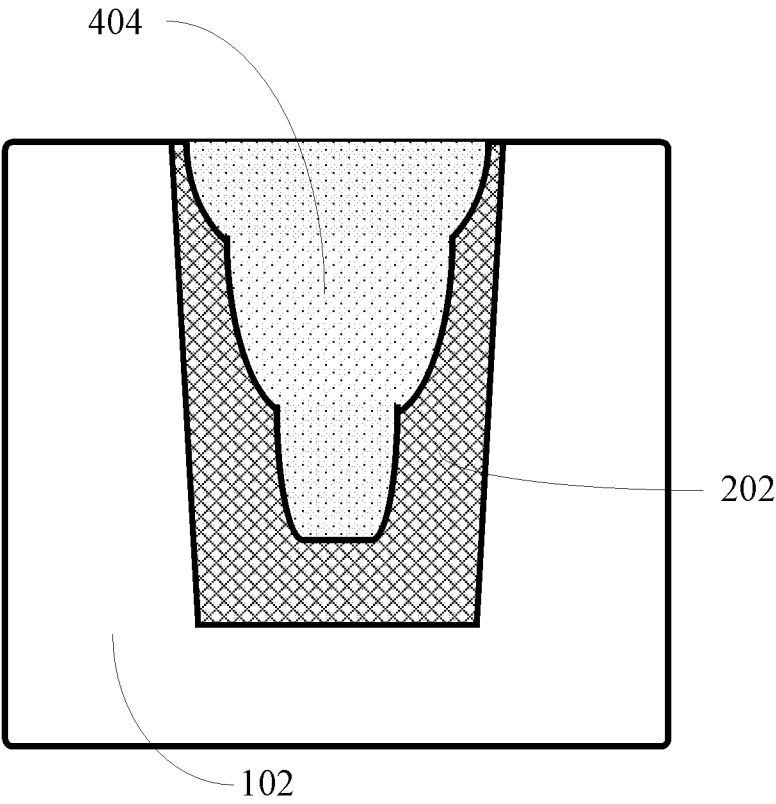


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094365

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/40(2006.01)i; H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21; H01L29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; DWPI; SIPOABS; CNKI: 无锡华润, 凹槽, 沟槽, 场板, 场效应管, ??MOS, 氧化硅, SiO?, 绝缘层, 隔离层, 去除, 刻蚀, 蚀刻, 减薄, 厚度, 变厚, 增厚, trench+, groove, field plate, effect transistor, FET, MOSFET, silicon dioxide, insulation, insulator, thick+, thin+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104733531 A (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 24 June 2015 (2015-06-24) description, paragraphs [0030]-[0041] and [0044], and figures 2, 3 and 5	1-15
A	CN 102005377 A (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 06 April 2011 (2011-04-06) entire document	1-15
A	WO 2005045938 A2 (KONINKL PHILIPS ELECTRONICS N.V. ET AL.) 19 May 2005 (2005-05-19) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 August 2018

Date of mailing of the international search report

10 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094365

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104733531	A	24 June 2015	US	9190478	B2	17 November 2015
				TW	201528386	A	16 July 2015
				US	2015179750	A1	25 June 2015
				CN	104733531	B	03 April 2018
				TW	1538063	B	11 June 2016
				US	9673289	B2	06 June 2017
				US	2016099325	A1	07 April 2016
CN	102005377	A	06 April 2011	CN	102005377	B	20 February 2013
				US	8252647	B2	28 August 2012
				CN	104701183	A	10 June 2015
				US	2011049618	A1	03 March 2011
				CN	104701182	A	10 June 2015
				CN	102723277	B	20 May 2015
				TW	1459476	B	01 November 2014
				CN	102723277	A	10 October 2012
				US	2012292693	A1	22 November 2012
				TW	201133642	A	01 October 2011
				US	9000514	B2	07 April 2015
				WO	2005045938	A2	19 May 2005
WO	2005045938	A3	25 August 2005				

国际检索报告

国际申请号

PCT/CN2018/094365

A. 主题的分类

H01L 29/40(2006.01)i; H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21; H01L29

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;DWPI;SIPOABS;CNKI: 无锡华润, 凹槽, 沟槽, 场板, 场效应管, ??MOS, 氧化硅, SiO₂, 绝缘层, 隔离层, 去除, 刻蚀, 蚀刻, 减薄, 厚度, 变厚, 增厚, trench+, groove, field plate, effect transistor, FET, MOSFET, silicon dioxide, insulation, insulator, thick+, thin+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104733531 A (万国半导体股份有限公司) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0030]-[0041]、[0044]段, 图2、3、5	1-15
A	CN 102005377 A (万国半导体股份有限公司) 2011年 4月 6日 (2011 - 04 - 06) 全文	1-15
A	WO 2005045938 A2 (KONINKL PHILIPS ELECTRONICS NV等) 2005年 5月 19日 (2005 - 05 - 19) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 10日

国际检索报告邮寄日期

2018年 9月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

赵辉

传真号 (86-10) 62019451

电话号码 (86-512) 88995673

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094365

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104733531	A	2015年 6月 24日	US	9190478	B2	2015年 11月 17日
				TW	201528386	A	2015年 7月 16日
				US	2015179750	A1	2015年 6月 25日
				CN	104733531	B	2018年 4月 3日
				TW	I538063	B	2016年 6月 11日
				US	9673289	B2	2017年 6月 6日
				US	2016099325	A1	2016年 4月 7日
CN	102005377	A	2011年 4月 6日	CN	102005377	B	2013年 2月 20日
				US	8252647	B2	2012年 8月 28日
				CN	104701183	A	2015年 6月 10日
				US	2011049618	A1	2011年 3月 3日
				CN	104701182	A	2015年 6月 10日
				CN	102723277	B	2015年 5月 20日
				TW	I459476	B	2014年 11月 1日
				CN	102723277	A	2012年 10月 10日
				US	2012292693	A1	2012年 11月 22日
				TW	201133642	A	2011年 10月 1日
				US	9000514	B2	2015年 4月 7日
WO	2005045938	A2	2005年 5月 19日	GB	0326237	D0	2003年 12月 17日
				WO	2005045938	A3	2005年 8月 25日

表 PCT/ISA/210 (同族专利附件) (2015年1月)