



(12) 发明专利申请

(10) 申请公布号 CN 118476239 A

(43) 申请公布日 2024. 08. 09

(21) 申请号 202280087024.8

(22) 申请日 2022.12.20

(30) 优先权数据

2022-000710 2022.01.05 JP

(85) PCT国际申请进入国家阶段日

2024.06.28

(86) PCT国际申请的申请数据

PCT/JP2022/046904 2022.12.20

(87) PCT国际申请的公布数据

W02023/132232 JA 2023.07.13

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川

(72) 发明人 村冈和彦

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 沈丹阳

(51) Int.Cl.

H04N 25/70 (2006.01)

H04N 25/78 (2006.01)

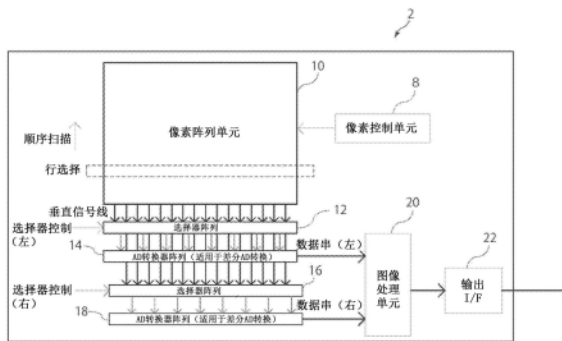
权利要求书4页 说明书42页 附图45页

(54) 发明名称

固态成像元件和电子设备

(57) 摘要

[问题]为了提供能够在抑制电路量增加的同时快速生成像素之间的差分信息的固态成像元件和电子设备。[解决方案]该固态成像元件包括第一模数转换单元和第二模数转换单元,第一模数转换单元包括第一模数转换电路和第二模数转换电路,第二模数转换单元包括第三模数转换电路,其中:第一模数转换电路经由第一开关电路连接至第一垂直信号线和第二垂直信号线,第二模数转换电路经由第二开关电路连接至第三垂直信号线和第四垂直信号线,第三模数转换电路经由第三开关电路连接至第二垂直信号线以及第一垂直信号线、第二垂直信号线和第四垂直信号线不同的信号线,第一开关电路和第二开关电路连接至第一选择驱动线,第三开关电路连接至第二选择驱动线,并且第一模数转换单元和第二模数转换单元设置在像素阵列单元的同一段部侧。



1. 一种固态成像元件,包括:

第一模数转换单元,包括第一模数转换电路和第二模数转换电路;以及

第二模数转换单元,包括第三模数转换电路,其中,

所述第一模数转换电路经由第一开关电路连接至第一垂直信号线和第二垂直信号线,

所述第二模数转换电路经由第二开关电路连接至第三垂直信号线和第四垂直信号线,

所述第三模数转换电路经由第三开关电路连接至所述第二垂直信号线和除所述第一垂直信号线、所述第二垂直信号线和所述第四垂直信号线之外的不同信号线,

所述第一开关电路和所述第二开关电路连接至第一选择驱动线,所述第三开关电路连接至第二选择驱动线,并且

所述第一模数转换单元和所述第二模数转换单元布置在像素阵列单元的同一段侧。

2. 根据权利要求1所述的固态成像元件,其中,所述不同信号线对应于所述第三垂直信号线。

3. 根据权利要求1所述的固态成像元件,其中,所述不同信号线对应于供应预定信号值的信号线。

4. 根据权利要求1所述的固态成像元件,进一步包括:

第一选择单元,连接至所述第一选择驱动线;以及

第二选择单元,连接至所述第二选择驱动线,其中,

所述第一选择单元包括包含所述第一开关电路和所述第二开关电路的多个开关电路,

所述第二选择单元包括包含所述第三开关电路的多个开关电路,

所述第一模数转换单元包括包含所述第一模数转换电路和所述第二模数转换电路的多个模数转换电路,所述多个模数转换电路对应于所述第一选择电路中包括的所述多个开关电路,并且

所述第二模数转换单元包括包含所述第三模数转换电路的多个模数转换电路,所述多个模数转换电路对应于所述第二选择电路中包括的所述多个开关电路。

5. 根据权利要求4所述的固态成像元件,其中,

关于包括所述第一垂直信号线至所述第四垂直信号线并且连接至所述第一选择电路和所述第二选择电路的多条垂直信号线,

所述第一选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序以预定顺序连接至所述多条垂直信号线中的两条垂直信号线,

所述第二选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序以预定顺序连接至所述多条垂直信号线中的两条垂直信号线,

所述两条垂直信号线中的左侧垂直信号线是所述第一选择电路中包括的所述多个开关电路中的任一个开关电路中的两条垂直信号线中的右侧垂直信号线,并且

所述两条垂直信号线中的右侧垂直信号线是所述第一选择电路中包括的所述多个开关电路中的任一个开关电路中的两条垂直信号线中的左侧垂直信号线。

6. 根据权利要求5所述的固态成像元件,其中,

所述第一选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $(2n-1)$ (n 为1至 $M/2$,并且 M 为偶数)条垂直信号线和第 $(2n)$ 条垂直信号线的两条垂直信号线,并且

所述第二选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $(2n)$ 条垂直信号线和第 $(2n+1)$ 条垂直信号线的两条垂直信号线。

7. 根据权利要求5所述的固态成像元件, 其中,

所述第一选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8+m)$ (n 为1至 $M/4$, M 为8的倍数, 并且 m 为1至4) 条垂直信号线和第 $((n-1) \times 8+m+4)$ 条垂直信号线的两条垂直信号线, 并且

所述第二选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8+m+4)$ 条垂直信号线和第 $(n \times 8+m)$ 条垂直信号线的两条垂直信号线。

8. 根据权利要求5所述的固态成像元件, 其中,

所述第一选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4+m)$ (n 为1至 $M/4$, M 为4的倍数, 并且 m 为1或2) 条垂直信号线和第 $((n-1) \times 4+m+2)$ 条垂直信号线的两条垂直信号线, 并且

所述第二选择单元中包括的所述多个开关电路中的每一个根据所述多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4+m+2)$ 条垂直信号线和第 $(n \times 4+m)$ 条垂直信号线的两条垂直信号线。

9. 根据权利要求5所述的固态成像元件, 其中,

在捕获差分图像的情况下,

所述第一选择单元中包括的每个开关电路交替地选择所述两条垂直信号线中的所述左侧垂直信号线或所述右侧垂直信号线, 并且

所述第二选择单元中包括的每个开关电路交替地选择所述两条垂直信号线中的所述右侧垂直信号线或所述左侧垂直信号线。

10. 根据权利要求5所述的固态成像元件, 其中,

在捕获正常图像的情况下,

所述第一选择单元中包括的每个开关电路选择所述两条垂直信号线中的所述左侧垂直信号线或所述右侧垂直信号线, 并且

所述第二选择单元中包括的每个开关电路选择所述两条垂直信号线中的与由所述第一选择电路中包括的开关电路选择的垂直信号线在相同侧的垂直信号线。

11. 根据权利要求5所述的固态成像元件, 其中,

所述像素阵列单元包括布置成矩阵的多个像素,

在选择所述第一选择单元中包括的开关电路的两条信号线中的所述左侧垂直信号线的情况下, 电连接第一行中的像素, 并且

在选择所述两条信号线中的所述右侧垂直信号线的情况下, 电连接与所述第一行不同的第二行中的像素。

12. 根据权利要求5所述的固态成像元件, 其中,

所述像素阵列单元包括布置成矩阵的多个像素,

在选择所述第一选择单元中包括的开关电路的两条信号线中的所述左侧垂直信号线的情况下, 电连接第一行中的像素以及与所述第一行不同的第二行中的像素, 并且

在选择所述两条信号线中的所述右侧垂直信号线的情况下,电连接与所述第一行和所述第二行不同的第三行中的像素以及与所述第一行、所述第二行和所述第三行不同的第四行中的像素。

13. 根据权利要求5所述的固态成像元件,其中,

所述像素阵列单元包括布置成矩阵的多个像素,

在选择所述第一选择单元中包括的开关电路的两条信号线中的所述左侧垂直信号线的情况下,电连接第一行中的像素,

在选择所述两条信号线中的所述右侧垂直信号线的情况下,电连接与所述第一行间隔一行的第三行中的像素,

然后,在选择所述两条信号线中的所述左侧垂直信号线的情况下,电连接与所述第一行相邻的第二行中的像素,并且

然后,在选择所述两条信号线中的所述右侧垂直信号线的情况下,电连接与所述第二行间隔一行的第四行中的像素。

14. 根据权利要求5所述的固态成像元件,其中,

所述像素阵列单元包括布置成矩阵的多个像素,

在选择所述第一选择单元中包括的开关电路的两条信号线中的所述左侧垂直信号线的情况下,电连接第一行至第四行中的像素,并且

在选择所述两条信号线中的所述右侧垂直信号线的情况下,电连接与所述第一行至所述第四行不同的第五行至第八行中的像素。

15. 根据权利要求5所述的固态成像元件,其中,

所述像素阵列单元包括布置成矩阵的多个像素,

在选择所述第一选择单元中包括的开关电路的两条信号线中的所述左侧垂直信号线的情况下,电连接第一行至第四行中的预定行中的像素,并且

在选择所述两条信号线中的所述右侧垂直信号线的情况下,电连接与所述第一行至所述第四行不同的第五行至第八行中的预定行中的像素。

16. 根据权利要求1所述的固态成像元件,其中,所述像素阵列单元包括以拜耳阵列布置的像素。

17. 根据权利要求1所述的固态成像元件,其中,

所述像素阵列单元包括布置成矩阵的多个像素,并且

所述像素包括:

光电转换元件单元,被配置为通过光电转换生成与接收的光量相对应的电流;

传输晶体管,所述传输晶体管的漏极连接至所述光电转换元件单元的阴极;

复位晶体管,所述复位晶体管的源极连接至所述传输晶体管的源极;

放大晶体管,所述放大晶体管的栅极连接至所述传输晶体管的源极;

浮动扩散,连接至所述放大晶体管的栅极;以及

选择晶体管,所述选择晶体管的漏极连接至所述放大晶体管的源极并且所述选择晶体管的源极连接至所述第一垂直信号线至所述第四垂直信号线中的任一条。

18. 根据权利要求5所述的固态成像元件,其中,

所述像素阵列单元包括以拜耳阵列布置的像素,并且

所述垂直信号线电连接至浮动扩散,所述浮动扩散连接至构成所述拜耳阵列的四个像素。

19.一种电子设备,包括:

根据权利要求1所述的固态成像元件;以及
光学系统,被配置为使光进入所述像素阵列单元。

固态成像元件和电子设备

技术领域

[0001] 本公开涉及捕获对象的图像的固态成像元件和电子设备。

背景技术

[0002] 在图像识别中,可以计算对象的轮廓信息作为像素之间的差分信息。这样的轮廓信息是用于对象形状识别等的重要的信息。此外,轮廓信息通常通过由数字电路或软件执行的算术运算来生成。然而,图像数据大小较大,使得数字电路的电路规模增大,这导致固态成像元件的芯片面积或功耗增大。此外,在通过软件的实现中,由于运算的延迟导致帧速率下降,或者需要高速处理器,这导致功耗的增加。

[0003] 引用列表

[0004] 专利文献

[0005] 专利文献1:日本专利申请公开第2015-62264号。

发明内容

[0006] 本发明要解决的问题

[0007] 因此,本公开的目的是提供能够在抑制电路规模增大的同时高速生成像素之间的差分信息的固态成像元件和电子设备。

[0008] 问题的解决方案

[0009] 为了解决上述问题,根据本公开,提供了一种固态成像元件,包括:

[0010] 第一模数转换单元,包括第一模数转换电路和第二模数转换电路;以及

[0011] 第二模数转换单元,包括第三模数转换电路,其中,

[0012] 第一模数转换电路经由第一开关电路连接至第一垂直信号线和第二垂直信号线,

[0013] 第二模数转换电路经由第二开关电路连接至第三垂直信号线和第四垂直信号线,

[0014] 第三模数转换电路经由第三开关电路连接至第二垂直信号线和除第一垂直信号线、第二垂直信号线和第四垂直信号线之外的不同信号线,

[0015] 第一开关电路和第二开关电路连接至第一选择驱动线,

[0016] 第三开关电路连接至第二选择驱动线,并且

[0017] 第一模数转换单元和第二模数转换单元布置在像素阵列单元的同一段侧。

[0018] 不同信号线可以对应于第三垂直信号线。

[0019] 不同信号线可以对应于供应预定信号值的信号线。

[0020] 可以进一步包括:

[0021] 第一选择单元,连接至第一选择驱动线;以及

[0022] 第二选择单元,连接至第二选择驱动线,其中,

[0023] 第一选择单元可以包括多个开关电路,该多个开关电路包括第一开关电路和第二开关电路,

[0024] 第二选择单元可以包括多个开关电路,该多个开关电路包括第三开关电路,

[0025] 第一模拟数字转换单元可以包括多个模拟数字转换电路,该多个模拟数字转换电路包括第一模拟数字转换电路和第二模拟数字转换电路,该多个模拟数字转换电路对应于第一选择电路中包括的多个开关电路,并且

[0026] 第二模拟数字转换单元可以包括多个模拟数字转换电路,该多个模拟数字转换电路包括第三模拟数字转换电路,该多个模拟数字转换电路对应于第二选择电路中包括的多个开关电路。

[0027] 关于包括第一垂直信号线至第四垂直信号线并且连接至第一选择电路和第二选择电路的多条垂直信号线,

[0028] 第一选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序以预定顺序连接至多条垂直信号线中的两条垂直信号线,

[0029] 第二选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序以预定顺序连接至多条垂直信号线中的两条垂直信号线,

[0030] 两条垂直信号线中的左侧垂直信号线可以是第一选择电路中包括的多个开关电路中的任一个开关电路的两条垂直信号线中的右侧垂直信号线,以及

[0031] 两条垂直信号线中的右侧垂直信号线可以是第一选择电路中包括的多个开关电路中的任一个开关电路中的两条垂直信号线中的左侧垂直信号线。

[0032] 第一选择单元中包括的多个开关电路的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $(2n-1)$ (n 为 1 至 $M/2$, 并且 M 为偶数) 条垂直信号线和第 $(2n)$ 条垂直信号线的两条垂直信号线,并且

[0033] 第二选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $(2n)$ 条垂直信号线和第 $(2n+1)$ 条垂直信号线的两条垂直信号线。

[0034] 第一选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8 + m)$ (n 为 1 至 $M/4$, M 为 8 的倍数, 并且 m 为 1 至 4) 条垂直信号线和第 $((n-1) \times 8 + m + 4)$ 条垂直信号线的两条垂直信号线,并且

[0035] 第二选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8 + m + 4)$ 条垂直信号线和第 $(n \times 8 + m)$ 条垂直信号线的两条垂直信号线。

[0036] 第一选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4 + m)$ (n 为 1 至 $M/4$, M 为 4 的倍数, 并且 m 为 1 或 2) 条垂直信号线和第 $((n-1) \times 4 + m + 2)$ 条垂直信号线的两条垂直信号线,并且

[0037] 第二选择单元中包括的多个开关电路中的每一个可以根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4 + m + 2)$ 条垂直信号线和第 $(n \times 4 + m)$ 条垂直信号线的两条垂直信号线。

[0038] 在捕获差分图像的情况下,

[0039] 第一选择单元中包括的每个开关电路可以交替地选择两条垂直信号线中的左侧垂直信号线或右侧垂直信号线,并且

[0040] 第二选择单元中包括的每个开关电路可以交替地选择两条垂直信号线中的右侧垂直信号线或左侧垂直信号线。

[0041] 在捕获正常图像的情况下,

[0042] 第一选择单元中包括的每个开关电路可以选择两条垂直信号线中的左侧垂直信号线或右侧垂直信号线,并且

[0043] 第二选择单元中包括的每个开关电路可以选择两条垂直信号线中的与由第一选择电路中包括的开关电路选择的垂直信号线在相同侧的垂直信号线。

[0044] 像素阵列单元可以包括布置成矩阵的多个像素,

[0045] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,可以电连接第一行中的像素,并且

[0046] 在选择两条信号线的右侧垂直信号线的情况下,可以电连接与第一行不同的第二行中的像素。

[0047] 像素阵列单元可以包括布置成矩阵的多个像素,

[0048] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,可以电连接第一行中的像素以及与第一行不同的第二行中的像素,并且

[0049] 在选择两条信号线中的右侧垂直信号线的情况下,可以电连接与第一行和第二行不同的第三行中的像素以及与第一行、第二行和第三行不同的第四行中的像素。

[0050] 像素阵列单元可以包括布置成矩阵的多个像素,

[0051] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,可以电连接第一行中的像素,

[0052] 在选择两条信号线中的右侧垂直信号线的情况下,可以电连接与第一行间隔一行的第三行中的像素,

[0053] 然后,在选择两条信号线中的左侧垂直信号线的情况下,可以电连接与第一行相邻的第二行中的像素,并且

[0054] 然后,在选择两条信号线中的右侧垂直信号线的情况下,可以电连接与第二行间隔一行的第四行中的像素。

[0055] 像素阵列单元可以包括布置成矩阵的多个像素,

[0056] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,可以电连接第一行至第四行中的像素,并且

[0057] 在选择两条信号线中的右侧垂直信号线的情况下,可以电连接与第一行至第四行不同的第五行至第八行中的像素。

[0058] 像素阵列单元可以包括布置成矩阵的多个像素,

[0059] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,可以电连接第一行至第四行中的预定行中的像素,并且

[0060] 在选择两条信号线中的右侧垂直信号线的情况下,可以电连接与第一行至第四行不同的第五行至第八行中的预定行中的像素。

[0061] 像素阵列单元可以包括以拜耳阵列布置的像素。

[0062] 像素阵列单元可以包括布置成矩阵的多个像素,并且

[0063] 每个像素可以包括:

[0064] 光电转换元件单元,被配置为通过光电转换生成与接收的光量相对应的电流;

[0065] 传输晶体管,该传输晶体管的漏极连接至光电转换元件单元的阴极;

[0066] 复位晶体管,该复位晶体管的源极连接至传输晶体管的源极;

- [0067] 放大晶体管,该放大晶体管的栅极连接至传输晶体管的源极;
- [0068] 浮动扩散,连接至放大晶体管的栅极;以及
- [0069] 选择晶体管,该选择晶体管的漏极连接至放大晶体管的源极并且该选择晶体管的源极连接至第一垂直信号线至第四垂直信号线中的任一条。
- [0070] 像素阵列单元可以包括布置成拜耳阵列的像素,并且
- [0071] 垂直信号线可以各自电连接至浮动扩散,该浮动扩散连接至构成拜耳阵列的四个像素。
- [0072] 提供了一种电子设备,包括:
- [0073] 根据权利要求1所述的固态成像元件;以及
- [0074] 光学系统,被配置为使光进入像素阵列单元。

附图说明

- [0075] 图1是示出应用本技术的数码相机的实施方式的配置示例的框图。
- [0076] 图2是示出由数码相机捕获的图像的示例的示图。
- [0077] 图3是示出图1中的图像传感器的配置示例的框图。
- [0078] 图4是示出像素阵列单元的配置示例的示图。
- [0079] 图5是示出像素阵列单元的电路的示例的示图。
- [0080] 图6是示出获取第一行中的绿色像素的信号的状态的示图。
- [0081] 图7是示出获取第二行中的绿色像素的信号的状态的示图。
- [0082] 图8是示出获取第三行中的绿色像素的信号的状态的示图。
- [0083] 图9是示出像素基本单元的电路配置示例的示图。
- [0084] 图10是示出AD转换器的电路配置示例的示图。
- [0085] 图11是具体示出差分处理示例的示图。
- [0086] 图12是示出由AD转换器对第一行和第二行中的绿色像素的像素值执行的差分处理示例的示图。
- [0087] 图13是示出从时间t10到时间t21的差分处理示例的时序图。
- [0088] 图14是包括从时间t22到时间t24的差分处理示例的时序图。
- [0089] 图15是包括对最后一行执行的差分处理示例的时序图。
- [0090] 图16是示出对根据第二实施方式的像素阵列单元执行的差分处理示例的示图。
- [0091] 图17是示出根据第二实施方式的像素阵列单元的电路的示例的示图。
- [0092] 图18是示出根据第二实施方式的像素基本单元的电路配置示例的示图。
- [0093] 图19是示出从时间t40到时间t51的差分处理示例的时序图。
- [0094] 图20是包括从时间t51到时间t44的差分处理示例的时间图。
- [0095] 图21是包括对最后一行执行的差分处理示例的时序图。
- [0096] 图22是示出对根据第三实施方式的像素阵列单元的奇数行执行的差分处理示例的示图。
- [0097] 图23是示出对像素阵列单元的偶数行执行的差分处理示例的示图。
- [0098] 图24是示出根据第三实施方式的像素阵列单元的电路的示例的示图。
- [0099] 图25是示出根据第三实施方式的从时间t10到时间t21的差分处理示例的时序图。

- [0100] 图26是包括根据第三实施方式的从时间t21到时间t24的差分处理示例的时序图。
- [0101] 图27是包括对最后奇数行执行的差分处理示例的时序图。
- [0102] 图28是示出用于偶数行的从时间t10至时间t21的差分处理示例的时序图。
- [0103] 图29是包括用于偶数行的从时间t21到时间t24的差分处理示例的时序图。
- [0104] 图30是包括对最后偶数行执行的差分处理示例的时序图。
- [0105] 图31是示出根据第二控制方法的从时间t10到时间t21的差分处理示例的时序图。
- [0106] 图32是包括根据第二控制方法的从时间t21到时间t24的差分处理示例的时序图。
- [0107] 图33是包括根据第二控制方法的对最后奇数行执行的差分处理示例的时序图。
- [0108] 图34是示出根据第二控制方法的从时间t30到时间t41的差分处理示例的时序图。
- [0109] 图35是包括根据控制方法的从时间t36到时间t44的差分处理示例的时序图。
- [0110] 图36是包括根据第二控制方法的对最后偶数行执行的差分处理示例的时序图。
- [0111] 图37是示出在第一控制方法下对根据第四实施方式的像素阵列单元执行的差分处理示例的示意图。
- [0112] 图38是示出在第二控制方法下对根据第四实施方式的像素阵列单元执行的差分处理示例的示意图。
- [0113] 图39是示出根据第四实施方式的像素阵列单元的电路的示例的示意图。
- [0114] 图40是示出根据第四实施方式的拜耳阵列的基本像素组的电路配置示例的示意图。
- [0115] 图41是示出根据第四实施方式的从时间t10到时间t21的差分处理示例的时序图。
- [0116] 图42是包括根据第四实施方式的从时间t22到时间t24的差分处理示例的时序图。
- [0117] 图43是包括对根据第四实施方式的最后一行执行的差分处理示例的时序图。
- [0118] 图44是示出根据第二控制的从时间t10到时间t21的差分处理示例的时序图。
- [0119] 图45是包括根据第二控制的从时间t22到时间t24的差分处理示例的时序图。
- [0120] 图46是包括对根据第二控制的最后一行执行的差分处理示例的时序图。

具体实施方式

[0121] 在下文中,将参考附图描述固态成像元件和电子设备的实施方式。虽然以下将主要描述固态成像元件和电子设备的主要部件,但是固态成像元件和电子设备可以包括未示出或描述的部件和功能。以下描述不排除未示出或描述的部件和功能。

[0122] (第一实施方式)

[0123] 图1是示出应用本技术的数码相机的实施方式的配置示例的框图。注意,数码相机100能够捕获静止图像和运动图像两者。

[0124] 如图1所示,数码相机100包括光学系统1、图像传感器2、存储器3、信号处理单元4、输出单元5以及控制单元6。注意,根据本实施方式的数码相机对应于电子设备。

[0125] 光学系统1例如包括变焦透镜、聚焦透镜、光圈等(未示出),并且使外部光进入图像传感器2。图像传感器2例如是诸如互补金属氧化物半导体(CMOS)图像传感器的固态成像元件,并且图像传感器2接收从光学系统1入射的光,执行光电转换,并且输出与从光学系统1入射的光对应的图像数据。存储器3临时存储从图像传感器2输出的图像数据。

[0126] 图2是示出由数码相机100捕获的图像的示例的示意图。图2A是可以被捕获为彩色图像或单色图像的一般捕获图像。图2B是通过生成图2A中的像素之间的差分信息作为轮廓信

息而获得的差分图像。图2C是通过对图2B中的像素值执行阈值处理以二值转换像素值而获得的二值图像。注意,在本实施方式中,差分图像可以被称为轮廓图像。

[0127] 图2B中的差分图像以多值形式表示差分量。因此,图像产生薄印象。通过将大于阈值的值设置为1并且将小于阈值的值设置为0来生成图2C中的二值图像。这在视觉上给出了更强调的印象。

[0128] 例如,对于对象识别算法,通常是将提取边缘的处理添加到前级以仅提取用于识别的重要轮廓。因此,在对象识别算法中,使用诸如图2C中的二值图像的二值图像减少了对非重要信息的处理,以减轻识别计算处理负荷。这同样适用于使用AI等的情况,并且可以利用较小的计算资源执行识别。

[0129] 信号处理单元4使用存储在存储器3中的图像数据执行诸如噪声去除和白平衡调整的处理作为信号处理,并且将处理后的图像数据提供至输出单元5。输出单元5输出从信号处理单元4接收的图像数据。此外,信号处理单元4还可以使用对象识别算法来执行对象识别。该对象识别算法可以使用指示对象的轮廓的二值图像。在这种情况下,由于二值图像由于二值转换而具有较小的数据大小,因此可以减少基于由信号处理单元4执行的对象识别算法的处理的规模。

[0130] 如上所述,形状对于对象识别算法中的轮廓信息是重要的,并且多值信息量的重要性相对较低,使得即使量化的粒度降低,识别也不会受到很大影响。因此,如图2C所示,二值转换允许位深度减少至1/12、1/10(例如,对应于捕获图像的位深度分别是12位和10位的情况)等,其小于图像的位深度。此外,通过与用于观看的图像的位深度相比减少AD转换期间的位深度,还可以减少AD转换的电路规模或处理时间。

[0131] 输出单元5输出由信号处理单元4执行的识别的结果。此外,输出单元5包括例如包括液晶等的显示器(未示出),并且将与来自信号处理单元4的图像数据对应的图像显示为所谓的直通图像。此外,输出单元5进一步包括驱动器(未示出),该驱动器驱动诸如半导体存储器、磁盘或光盘的记录介质,并且将来自信号处理单元4的图像数据记录在记录介质中。

[0132] 控制单元6可以控制数码相机100以使数码相机100捕获一般捕获图像或捕获差分图像。控制单元6根据用户的操作等控制构成数码相机的各个块。在如上所述配置的数码相机中,图像传感器2从光学系统1接收入射光,并基于入射光输出以一般方式捕获的图像数据(参见图2A)或差分图像数据(参见图2B)。此外,图像传感器2还可以输出二值图像(参见图2C)。

[0133] 从图像传感器2输出的图像数据、差分图像数据和二值图像数据被提供给存储器3并存储在存储器3中。通过信号处理单元4使存储在存储器3中的图像数据、差分图像数据和二值图像数据中的至少一个经受信号处理,并且将所产生的图像数据提供给输出单元5并输出。

[0134] 图3是示出图1中的图像传感器2的配置示例的框图。如图3所示,图像传感器2包括像素控制单元8、像素阵列单元10、第一选择单元12、第一AD转换单元14、第二选择单元16、第二AD转换单元18、图像处理单元20和输出接口22。

[0135] 像素控制单元8在控制单元6(参见图1)的控制下控制图像传感器2。像素控制单元8进行控制以在行方向上顺序扫描像素阵列单元10并捕获图像。此外,控制第一选择单元

12、第一AD转换单元14、第二选择单元16以及第二AD转换单元18以生成以一般方式捕获的图像数据或者差分图像数据。第一选择驱动线Sel_L(参见稍后描述的图5)连接在第一选择单元12与像素控制单元8之间,并且第二选择驱动线Sel_R(参见稍后描述的图5)连接在第二选择单元16与像素控制单元8之间。像素控制单元8经由第一选择驱动线Sel_L输出选择器控制信号(左)(SEL_L),并且经由第二选择驱动线Sel_R输出选择器控制信号(右)(SEL_R)。应注意,在本实施方式中,选择器控制信号(左)和选择器控制信号(右)可被称为选择控制信号。

[0136] 在本实施方式中,设置为“0”的SEL_L表示用于选择左侧垂直信号线的信号,并且设置为“1”的SEL_L表示用于选择右侧垂直信号线的信号。类似地,设置为“0”的SEL_R表示用于选择左侧垂直信号线的信号,并且设置为“1”的SEL_R表示用于选择右侧垂直信号线的信号。例如,在差分处理中,SEL_L和SEL_R被控制为具有不同的值。另一方面,在一般成像中,SEL_L和SEL_R被控制为具有相同的值。注意,因为SEL_L和SEL_R指示具有其相应值的左侧垂直信号线或右侧垂直信号线的选择,所以SEL_L和SEL_R例如具有左右方向性。

[0137] 图4是示出像素阵列单元10的配置示例的示图。如图4所示,在根据本实施方式的像素阵列单元10中,包括红色滤波器(R)、绿色滤波器(G)和蓝色滤波器(B)的像素以网格图案布置。即,像素基本单元G10是拜耳阵列,并且包括具有红色滤波器(R)的像素、均具有绿色滤波器(G)的两个像素、以及具有蓝色滤波器(B)的像素。如上所述,像素阵列单元10包括执行光电转换的 $N \times M$ (N和M为1或更大的整数)光电转换元件,并且用作捕获图像的固态成像元件。注意,在以下描述中,具有红色滤波器(R)的像素可简称为红色像素,具有绿色滤波器(G)的像素可简称为绿色像素,并且具有蓝色滤波器(B)的像素可简称为蓝色像素。

[0138] 此外,如图4所示,根据本实施方式的图像传感器2不仅能够执行正常彩色成像,而且能够计算在对角线方向上彼此邻近的绿色像素之间的像素值的差,如由双向箭头D10所示。注意,稍后将描述像素阵列单元10的详细配置示例。此外,将参考包括红色、绿色和蓝色像素的配置作为示例来描述根据本实施方式的图像传感器2,但并不局限于该配置。例如,也可以类似方式使用单色像素或红色像素、绿色像素、蓝色像素和白色像素(RGB-白色像素)提取差。

[0139] 作为一般图像传感器的滤色器阵列的拜耳阵列具有强调绿色的配置,并且红色和蓝色像素的数量小于绿色像素的数量。这是因为人类视觉对绿色高度敏感,从而布置更多数量的绿色像素。因此,当人类观看由图像传感器2捕获的图像时,图像被视为高质量图像。此外,由于绿色位于可见光光谱的中心,所以当确认对象的形状时在许多情况下包含绿色。因此,在根据本实施方式的图像传感器2中,使用z在对角线方向上彼此相邻的绿色像素来提取对象的轮廓。在本实施方式中,该差值被称为轮廓信息。即,在本实施方式中,通过获取绿色像素与位于绿色像素的左上对角线中的另一绿色像素之间的差值以及绿色像素与位于绿色像素的右上对角线中的另一绿色像素之间的差值来获得差分图像。

[0140] 再次如图3所示,第一选择单元12在像素阵列单元10的多个垂直信号之中选择彼此相邻的一对信号线((2n-1)、(2n))(n是1至M/2)中的一个,并将所选择的信号线的信号输出至第一AD转换单元14。这里,像素阵列单元10的多个垂直信号的数量例如是1至M(例如,M是偶数)。

[0141] 在生成差分图像的情况下,第一选择单元12在选择器控制信号(左)(SEL_L)是“1”

(即,高电平)的情况下选择偶数垂直信号。此外,在选择器控制信号(左)(SEL_L)是“0”(即,低电平)的情况下选择奇数垂直信号。如上所述,在生成差分图像的情况下,第一选择单元12交替地选择彼此相邻的垂直信号的信号中的一个。

[0142] 另一方面,在生成正常图像的情况下,第一选择单元12始终选择彼此相邻的一对信号线((2n-1)、(2n) (n是1至M/2))中的第(2n-1) (n是1至M/2)信号线。注意,稍后将描述第一选择单元12的详细配置示例。即,在生成正常图像的情况下,选择器控制信号(左)(SEL_L)始终是“0”,即,低电平。

[0143] 第一AD转换单元14使用从第一选择单元12以时间序列提供的两个图像信号执行差分处理,并且将两个图像信号转换为数字图像数据。即,在生成差分图像的情况下,第一AD转换单元14将信号线(2n-1) (n为1至M/2)的信号与信号线(2n) (n为1至M/2)的信号之间的差值转换为数字信号。

[0144] 另一方面,在生成正常图像的情况下,第一AD转换单元14生成第(2n-1) (n为1至M/2)信号线的信号线之间的差。即,在生成正常图像的情况下,第一AD转换单元14将以时间序列传输的偏移分量信号与像素信号之间的差值转换为数字信号。注意,稍后也将描述第一AD转换单元14的详细配置示例。

[0145] 第二选择单元16在像素阵列单元10的多个垂直信号之中选择彼此相邻的一对信号线((2n)、(2n+1)) (n是1至(M/2))中的一个,并且将所选择的信号线的信号输出至第二AD转换单元18。第二选择单元16在选择器控制信号(右)(SEL_R)是“0”(即,低电平)的情况下选择偶数垂直信号,并且在选择器控制信号(右)(SEL_R)是“1”(即,高电平)的情况下选择奇数垂直信号(VSL)。

[0146] 另一方面,在生成正常图像的情况下,第二选择单元16始终选择彼此相邻的一对信号线((2n)、(2n+1) (n是1至M/2))中的第(2n) (n是1至M/2)信号线。注意,稍后将描述第二选择单元16的详细配置示例。即,在生成正常图像的情况下,反应器控制(左)(SEL_R)始终是“0”选择信号。

[0147] 第二AD转换单元18使用从第二选择单元16以时间序列提供的两个图像信号执行差分处理,并且将两个图像信号转换为数字图像数据。即,在生成差分图像的情况下,第二AD转换单元18将信号线(2n) (n是1至M/2)的信号与信号线(2n+1) (n是1至M/2)的信号之间的差值转换为数字信号。

[0148] 另一方面,在生成正常图像的情况下,第二AD转换单元18生成第(2n) (n是1至M/2)信号线的信号线之间的差。即,在生成正常图像的情况下,第二AD转换单元18将以时间序列传输的偏移分量信号与像素信号之间的差值转换为数字信号。注意,稍后还将描述第二AD转换单元18的详细配置示例。

[0149] 如上所述,AD转换单元被划分为两个,即,第一AD转换单元14和第二AD转换单元18。此外,AD转换器的总数等于垂直信号线VSL的数量。因此,AD转换器的数量与一般传感器配置相同,并且因此,除了正常的彩色成像(或单色成像)之外,还可以在抑制电路规模增大的同时,计算与垂直信号线相邻的像素之间的像素值的差。具体地,在本实施方式中,计算在对角线方向上彼此相邻的绿色像素之间的像素值的差。

[0150] 图像处理单元20可对经受由第一AD转换单元14和第二AD转换单元18执行的AD转换的图像数据执行诸如降噪处理的一般图像处理。注意,因为AD转换单元被划分为两个AD

转换单元,第一AD转换单元14和第二AD转换单元18,所以在执行差分处理的情况下,图像处理单元20可添加交替地重新排列数据串(左)和数据串(右)的处理以适应常规图像输出和格式。此外,图像处理单元20对差分图像执行阈值处理以生成二值图像。该阈值可以预先设置,也可以根据用户的操作等设置。输出接口22例如将从图像处理单元20提供的图像数据提供给存储器3(参见图1)。

[0151] 图5是示出包括像素阵列单元10、选择器阵列(第一选择单元12和第二选择单元16)以及AD转换单元(第一AD转换单元14和第二AD转换单元18)的电路的示例的示意图。注意,为了简单起见,在假设像素的数量为 8×8 的基础上进行描述,但是像素的数量不限于 8×8 。

[0152] 如上所述,像素阵列单元10的每个像素经由R/G/B滤色器中的对应一个被曝光。像素控制单元8(参见图3)经由在像素阵列单元10的水平方向上布线的控制线(control lines)(控制线(control wires))对像素执行快门/浮动扩散(FD)传输/读取控制。用于控制的每个控制线在水平方向上共享,并且从底部到顶部被分配对应的垂直地址。

[0153] 另一方面,在垂直方向上布线的垂直信号线VSL经由第一选择单元12和第二选择单元16将像素阵列单元10的列方向上排列的每个像素连接至第一AD转换单元14和第二AD转换单元18。如上所述,第一AD转换单元14或第二AD转换单元18经由第一选择单元12和第二选择单元16电连接至垂直信号线VSL中的每一个。这里,“电连接”是指可以传输信号的状态。

[0154] 如上所述,第一选择单元12和第二选择单元16选择彼此相邻的垂直信号线VSL中的一个。即,第一选择单元12包括多个选择器SEL11至14。彼此相邻的两条信号线($(2n-1)$ 、 $(2n)$)(n 是1至 $M/2$)顺序连接至选择器SEL11至14中的每一个。第二选择单元16包括多个选择器SEL21至24。彼此相邻的两条信号线($(2n)$ 、 $(2n+1)$)(n 是1至 $M/2$)顺序连接至选择器SEL21至24中的每一个。

[0155] 第一AD转换单元14包括多个AD转换器ADC11至14。多个AD转换器ADC11至14中的每一个连接至选择器SEL11至14中的对应一个。类似地,第二AD转换单元18包括多个AD转换器ADC21至24。多个AD转换器ADC21至24中的每一个连接至选择器SEL21至24中的对应一个。注意,根据本实施方式的AD转换器对应于模数转换电路。此外,第一AD转换单元14对应于第一模数转换单元,并且第二AD转换单元18对应于第二模数转换单元。

[0156] 在正常成像的情况下,像素控制单元8例如将作为选择控制信号的SEL_L和SEL_R保持在低电平,即,值0。因此,第一选择单元12和第二选择单元16各自选择左侧垂直信号线VSL。更具体地,垂直信号线VSL1的信号输入到ADC11,垂直信号线VSL2的信号输入到ADC21,垂直信号线VSL3的信号输入到ADC12,垂直信号线VSL4的信号输入到ADC22,垂直信号线VSL5的信号输入到ADC13,垂直信号线VSL6的信号输入到ADC23,垂直信号线VSL7的信号输入到ADC14,垂直信号线VSL8的信号输入到ADC28。

[0157] 如上所述,为一条垂直信号线设置一个AD转换器。如从以上可以理解的,SEL_L和SEL_R被保持在低电平(即,值0)的情况用作与正常图像传感器的配置类似的配置。如上所述,在SEL_L和SEL_R被设置为相同值“0”的情况下,选择器SEL11至14和选择器SEL21至24在相同方向上选择垂直信号线,即,左侧垂直信号线。因此,可以通过逐行驱动像素并且执行正常的AD转换来获取一般捕获图像。如上所述,特征之一是可以获取一般捕获图像。根据本实施方式的选择器SEL11至14和选择器SEL21至24各自对应于开关电路。

[0158] 接下来,将参考图6至图8描述如何生成差分图像的示例。图6是示出获取第一行中的绿色像素的信号的信号的状态的示图。图7是示出获取第二行中的绿色像素的信号的信号的状态的示图。图8是示出获取第三行中的绿色像素的信号的信号的状态的示图。

[0159] 在生成差分图像的情况下,在本实施方式中,例如,如上所述,使用绿色像素之间的差值。如图6所示,图像控制单元8仅选择控制线1(控制线1)而不选择控制线2至8(控制线2至8)。因此,仅控制线1的行中的像素电连接至相应的垂直信号线VSL。

[0160] 随后,图像控制单元8将选择控制信号设置为SEL_L=1和SEL_R=0。因此,因为SEL_L是1,所以第一选择单元12的所有选择器SEL11至14选择由1(右)表示的VSL线并将所选择的垂直信号线VSL的信号输出至第一AD转换单元14。另一方面,因为SEL_R是0,所以第二选择单元16的所有选择器SEL21至24选择由0(左)表示的VSL线并将所选择的垂直信号线的信号输出至第二AD转换单元18。

[0161] 因此,连接至信号线VSL2的控制线1的绿色像素(从左起第一绿色像素)的数据被输入到AD转换器ADC11和AD转换器ADC21。此外,连接至信号线VSL4的控制线1的绿色像素(从左起第二绿色像素)的数据被输入到AD转换器ADC12和AD转换器ADC22。类似地,连接至信号线VSL6的绿色像素的数据被输入到AD转换器ADC13和AD转换器ADC23。类似地,连接至信号线VSL8的绿色像素的数据被输入到AD转换器ADC14和AD转换器ADC24。AD转换器ADC11至14和ADC21至24经受自动归零(稍后将描述细节),使得最初输入的绿色像素的信号值的电平被设置为每个ADC的参考值,即,值0。

[0162] 接下来,如图7所示,图像控制单元8仅选择控制线2而不选择控制线1、3至8。因此,仅控制线2的行中的像素的数据电连接至相应的垂直信号线VSL。

[0163] 随后,图像控制单元8设置选择控制信号SEL_L=0和选择控制信号SEL_R=1。因此,因为SEL_L是0,所以第一选择单元12的所有选择器SEL11至14选择由0(左)表示的垂直信号线VSL并将所选择的垂直信号线VSL的信号输出至第一AD转换单元14。另一方面,因为SEL_R是1,所以第二选择单元16的所有选择器SEL21至24选择由1(右)表示的VSL线并将所选择的垂直信号线的信号输出至第二AD转换单元18。

[0164] 因此,连接至信号线VSL1的控制线2的绿色像素(从左起第一绿色像素)的数据被输入到AD转换器ADC11。此外,连接至信号线VSL3的控制线2的绿色像素(从左起第二绿色像素)的数据被输入到AD转换器ADC12和AD转换器ADC21。类似地,连接至信号线VSL5的绿色像素的数据被输入到AD转换器ADC13和AD转换器ADC23。类似地,连接至信号线VSL7的绿色像素的数据输入到AD转换器ADC14和AD转换器ADC24。

[0165] 在这种状态下,AD转换器ADC11至14和AD转换器ADC21至24执行AD转换。如上所述,读取第一行和第二行中的绿色图像的数据。如从上述处理可以理解的,AD转换器ADC11至14各自将第一行中的绿色像素与位于第一行中的绿色像素的左上对角线的第二行中的绿色像素之间的差值转换为数字信号。类似地,AD转换器ADC21至24各自将第一行中的绿色像素与位于第一行中的绿色像素的右上对角线中的第二行中的绿色像素之间的差值转换为数字信号。注意,例如,连接至位于右端的垂直信号线VSL8的绿色像素也可以经受类似的处理。虽然可以从AD转换器ADC14获取与左上方的差值,然而,不存在右信号线VSL,使得经由虚拟信号线从图像控制单元8(参见图3)输入虚拟信号以避免电路变得复杂。此时,数据为无效数据,使得AD转换器ADC24可以丢弃该数据。例如,AD转换器ADC24在差分处理期间可连

接至接地 (GND) 等。注意,例如,虚拟信号具有预定信号值,但并不局限于此。

[0166] 接下来,将描述如何对第二行和第三行中的绿色像素执行差分处理。在完成第一行和第二行中的绿色像素的差分AD转换之后,不中断地执行第二行和第三行中的绿色像素的差分AD转换。

[0167] 第二行和第三行中的绿色像素的差分AD转换可以在第一行和第二行中的绿色像素的差分AD转换完成的状态下开始。即,如图7所示,第二行中从左起第一绿色像素被输入到ADC11,并且第二绿色像素被输入到ADC12、ADC21等。在这种状态下,执行自动归零(AZ)以在每个ADC中将像素值存储为参考值。

[0168] 接下来,图像控制单元8仅选择控制线3(垂直地址3)而不选择控制线1、2和4至8。因此,仅控制线3的行中的像素的数据各自电连接至相应的垂直信号线VSL。注意,在本实施方式中,从每个像素输出的信号可以被称为像素数据。

[0169] 随后,如图8所示,图像控制单元8将选择控制信号设置为SEL_L=1和SEL_R=0。因此,因为SEL_L是1(右),所以第一选择单元12的所有选择器SEL11至14选择由1(右)表示的VSL线并将所选择的垂直信号线的信号输出至第一AD转换单元14。另一方面,因为SEL_R是0(左),所以第二选择单元16的所有选择器SEL21至24选择由0(左)指示的VSL线并将所选择的垂直信号线的信号输出至第二AD转换单元18。

[0170] 在这种状态下,AD转换器ADC11至14和AD转换器ADC21至24执行AD转换。如上所述,读取第二行和第三行中的绿色图像的数据。如从上述处理可以理解的,AD转换器ADC11至14各自将第二行中的绿色像素与位于第二行中的绿色像素的右上对角线的第三行中的绿色像素之间的差值转换为数字信号。类似地,AD转换器ADC21至24各自将第二行中的绿色像素与位于第二行中的绿色像素的左上对角线的第三行中的绿色像素之间的差值转换为数字信号。针对像素阵列单元10的每一行依次重复这样的差分AD转换处理,使得可以计算在对角方向上彼此相邻的绿色像素之间的像素值的差,如双向箭头D10所示(参见图4)。

[0171] 图9是示出像素基本单元G10的电路配置示例的示意图。如图9所示,像素基本单元G10包括四个像素PX11、12、21和22。像素PX11包括光电二极管PD、传输晶体管SW1、复位晶体管SW2、放大晶体管AMP、选择晶体管SW3以及旋转扩散FD。在像素基本单元G10中,像素PX11是红色像素,像素PX12和21是绿色像素,并且像素PX22是蓝色像素。

[0172] 光电二极管(光电转换元件单元)PD通过光电转换生成对应于接收的光量的电流。光电二极管PD的阳极连接至接地(GND),并且其阴极连接至传输晶体管SW1的漏极。

[0173] 各种控制信号经由信号线Trg1、Rst1和Sel1从图像控制单元8输入至像素PX11。即,信号线Trg1、Rst1和Sel1的束对应于每个控制线(控制线1)(参见图5)。

[0174] 用于传输栅极信号的信号线TRG1连接至传输晶体管SW1的栅极。传输晶体管SW1的源极连接至在复位晶体管SW2的源极与放大晶体管AMP的栅极之间的连接点。该连接点构成用作累积信号电荷的电容器的浮动扩散FD。

[0175] 当高电平传输信号TRG1通过信号线Trg1输入至传输晶体管SW1的栅极时,传输晶体管SW1导通以将由光电二极管PD的光电转换累积的信号电荷(这里,光电子)传输至浮动扩散FD。注意,在本实施方式中,“导通”可被称为连接状态,并且“关断”可被称为非连接状态。

[0176] 复位晶体管SW2的栅极连接至用于传输复位信号的信号线Rst1,并且其漏极连接

至恒定电压源VSS。当高电平复位信号RST1通过信号线Rst1输入到复位晶体管SW2的栅极时,复位晶体管SW2导通以将浮动扩散FD复位到恒定电压源VSS的电压。另一方面,在低电平复位信号RST1没有通过信号线RST输入到栅极的情况下,复位晶体管SW2关断以在浮动扩散FD与恒定电压源VSS之间形成预定势垒。

[0177] 放大晶体管AMP的栅极连接至浮动扩散FD,其漏极连接至恒定电压源VSS,并且其源极连接至选择晶体管SW3的漏极。

[0178] 选择晶体管SW3的栅极连接至信号线Sel1,并且其源极连接至垂直信号线VSL1。当高电平控制信号SEL1 (地址信号 (垂直地址信号) 或选择信号) 通过信号线Sel1输入至栅极时,选择晶体管SW3导通,并且在低电平控制信号SEL1通过信号线Sel1输入至栅极的情况下,选择晶体管SW3关断。

[0179] 当选择晶体管SW3导通时,放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL1。通过垂直信号线VSL1从每个像素输出的电压被输出到AD转换器ADC11或21 (参见图5)。其他像素的配置也与像素PX11类似,因此下面将不对其他像素进行描述。

[0180] 图10是示出AD转换器ADC11的电路配置示例的示图。如图10所示,AD转换器ADC11包括多个AZ单元40和42、比较器44和计数器46。

[0181] DAC单元30是DA转换器,并且在其中包括计数器 (未示出)。DAC单元30在递减计数器值的同时输出与计数器值对应的电压值。

[0182] AZ单元40和42将在由包括在图像控制单元8中的自动归零电路机构表示的时段 (未示出) 中输入的信号的电压与AZ参考电压匹配,并且保持输入信号的电压与输出的电压之间的偏移。然后,即使在所指示的时段结束之后,电压偏移也可以被连续地保持。更具体地,AZ单元40保持所指示的时段中来自DAC单元30的输入电压与输出电压之间的偏移电压。AZ单元42保持所指示的时段中来自选择器SEL11的输入电压 (即,垂直信号线VLS1或2) 与输出电压之间的偏移电压。

[0183] 比较器44将已通过AZ单元40的DAC单元30的输出电压 (即,AZ单元40的输出电压) 与已通过AZ单元42的选择器SEL11的输出电压 (即,AZ单元42的输出电压) 进行比较。然后,当AZ单元40的输出电压变得低于AZ单元42的输出电压的电压时,比较器44反转输出值。

[0184] 计数器46从ADC周期的开始开始计数,并且在比较器的输出被反转时停止。已经停止的计数器的值变为数字数据并且变为AD转换的结果的值。其他AD转换器ADC12至14和21至24的配置也与AD转换器ADC11类似,因此下面将不对其他AD转换器进行描述。

[0185] 如上所述,AD转换器ADC11在电路配置上与普通图像传感器的电路类似。因此,也能够获取正常捕获图像。在正常成像的情况下,AZ单元42保持所指示的时段中来自选择器SEL11的输入电压 (即,垂直信号线VLS1) 与输出电压之间的偏移电压。然后,输出作为对来自VLS1的图像信号的输入电压执行偏移校正的结果而获得的电压。即,在正常成像的情况下,AD转换器ADC11以作为用作零参考点的偏移分量的第一输入电压对紧接着偏移分量输入的图像信号执行AD转换。

[0186] 另一方面,在生成差分图像的情况下,例如,在图6和图7所示的示例中,AZ单元42保持所指示的时段中作为来自选择器SEL11 (即,垂直信号线VLS2) 的输入电压的第一行中的绿色像素的图像信号与输出电压之间的偏移电压。然后,输出对作为相对于第一行中的

绿色像素的图像信号的来自垂直信号线VLS1的输入电压的第二行中的绿色像素的图像信号执行偏移校正的结果而获得的电压。即,在生成差分图像的情况下,AD转换器ADC11利用来自第一行中的绿色像素的输入电压作为零参考点对来自第二行中的绿色像素的输入电压执行AD转换。

[0187] 图11是具体示出通过AD转换器ADC11对第一行中的绿色像素(第一像素)的像素值和第二行中的绿色像素(第二像素)的像素值执行的差分处理示例的示图。垂直轴表示状态变化、AZ参考电压、VSL线已经通过AZ单元42的电压、DAC单元30已经通过AZ单元40的电压、以及计数器单元46的ADC计数器,并且水平轴表示时间。图12是与图11相似的示图。即,图12是示出通过AD转换器ADC11对第一行中的绿色像素(第一像素)和第二行中的绿色像素(第二像素)的像素值执行的差分处理示例的示图。图11示出了绿色像素PX21(第二像素)的输出电压低于绿色像素PX12(第一像素)的输出电压的情况,并且图12示出了绿色像素PX21(第二像素)的输出电压高于绿色像素PX12(第一像素)的输出电压的情况。即,图11示出了第二像素更暗的示例,并且图12示出了第二像素更亮的示例。

[0188] 在状态变化的“自动归零(AZ)状态”期间,使选择晶体管SW3在第一行中的绿色像素PX12(第一像素)的浮动扩散FD的输出与垂直信号线VSL1之间建立电连接,允许第一像素的输出电压(像素信号)输出至垂直信号线VSL1。因此,DAC单元30的输出电压和垂直信号线VSL1的电压电平通过AZ单元40和42中的每一个的自动归零机制与AZ参考电压匹配。因此,第一像素的输出电压被调整为用于AD转换的零参考。在这种情况下,AZ单元40和42继续保持它们相应的偏移值。

[0189] 接下来,在“FD复位、FD传输状态”期间,在第一行的绿色像素PX12(第一像素)的像素电路中,通过选择晶体管SW3使FD与VSL1之间的连接不连接(闭合),并且对第二行的绿色像素PX21(第二像素)执行FD复位和FD传输。AD转换器ADC11在不改变操作的情况下等待。

[0190] 接下来,在“AD转换状态”下,绿色像素PX21(第二像素)的输出值被输出至垂直信号线VSL2。根据该输出值,AZ单元42在保持偏移值的同时输出绿色像素PX21(第二像素)的输出电压。因此,在“AD转换状态”下,AZ单元42将第一像素的输出电压与第二像素的输出电压之间的差值输出至比较器44。另一方面,在“AD转换状态”下,AZ单元40利用保持的偏移值校正参考电压,其中,该参考电压以取决于计数器的方式从DAC单元30输出的预定初始值变化到预定最终值,并且将校正的参考电压输出至比较器44。因此,AZ单元40将参考电压调整到用于AD转换的零参考。

[0191] 然后,比较器44在AZ单元40的输出电压变得低于AZ单元42的输出电压的第二点处反转输出值。计数器单元46的ADC计数器对参考电压的输出开始的第一点以下的第二点进行计数,并将计数值转换为数字值。如图11所示,其表示在参考电压与AZ参考电压匹配之前,参考电压是负的。即,表示绿色像素PX21(第二像素)的输出电压低于绿色像素PX12(第一像素)的输出电压。

[0192] 另一方面,如图12所示,其表示在参考电压与AZ参考电压匹配之后,参考电压为正。即,表示绿色像素PX21(第二像素)的输出电压高于绿色像素PX12(第一像素)的输出电压。注意,在图11所示的差分AD转换中,垂直信号线VSL的信号(已经通过AZ)在“自动归零(AZ)状态”的周期期间变化两次,但这表示从未选择像素的状态中选择像素的FD的状态。另一方面,在第二和后续差分AD转换(参见图12)中,由于操作是以选择的第二像素的FD开始

的,所以变化发生一次。第二和后续差分处理因此消除了“自动归零(AZ)状态”的周期中提供模拟稳定周期的需要,使得可以缩短“自动归零(AZ)状态”的周期。因此,在第二和后续处理中,可以在更短的时间内执行差分AD转换。

[0193] 这里,将参考图13至图15详细描述由图像传感器2执行的差分处理示例。图13是示出从时间t10至时间t21的差分处理示例的时序图,图14是包括从时间t22至时间t24的差分处理示例的时序图,并且图15是包括对最后一行执行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST8、TRG8、SEL8至RST1、TRG1、SEL1、AD转换器状态State、选择信号SEL_L和SEL_R,并且水平轴表示时间。在以下描述中,对于选择信号SEL_L和SEL_R,“0”(左)被称为低电平,“1”(右)被称为高电平。

[0194] (第一行的FD复位)

[0195] 如图13所示,首先,在时间t10,信号RST1和SEL_L变为高电平。因此,当高电平复位信号RST1通过信号线Rst1输入到复位晶体管SW2的栅极时,第一行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0196] (第一行的FD传输)

[0197] 接下来,在时间t11,信号RST1变为低电平以使复位晶体管SW2不连接。然后,信号TRG1变为高电平。因此,通过第一行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0198] (第一行中通过FD自动归零)

[0199] 接下来,在时间t12,信号SEL1变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,由于SEL_L处于高电平而SEL_R处于低电平,因此选择第一行中的绿色像素。然后,放大的电位被输出到AD转换器ADC11至14中的对应一个和AD转换器ADC21至24中的对应一个(参见图6)。

[0200] 随后,在时间t12与时间t13之间,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第一行中的绿色像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0201] (第二行的FD复位)

[0202] 在时间t14,信号RST2和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第二行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0203] (第二行的FD传输)

[0204] 接下来,在时间t14,信号RST2变为低电平以使设置晶体管SW2不连接。然后,信号TRG4变为高电平。因此,通过第二行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0205] (第一行和第二行的AD转换)

[0206] 接下来,在定时t15,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,由于SEL_L处于低电平且SEL_R处于高电平,因此选择第二行中的绿色像素。然后,放大的电位被输出到AD转换器ADC11至14中的对应一个和AD转换器ADC21至24

中的对应一个(参见图7)。

[0207] 随后,在时间t15与时间t16之间,AD转换器ADC11至14和21至24执行AD转换(参见图11和图12)。如上所述,AD转换器ADC11至14和21至24各自执行AD转换并且输出第一行中的绿色像素与第二行中的绿色像素之间的差作为数据。

[0208] (第二行的通过FD自动归零)

[0209] 接下来,在时间t16与时间t17之间,保持信号SEL2处于高电平、SEL_L处于低电平且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第二行中的绿色像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0210] 随后,在时间t16与时间t17之间,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第一行中的绿色像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0211] (第三行的FD复位)

[0212] 在时间t17,信号RST3和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第三行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0213] (第三行的FD传输)

[0214] 接下来,在定时t18,信号RST3变为低电平以使复位晶体管SW2不连接。然后,信号TRG3变为高电平。因此,通过第三行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0215] (第二行和第三行的AD转换)

[0216] 接下来,在时间t19,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,由于SEL_L处于低电平且SEL_R处于高电平,因此选择第三行中的绿色像素。然后,放大的电位被输出到AD转换器ADC11至14中的对应一个和AD转换器ADC21至24中的对应一个(参见图8)。

[0217] 随后,在时间t19与时间t20之间,AD转换器ADC11至14和21至24执行AD转换(参见图11和图12)。如上所述,AD转换器ADC11至14和21至24各自执行AD转换并且输出第二行中的绿色像素与第三行中的绿色像素之间的差作为数据。

[0218] (第三行的通过FD自动归零)

[0219] 接下来,在时间t20与时间t21之间,保持信号SEL3处于高电平、SEL_L处于低电平且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第三行中的绿色像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0220] (第四行的FD复位)

[0221] 如图14所示,在时间t21,信号RST4和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第三行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0222] (第四行的FD传输)

[0223] 接下来,在时间t22,信号RST3变为低电平以使复位晶体管SW2不连接。然后,信号TRG4变为高电平。因此,通过第四行中的每个绿色像素的光电二极管PD的光电转换累积的

信号电荷(这里,光电子)被传输至浮动扩散FD。

[0224] (第三行和第四行的AD转换)

[0225] 接下来,在时间t23,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,由于SEL_L处于低电平且SEL_R处于高电平,因此选择第四行中的绿色像素。然后,放大的电位被输出到AD转换器ADC11至14中的对应一个和AD转换器ADC21至24中的对应一个。

[0226] 随后,在时间t23与时间t24之间,AD转换器ADC11至14和21至24执行AD转换(参见图11和图12)。如上所述,AD转换器ADC11至14和21至24各自执行AD转换并且输出第三行中的绿色像素与第四行中的绿色像素之间的差作为数据。如上所述,可以在不中断的情况下执行每次的差分AD转换。因此,可以有助于缩短控制之后的稳定等待时间(稳定时间)。

[0227] 此外,由于过程与正常成像的AD转换的过程相同或比其复杂,因此能够高速且低功耗地实现轮廓提取。由于不需要通过作为现有技术中的方法的数字处理来提取轮廓所需的功率,因此能够以低功耗来生成识别图像。此外,由于该信息用于识别,因此可以期望通过使量化步骤比用于观看的图像的量化步骤粗糙来进一步减少AD转换时间。

[0228] 如图15所示,第七行的通过FD自动归零在时间t30结束。

[0229] (第八行的FD复位)

[0230] 在时间t30,信号RST8和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST8通过信号线Rst8被输入到复位晶体管SW2的栅极时,第八行中的像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0231] (第八行的FD传输)

[0232] 接下来,在时间t31,信号RST8变为低电平以使复位晶体管SW2不连接。然后,信号TRG8变为高电平。因此,通过第八行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0233] (第七行和第八行的AD转换)

[0234] 接下来,在时间t32,信号SEL8变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,由于SEL_L处于低电平且SEL_R处于高电平,因此选择第八行中的绿色像素。然后,放大的电位被输出到AD转换器ADC11至14中的对应一个和AD转换器ADC21至24中的对应一个。

[0235] 随后,在时间t32与时间t33之间,AD转换器ADC11至14和21至24执行AD转换(参见图11和图12)。如上所述,AD转换器ADC11至14和21至24各自执行AD转换并且输出第七行中的绿色像素与第八行中的绿色像素之间的差作为数据。然后,信号SEL8被设置为低电平以使AD转换结束。

[0236] 如上所述,根据本实施方式,图像传感器2包括AD转换单元14和第二AD转换单元18,AD转换单元14包括AD转换器ADC11和AD转换器ADC12,第二AD转换单元18包括AD转换器ADC21,其中,AD转换器ADC11经由选择器SEL11连接至垂直信号线VSL1和垂直信号线VSL2,AD转换器ADC12经由选择器SEL12连接至垂直信号线VSL3和垂直信号线VSL4,AD转换器ADC21经由选择器SEL21连接至第二垂直信号线VSL2和1垂直信号线VSL3,选择器SEL11和选

择器SEL12连接至第一选择驱动线Sel_L,以及选择器SEL21连接至第二选择驱动线Sel_R。利用该布置,当选择器SEL11、12和21分别选择垂直信号线VSL1、VSL3和VSL3并且然后分别选择垂直信号线VSL2、VSL2和VSL4时,AD转换器ADC11和AD转换器ADC11可计算第一行中的绿色像素与位于第一行中的绿色像素的左上对角线的第二行中的绿色像素之间的差,并且AD转换器ADC21可计算第一行中的绿色像素与位于第一行中的绿色像素的右上对角线的第二行中的绿色像素之间的差。另一方面,在选择器SEL11、12和21分别选择垂直信号线VSL1、VSL2和VSL3的情况下,可以捕获正常图像。利用这种配置,数量与垂直信号线VSL的数量相同的AD转换器可以捕获差分图像和正常图像。此外,将AD转换单元14和第二AD转换单元18布置为邻近于像素阵列单元10的同一端侧,与AD转换单元布置在两端的情况相比,可以简化布线。

[0237] (第二实施方式)

[0238] 根据第二实施方式的电子设备与根据第一实施方式的电子设备的不同之处在于可以计算红色像素之间的差值和蓝色像素之间的差值。在下文中,将描述与根据第一实施方式的电子设备的不同之处。

[0239] 图16是示出对根据第二实施方式的像素阵列单元10执行的差分处理示例的示图。如图14所示,在根据本实施方式的差分处理中,可以在拜耳阵列的基本像素组G10之间执行差分处理。例如,对在第一行和第二行中包括 2×2 个像素的基本像素组G10与位于第一行和第二行中的基本像素组G10的左上对角线的第三行和第四行中的基本像素组G10之间的相同颜色的像素执行差分处理。

[0240] 图17是示出根据第二实施方式的包括像素阵列单元10、第一选择单元12a、第一AD转换单元14a、第二选择单元16a和第二AD转换单元18a的电路的示例的示图。注意,为了简单起见,在假设像素的数量为 8×8 或 10×8 的基础上进行描述,但是该数量不限于 8×8 或 10×8 。

[0241] 如图17所示,在根据第二实施方式的像素阵列单元10中,为每列像素布线两条垂直信号线VSL。因此,读取速度是为每列像素设置一条垂直信号线VSL的情况下的两倍。

[0242] 第一选择单元12a包括选择单元SEL11至18。第一选择单元12a在像素阵列单元10的多个垂直信号(VSL)中选择 $((n-1) \times 8+m)$ 、 $((n-1) \times 8+m+4)$ (n 是1至 $M/4$,并且 m 是1至4)的两条信号线对中的一个,并且将所选择的信号线的信号输出至第一AD转换单元14a。这里,像素阵列单元10的多个垂直信号(VSL)的数量例如是1至 M (例如, M 是8的倍数)。

[0243] 在生成差分图像的情况下,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12a选择第 $((n-1) \times 8+m)$ 条垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 8+m+4)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第一选择单元12a交替地选择彼此间隔三条垂直信号线的垂直信号(VSL)的信号中的一个。

[0244] 第一AD转换单元14a包括AD转换器ADC11至18。AD转换器ADC11至18各自连接至选择单元SEL11至18中的对应一个。

[0245] 第二选择单元16a包括选择单元SEL21至28。第一选择单元12a在像素阵列单元10的多个垂直信号(VSL)中选择一对两条信号线 $((n-1) \times 8+m+4)$ 、 $(n \times 8+m)$ (n 是1至 $M/4$,并且 m 是1至4)中的一个,并且将所选择的信号线的信号输出至第二AD转换单元18a。这里,像

素阵列单元10的多个垂直信号(VSL)的数量例如是1至M(例如,M是8的倍数)。

[0246] 在生成差分图像的情况下,在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16a选择第 $((n-1) \times 8 + m + 4)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $(n \times 8 + m)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第一选择单元16a交替地选择彼此间隔三条垂直信号线的垂直信号(VSL)的信号中的一个。

[0247] 第二AD转换单元18a包括AD转换器ADC21至28。AD转换器ADC21至28各自连接至选择单元SEL21至28中的对应的一个。

[0248] 如上所述,第一AD转换单元14a的AD转换器ADC11至18和第二AD转换单元18a的AD转换器ADC21至28也用作每条垂直信号线VSL设置的AD转换器ADC,使得AD转换器ADC的数量是根据第一实施方式的AD转换器ADC的数量的两倍。

[0249] 此外,为了获得每个拜耳阵列的差分,第一选择单元12a和第二选择单元16a具有彼此间隔一个基本像素组G10的垂直信号线VSL(即,彼此间隔三条垂直信号线的垂直信号线VSL)连接至像素的结构。如上所述,以类似于第一实施方式的电子设备100的方式,电路结构被划分为两组:第一选择单元12a和第一AD转换单元14a以及第二选择单元16a和第二AD转换单元18a。

[0250] 首先,在执行差分AD转换的操作中,图像控制单元8选择控制线1和2(控制线1、2)并且不选择控制线3至10(控制线3至10)。因此,第一行和第二行中的像素连接至垂直信号线VSL。

[0251] 接下来,图像控制单元8设置SEL_L=0和SEL_R=1。因此,连接至VSL1、VSL2、VSL3和VSL4的像素的数据被顺序输入到AD转换器ADC11、12、13和14。类似地,连接至VSL9、VSL10、VSL11和VSL12的像素的数据被顺序输入到AD转换器ADC21、22、23和24。此外,数据还被顺序输入到AD转换器ADC15、16、17和18。这里,AD转换器ADC11至18和21至24各自经受自动归零(AZ),使得从对应像素输出的信号电压的电平被设置为每个ADC的参考值,即,值0。

[0252] 接下来,图像控制单元8选择控制线3和4而不选择控制线1、2和5至10。因此,仅控制线3和4的行中的像素的数据连接至相应的垂直信号线(VSL)。

[0253] 接下来,当SEL_L=1和SEL_R=0时,图像控制单元8将连接至VSL5、VSL6、VSL7和VSL8的像素的数据顺序输入至AD转换器ADC11、12、13和14。此外,连接至VSL5、VSL6、VSL7和VSL8的像素的数据被顺序输入到AD转换器ADC21、22、23和24,并且连接至VSL13、VSL14、VSL15和VSL16的像素的数据被顺序输入到ADC15、ADC16、ADC17和ADC18。

[0254] 接下来,在该状态下,AD转换器ADC11至18和21至24执行AD转换,使得ADC11、ADC12、ADC13和ADC14可以获取 2×2 像素单元的相同颜色的像素与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元的差,ADC21、ADC22、ADC23和ADC24可以获取 2×2 像素单元的相同颜色的像素与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元的差,并且ADC15、ADC16、ADC17和ADC18可以获取 2×2 像素单元的相同颜色的像素与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元的差。将这一系列操作应用于所有像素和ADC,并且当重复这一系列操作时,可以获得基于整个帧的 2×2 像素单元的相同色差图像。注意,由于ADC25、ADC26、ADC27和ADC28位于右端,因此ADC25、ADC26、ADC27和ADC28不能获得与右VSL的差,并因此可以执行诸如丢弃AD转换的数据的处理。

[0255] 图18是示出根据第二实施方式的像素基本单元G10的电路配置示例的示图。如图18所示,像素PX11包括光电二极管PD、传输晶体管SW1、复位晶体管SW2、放大晶体管AMP、选择晶体管SW3和旋转扩散FD。根据第二实施方式的像素基本单元G10与根据第一实施方式的像素基本单元G10的不同之处在于垂直布置在相同列中的像素连接至不同的垂直信号线VSL。即,像素PX11的选择晶体管SW3和像素PX21的选择晶体管SW3的源极分别连接至不同的垂直信号线VSL1和VSL2。类似地,像素PX12的选择晶体管SW3和像素PX22的选择晶体管SW3的源极分别连接至不同的垂直信号线VSL3和VSL4。因为垂直信号VSL的数量是根据第一实施方式的像素基本单元G10的垂直信号VSL的数量的两倍,所以可以对彼此不冲突的两行同时执行AD转换。后续操作等与根据第一实施方式的像素基本单元G10相似,因此下面将不对后续操作等进行描述。

[0256] 这里,将参考图19至图21详细描述由根据第二实施方式的图像传感器2执行的差分处理示例。图19是示出从时间t40到时间t51的差分处理示例处理的时序图,图20是包括从时间t51到时间t44的差分处理示例的时序图,并且图21是包括对最后一行执行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST10、TRG10、SEL10至RST1、TRG1、SEL1、AD转换器状态State、信号SEL_L和SEL_R,并且水平轴表示时间。差分处理示例与通过根据第一实施方式的图像传感器2执行的差分处理示例的不同之处在于,对两行同时执行控制,并且输出 2×2 像素单元的相同颜色的像素之间的差。

[0257] 如图19所示,首先,在时间t40,信号RST1和2以及SEL_R变为高电平。因此,当通过信号线Rst1将高电平复位信号RST1输入到复位晶体管SW2的栅极时,第一行和第二行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位到恒定电压源VSS的电压。

[0258] 接下来,在时间t41,信号RST1、2变为低电平以使设置晶体管SW2不连接。然后,信号TRG1和2变为高电平。因此,通过第一行和第二行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0259] 接下来,在时间t42,信号SEL1和2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11至14电连接至垂直信号线VSL1至4,并且AD转换器ADC15至ADC18电连接至垂直信号线VSL9至12,并且因此每个像素的数据被输入至相应的AD转换器。

[0260] 此外,因为SEL_R是1(高),所以AD转换器ADC21至24电连接至垂直信号线VSL9至12,并且AD转换器ADC25至ADC28电连接至虚拟,并且因此将每个像素的数据输入到对应的AD转换器。由于AD转换器ADC25至ADC28位于右端并且没有右侧垂直信号线VSL,因此在第二示例中不使用AD转换器ADC25至ADC28。注意,代替虚拟信号的使用,可以采用没有选择单元SEL25至SEL28的实现方式。

[0261] 随后,在时间t42与时间t44之间,AD转换器ADC11至18和25至28的AZ单元40和42执行自动归零(AZ)以设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0262] 在时间t43,信号RST3和4以及SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST2通过信号线Rst3和4被输入到复位晶体管SW2的栅极时,第三行和第四行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位到恒定电压源VSS的电压。

[0263] 接下来,在时间t44,信号RST3和4变为低电平以使设置晶体管SW2不连接。然后,信

号TRG3和4变为高电平。因此,通过第三行和第四行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0264] 接下来,在时间t45,信号SEL3和4进入高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。因此,AD转换器ADC11至14电连接至VSL5至VSL8,AD转换器ADC15至ADC18电连接至VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。此外,AD转换器ADC21至24电连接至VSL5至VSL8,AD转换器ADC25至ADC28电连接至VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。此时,每个AD转换器ADC执行AD转换,以输出第一行和第二行以及第三行和第四行中的相同颜色的像素之间的差作为数据。

[0265] 接下来,在时间t46与时间t47之间,保持信号SEL3和4处于高电平、SEL_L处于低电平以及SEL_R处于高电平的状态。因此,AD转换器ADC11至14电连接至VSL5至VSL8,AD转换器ADC15至ADC18电连接至VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。此外,AD转换器ADC21至24电连接至VSL5至VSL8,AD转换器ADC25至ADC28电连接至VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。然后,AD转换器ADC11至18和21至28的AZ单元40和42执行自动归零(AZ)以设置为新的参考值(零值)。此后,AZ电路存储该偏移量。

[0266] 在时间t47,信号RST5和6以及SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第五行和第六行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0267] 接下来,在时间t48,信号RST5和6变为低电平以使复位晶体管SW2不连接。然后,信号TRG5和6变为高电平。因此,通过第五行和第六行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0268] 接下来,在时间t49,信号SEL5和6变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11至ADC14电连接至垂直信号线VSL1至4,AD转换器ADC15至ADC18电连接至垂直信号线VSL9至12,并且因此每个像素的数据被输入至相应的AD转换器。此外,AD转换ADC21至24连接至VSL9至12,AD转换ADC25至28连接至虚拟,并且每个像素的数据因此被输入到对应的ADC。此时,执行AD转换以输出第三行和第四行以及第五行和第六行中的 2×2 像素单元的相同颜色的像素之间的差作为数据。

[0269] 接下来,在时间t50与时间t51之间,保持信号SEL5和6处于高电平、SEL_L处于低电平以及SEL_R处于高电平的状态。因此,AD转换器ADC11至18和21至28的AZ单元40和42执行自动归零(AZ)以设置为新的参考值(零值)。

[0270] 如图20所示,在时间t51,信号RST7和8以及SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第七行和第八行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0271] 接下来,在时间t52,信号RST7和8变为低电平以使复位晶体管SW2不连接。然后,信

号TRG7和8变为高电平。因此,通过第七行和第八行中的每个绿色像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0272] 接下来,在时间t53,信号SEL7和8变为高电平。因此,第七行和第八行中的每个FD的电位被AMP放大,并输出到垂直信号线VSL。此时,SEL_L被设置为高电平,并且SEL_R被设置为低电平。因此,AD转换器ADC11至14电连接至垂直信号线VSL5至VSL8,AD转换器ADC15至ADC18电连接至垂直信号线VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。此外,AD转换器ADC21至24电连接至垂直信号线VSL5至8,AD转换器ADC25至ADC28电连接至垂直信号线VSL13至VSL16,并且每个像素的数据因此被输入至相应的AD转换器。然后,此时,每个AD转换器执行AD转换以输出第五行和第六行以及第七行和第八行中的 2×2 像素单元的相同颜色的像素之间的差。选择信号SEL_L和SEL_R被控制为每次反转。此外,在像素阵列单元10的垂直方向上的像素数增加的情况下,重复这种差分AD转换控制。

[0273] 如图21所示,在时间t54与时间t55之间,保持信号SEL7和8处于高电平、SEL_L处于低电平以及SEL_R处于高电平的状态。因此,AD转换器ADC11至18和21至28的AZ单元40和42执行自动归零(AZ)以设置为新的参考值(零值)。

[0274] 接下来,在时间t56,信号RST9和10以及SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第九行和第十行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0275] 接下来,在时间t56,信号RST9和10变为低电平以使复位晶体管SW2不连接。然后,信号TRG9和10变为高电平。因此,通过第九行和第十行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0276] 接下来,在时间t57,信号SEL9和10变为高电平。因此,第九行和第十行中的每个FD的电位根据信号SEL9和10被AMP放大,并且被输出到垂直信号线VSL。此时,SEL_L和SEL_R被反转,并且以与以上类似的方式获取差分数据。由于是最后一行,因此没有下一差分AD转换,因此SE信号SEL9和10被设置为低电平以使AD转换结束。

[0277] 如上所述,根据本实施方式,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12a选择第 $((n-1) \times 8 + m)$ 垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 8 + m + 4)$ 垂直信号线VSL。在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16a和第二选择单元16a选择第 $((n-1) \times 8 + m)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $((n-1) \times 8 + m + 4)$ 垂直信号线VSL。因此,通过以顺序方式将像素阵列单元10的两行中的像素电连接至对应的垂直信号线VSL并执行控制以使SEL_L和SEL_R的值交替地彼此不同,可以计算基本单元G10中的每个像素与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的对应像素之间的差。

[0278] (第三实施方式)

[0279] 根据第三实施方式的电子设备与根据第一实施方式的电子设备的不同之处在于,可以通过顺序读取奇数行或偶数行来计算红色像素之间的差和蓝色像素之间的差。在下文中,将描述与根据第一实施方式的电子设备的不同之处。

[0280] 图22是示出对根据第三实施方式的像素阵列单元10的奇数行执行的差分处理示

例的示图。如图22所示,在根据本实施方式的差分处理中,可以在拜耳阵列的基本像素组G10之间执行差分处理。例如,对在第一行和第二行中包括 2×2 个像素的基本像素组G10与位于第一行和第二行中的基本像素组G10的左上对角线的第三行和第四行中的基本像素组G10之间的相同颜色的像素执行差分处理。在这种情况下,可以执行奇数行中的红色像素与绿色像素之间的差分处理。

[0281] 图23是示出对根据第三实施方式的像素阵列单元10的偶数行执行的差分处理示例的示图。如图23所示,在根据本实施方式的差分处理中,可以在拜耳阵列的基本像素组G10之间执行差分处理。例如,对在第一行和第二行中包括 2×2 像素的基本像素组G10与位于第一行和第二行中的基本像素组G10的左上对角线的第三行和第四行中的基本像素组G10之间的相同颜色的像素执行差分处理。在这种情况下,可以执行偶数行中的绿色像素和蓝色像素之间的差分处理。

[0282] 图24是示出根据第三实施方式的包括像素阵列单元10、第一选择单元12b、第一AD转换单元14b、第二选择单元16b和第二AD转换单元18b的电路的示例的示图。注意,为了简单起见,在假设像素的数量为 8×8 或 10×8 的基础上进行描述,但是该数量不限于 8×8 或 10×8 。

[0283] 如图24所示,第一选择单元12b包括选择单元SEL11至14。第一选择单元12b在像素阵列单元10的多个垂直信号(VSL)中选择一对两条信号线(第 $((n-1) \times 4 + m)$ 信号线和第 $((n-1) \times 4 + m + 2)$ 信号线(n 是1至 $M/4$,并且 m 是1至2))中的一个,并且将所选择的信号线的信号输出至第一AD转换单元14b。这里,像素阵列单元10的多个垂直信号(VSL)的数量例如是1至 M (例如, M 是4的倍数)。

[0284] 在生成差分图像的情况下,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12b选择第 $((n-1) \times 4 + m)$ 垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 4 + m + 2)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第一选择单元12b交替地选择彼此间隔一条垂直信号线的垂直信号(VSL)的信号中的一个。

[0285] 第一AD转换单元14b包括AD转换器ADC11至14。AD转换器ADC11至14各自连接至选择单元SEL11至14中的对应一个。

[0286] 第二选择单元16b包括选择单元SEL21至24。第一选择单元12b在像素阵列单元10的多个垂直信号(VSL)中选择一对两条信号线(第 $((n-1) \times 4 + m + 2)$ 信号线和第 $(n \times 4 + m)$ 信号线(n 是1至 $M/4$,并且 m 是1至2))中的一个,并且将所选择的信号线的信号输出至第二AD转换单元18b。

[0287] 在生成差分图像的情况下,在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16b选择第 $((n-1) \times 4 + m + 2)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $((n-1) \times 4 + m + 4)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第二选择单元16b交替地选择彼此间隔一条垂直信号线的垂直信号(VSL)的信号中的一个。

[0288] 第二AD转换单元18b包括AD转换器ADC21至24。AD转换器ADC21至24各自连接至选择单元SEL21至24中的对应一个。如上所述,以与第一实施方式的电子设备100类似的方式,电路结构被划分为两组:第一选择单元12b和第一AD转换单元14b,以及第二选择单元16b和

第二AD转换单元18b。

[0289] 首先,在对奇数行执行差分AD转换的操作中,图像控制单元8选择控制线1(控制线1)而不选择控制线2至10(控制线2至10)。因此,第一行中的像素连接至垂直信号线VSL。

[0290] 接下来,图像控制单元8设置SEL_L=0和SEL_R=1。因此,电连接至VSL1和VSL2的像素的数据被顺序输入到AD转换器ADC11和12。类似地,电连接至VSL5和VSL6的像素的数据被顺序输入到AD转换器ADC21和22。此外,数据还被顺序输入到AD转换器ADC13和14。这里,AD转换器ADC11至18和21至24各自经受自动归零(AZ),使得从对应像素输出的信号电压的电平被设置为每个ADC的参考值,即,值0。

[0291] 接下来,图像控制单元8选择控制线3而不选择控制线1、2和4至10。因此,仅将控制线3的行中的像素的数据连接至相应的垂直信号线(VSL)。

[0292] 接下来,当SEL_L=1和SEL_R=0时,图像控制单元8将电连接至VSL3和VSL4的像素的数据顺序输入至AD转换器ADC11和12。此外,电连接至VSL3和VSL4的像素的数据被顺序输入到AD转换器ADC21和22,并且电连接至VSL7和VSL8的像素的数据被顺序输入到ADC13和ADC14。

[0293] 接下来,在该状态下,AD转换器ADC11至14和21至24执行AD转换,使得ADC11和ADC12可以获取 2×2 像素单元的相同颜色的像素与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元的像素之间的差,并且ADC13和ADC14可以获取 2×2 像素单元的相同颜色的像素与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元的像素之间的差。随后,通过重复奇数行(诸如第三行和第五行)之间的差的获取来获取帧中的差分数据,其中,读取三行数据。因此,可以生成与红色像素相同行中的红色像素之间和绿色像素之间的差分数据。

[0294] 随后,对于偶数行(诸如2-4、4-6、6-8...等)重复与奇数行的过程相似的过程,获得与蓝色像素相同行中的蓝色像素之间以及绿色像素之间的差分数据,并且可以一起生成整个帧的彩色像素差分数据。

[0295] 这里,将参考图25和图26详细描述由根据第三实施方式的图像传感器2对奇数行执行的差分处理示例。图25是示出从时间t10到时间t21的差分处理示例的时序图,图26是包括从时间t21到时间t24的差分处理示例的时序图,并且图27是包括对最后奇数行执行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST10、TRG10、SEL10至RST1、TRG1、SEL1、AD转换器状态State、信号SEL_L和SEL_R,并且水平轴表示时间。差分处理示例与通过根据第一实施方式的图像传感器2执行的差分处理示例的不同之处在于,为每个奇数行执行差分处理。此外,在对奇数行执行差分处理示例的情况下,偶数行中的控制线的所有信号保持在低电平。

[0296] 如图25所示,首先,在时间t10,信号RST1和SEL_L变为高电平。因此,当高电平复位信号RST1通过信号线Rst1输入到复位晶体管SW2的栅极时,第一行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0297] 接下来,在时间t11,信号RST1变为低电平以使设置晶体管SW2不连接。然后,信号TRG1变为高电平。因此,通过第一行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0298] 接下来,在时间t12,信号SEL1变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动

扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0299] 因此,AD转换器ADC11和12电连接至垂直信号线VSL1和2,AD转换器ADC13和14电连接至垂直信号线VSL5和6,并且每个像素的数据因此被输入至相应的AD转换器。此外,因为SEL_R是1(高),所以AD转换器ADC21和22电连接至垂直信号线VSL5和6,AD转换器ADC23和24连接至虚拟,并且每个像素的数据因此被输入到对应的AD转换器。

[0300] 在该状态下,在时间t12与时间t13之间的周期中,每个AD转换器执行自动归零(AZ)以将第一行中的像素的数据设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0301] 在时间t13,信号RST3和SEL_R变为低电平,并且SEL_L变为高电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第三行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位到恒定电压源VSS的电压。

[0302] 接下来,在时间t14,信号RST3变为低电平以使设置晶体管SW2不连接。然后,信号TRG3变为高电平。因此,通过第三行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0303] 接下来,在时间t15,信号SEL3变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0304] 因此,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入至对应的AD转换器。

[0305] 随后,在时间t15与时间t16之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24执行AD转换,以每隔一行执行第一行和第三行中的红色像素之间和绿色像素之间的差分处理。

[0306] 接下来,在时间t16与时间t17之间,保持信号SEL3处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第三行中的像素的数据设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0307] 在时间t17,信号RST5和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第五行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0308] 接下来,在时间t18,信号RST3变为低电平以使设置晶体管SW2不连接。然后,信号TRG5变为高电平。因此,通过第五行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0309] 接下来,如图26所示,信号SEL5在时间t19变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。

[0310] 因此,AD转换器ADC11和12电连接至垂直信号线VSL1和2,AD转换器ADC13和14电连接至垂直信号线VSL5和6,并且每个像素的数据因此被输入至相应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL5和6,AD转换器ADC23和24电连接至虚拟,并且每个像素的数据或虚拟信号因此被输入至相应的AD转换器。

[0311] 接下来,在时间t19与时间t20之间,每个AD转换器执行AD转换。如上所述,在本实施方式中,可以提取相对于彼此位于对角线方向的 2×2 像素单元G10的相同颜色的像素之间的差。因为在识别领域中强调了形状,所以差分信息是重要的。在本实施方式中,形状还可以基于颜色来确定。因此,本实施方式可应用于基于颜色的识别。例如,在投影彩色纹理图案的三维测距技术中,可以高速并且以低功耗输出彩色图案的变化点。此外,可以有助于提高系统的识别速度和降低功耗。

[0312] 接下来,在时间t20与时间t21之间,保持信号SEL5处于高电平、SEL_L处于低电平并且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第五行中的像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0313] 在时间t21,信号RST7和SEL_L变为高电平,并且SEL_R变为低电平。因此,当通过信号线Rst7将高电平复位信号RST7输入到复位晶体管SW2的栅极时,第七行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位到恒定电压源VSS的电压。

[0314] 接下来,在时间t22,信号RST7变为低电平以使复位晶体管SW2不连接。然后,信号TRG7变为高电平。因此,通过第七行中的七个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0315] 接下来,在时间t23,信号SEL7变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0316] AD转换器ADC11和12电连接至垂直信号线VSL1和2,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。

[0317] 接下来,在时间t23与时间t24之间,每个AD转换器执行AD转换,以生成第五行和第七行中的 2×2 像素单元G10的相同颜色的像素之间的差分数据。在本实施方式中,SEL_L和SEL_R的电平被控制为每次反转。在像素阵列单元10的垂直方向上的像素数增加的情况下,重复第二差分AD转换控制和第三差分AD转换控制。

[0318] 接下来,在时间t24与时间t25之间,保持信号SEL7处于高电平、SEL_L处于高电平并且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第七行中的像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0319] 在时间t25,信号RST9和SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST9通过信号线Rst9输入至复位晶体管SW2的栅极时,第九行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0320] 接下来,在时间t27,信号RST9变为低电平以使复位晶体管SW2不连接。然后,信号TRG9变为高电平。因此,通过第九行中的九个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0321] 接下来,在时间t27,信号SEL9变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0322] 因此,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。

[0323] 接下来,在时间t27与时间t28之间,每个AD转换器执行AD转换,以生成第七行和第九行中的 2×2 像素单元G10的相同颜色的像素之间的差分数据。

[0324] 这里,将参考图28和图30详细描述通过根据第三实施方式的图像传感器2对偶数行执行的差分处理示例。图28是示出从时间t10到时间t21的差分处理示例的时序图,图29是包括从时间t21到时间t24的差分处理示例的时序图,并且图30是包括对最后偶数行执行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST10、TRG10、SEL10至RST1、TRG1、SEL1、AD转换器状态State、信号SEL_L和SEL_R,并且水平轴表示时间。差分处理示例与图25至图27所示的差分处理示例的不同之处在于,对每个偶数行执行差分处理。此外,在对偶数行执行差分处理示例的情况下,奇数行中的控制线的所有信号保持在低电平。

[0325] 如图28所示,首先,在时间t10,信号RST2和SEL_L变为高电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第二行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0326] 接下来,在时间t11,信号RST2变为低电平以使设置晶体管SW2不连接。然后,信号TRG1变为高电平。因此,通过第二行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0327] 接下来,在时间t12,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0328] 因此,AD转换器ADC11和12电连接至垂直信号线VSL1和2,AD转换器ADC13和14电连接至垂直信号线VSL5和6,并且每个像素的数据因此被输入至相应的AD转换器。此外,因为SEL_R是1(高),所以AD转换器ADC21和22电连接至垂直信号线VSL5和6,AD转换器ADC23和24连接至虚拟,并且每个像素的数据因此被输入到对应的AD转换器。

[0329] 在该状态下,在时间t12与时间t13之间的周期中,每个AD转换器执行自动归零(AZ)以将第二行中的像素的数据设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0330] 在时间t13,信号RST4和SEL_R变为低电平,并且SEL_L变为高电平。因此,当高电平复位信号RST4通过信号线Rst4被输入到复位晶体管SW2的栅极时,第四行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0331] 接下来,在时间t14,信号RST4变为低电平以使设置晶体管SW2不连接。然后,信号TRG4变为高电平。因此,通过第四行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0332] 接下来,在时间t15,信号SEL4变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0333] 因此,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此

外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入至对应的AD转换器。

[0334] 随后,在时间t15与时间t16之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24执行AD转换,以每隔一行执行第二行和第四行中的绿色像素之间和蓝色像素之间的差分处理。

[0335] 接下来,在时间t16与时间t17之间,保持信号SEL4处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第三行中的像素的数据设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0336] 在时间t17,信号RST6和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST6通过信号线Rst6被输入到复位晶体管SW2的栅极时,第六行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0337] 接下来,在时间t18,信号RST6变为低电平以使设置晶体管SW2不连接。然后,信号TRG6变为高电平。因此,通过第六行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0338] 接下来,如图29所示,信号SEL6在时间t19变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。

[0339] 因此,AD转换器ADC11和12电连接至垂直信号线VSL1和2,AD转换器ADC13和14电连接至垂直信号线VSL5和6,并且每个像素的数据因此被输入至相应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL5和6,AD转换器ADC23和24电连接至虚拟,并且每个像素的数据或虚拟信号因此被输入至相应的AD转换器。

[0340] 接下来,在时间t19与时间t20之间,每个AD转换器执行AD转换。如上所述,在本实施方式中,可以提取相对于彼此位于对角线上的 2×2 像素单元G10的相同颜色的像素之间的差。

[0341] 接下来,在时间t20与时间t21之间,保持信号SEL6处于高电平、SEL_L处于低电平且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第五行中的像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0342] 在时间t21,信号RST8和SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST8通过信号线Rst7被输入到复位晶体管SW2的栅极时,第八行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0343] 接下来,在时间t22,信号RST8变为低电平以使复位晶体管SW2不连接。然后,信号TRG8变为高电平。因此,通过第八行中的八个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0344] 接下来,在时间t23,信号SEL8变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0345] 因此,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信

号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。

[0346] 接下来,在时间t23与时间t24之间,每个AD转换器执行AD转换,以生成第六行和第八行中的 2×2 像素单元G10的相同颜色的像素之间的差分数据。在本实施方式中,SEL_L和SEL_R的电平被控制为每次反转。在像素阵列单元10的垂直方向上的像素数增加的情况下,重复第二差分AD转换控制和第三差分AD转换控制。

[0347] 接下来,在时间t24与时间t25之间,保持信号SEL8处于高电平、信号SEL_L处于高电平且信号SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第七行中的像素设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0348] 在时间t25,信号RST10和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST10通过信号线Rst10输入至复位晶体管SW2的栅极时,第十行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位至恒压源VSS的电压。

[0349] 接下来,在时间t27,信号RST10变为低电平以使复位晶体管SW2不连接。然后,信号TRG10变为高电平。因此,通过第十行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0350] 接下来,在时间t27,信号SEL10变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。

[0351] 因此,AD转换器ADC11和12电连接至垂直信号线VSL3和VSL4,AD转换器ADC13和14电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。此外,AD转换器ADC21和22电连接至垂直信号线VSL3和4,AD转换器ADC23和24电连接至垂直信号线VSL7和VSL8,并且每个像素的数据因此被输入到对应的AD转换器。

[0352] 接下来,在时间t27与时间t28之间,每个AD转换器执行AD转换,以生成第八行和第十行中的 2×2 像素单元G10的相同颜色的像素之间的差分数据。

[0353] (第三实施方式的第二控制方法)

[0354] 第三实施方式的第二控制方法与第三实施方式的第一控制方法的不同之处仅在于时序图。在第一控制方法中,仅奇数行被读取并且首先经受AD转换,并且然后偶数行以类似的过程被读取并且经受AD转换。因此,奇数行与偶数行之间的曝光定时存在不同。第二控制方法的不同之处在于与奇数行的读取和AD转换同时执行直到偶数行的读取(到FD的电荷传输)的过程。因此,能够使奇数行的曝光定时与偶数行的曝光定时同步。因此,可以抑制由于运动对象的曝光定时的差分引起的伪影。更具体地,与奇数行的AD转换同时执行偶数行的电荷读出,并且将每个像素的电荷传输至FD。在偶数行的后续AD转换中,对传输至FD的电荷执行AD转换而不执行像素传输。因此,彼此配对的偶数行和奇数行在曝光定时上彼此同步,使得不存在运动对象的运动模糊,并且抑制了当作为一个图像观看时的伪影。

[0355] 这里,将参考图31至图36详细描述由根据第三实施方式的第二控制方法的图像传感器2执行的差分处理示例。图31至图33示出了对奇数行执行的AD转换处理以及将电荷传输至偶数行的FD的处理,并且图34至图34示出了对偶数行执行的AD转换处理。垂直轴从顶部开始表示信号RST10、TRG10、SEL10至RST1、TRG1、SEL1、AD转换器状态State、信号SEL_L和SEL_R,并且水平轴表示时间。差分处理示例与通过根据第一实施方式的图像传感器2执行的差分处理示例的不同之处在于,为每个奇数行执行差分处理。此外,在对奇数行执行差分

处理示例的情况下,偶数行中的控制线的所有信号保持在低电平。在下文中,将主要描述与第三实施方式的第一控制方法的不同之处。

[0356] 图31是示出根据第二控制方法的从时间t10到时间t21的差分处理示例的时序图,图32是包括根据第二控制方法的从时间t21到时间t24的差分处理示例的时序图,并且图33是包括根据第二控制方法的对最后奇数行执行的差分处理示例的时序图。

[0357] 图34是示出根据第二控制方法的从时间t30到时间t41的差分处理示例的时序图,图35是根据第二控制方法的从时间t36到时间t44的差分处理示例的时序图,并且图36是根据第二控制方法的对最后偶数行执行的差分处理示例的时序图。

[0358] 如图31所示,首先,在时间t10,信号RST1和2以及SEL_L变为高电平。因此,当通过信号线Rst1将高电平复位信号RST1输入到复位晶体管SW2的栅极时,第一行和第二行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位到恒定电压源VSS的电压。

[0359] 接下来,在时间t11,信号RST1和2变为低电平以使设置晶体管SW2不连接。然后,信号TRG1和2变为高电平。因此,通过第一行和第二行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。由于t12至t13与控制方法1相似,所以下面将不对t12至t13进行描述。

[0360] 在时间t13,信号RST3和4以及SEL_R变为低电平,并且SEL_L变为高电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第三行和第四行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0361] 接下来,在时间t14,信号RST3和4变为低电平以使设置晶体管SW2不连接。然后,信号TRG3和4变为高电平。因此,通过第三行和第四行中的每个像素的光电二极管PD的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。t15至t17之间的处理与控制方法1中的处理类似,因此下面将不对该处理进行描述。

[0362] 类似地,时间t17与时间t28之间的处理与控制方法1中的处理的不同之处在于偶数行的累积信号电荷(这里,光电子)在时间t17与时间t19之间、时间t21与时间t23之间以及时间t22至时间t27之间传输至浮动扩散FD。后续处理与控制方法1中的处理类似,因此下面将不对后续处理进行描述。

[0363] 如上所述,图34至图36示出了对偶数行执行的AD转换处理,并且分别对应于图28至图30所示的处理。如以上参考图31至图33所描述的,在时间t10与时间t12之间、时间t13与时间t13之间、时间t17与时间t19之间、时间t22与时间t23之间以及时间t25与时间t25之间,偶数行的累积信号电荷(这里,光电子)已经传输至浮动扩散FD。因此,图34至图36所示的处理与图28至图30所示的处理的不同之处在于不执行偶数行的累积信号电荷到浮动扩散FD的传输。后续处理与控制方法1中的处理类似,因此下面将不对后续处理进行描述。

[0364] 如上所述,根据本实施方式,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12b选择第 $((n-1) \times 4 + m)$ 垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 4 + m + 2)$ 垂直信号线VSL。在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16b和第二选择单元16a选择第 $((n-1) \times 4 + m + 2)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $((n-1) \times 4 + m + 4)$ 垂直信号线VSL。因此,可以通过以连续的方式将像素阵列单元10的奇数行中的像素电连接至相应的垂直信号线VSL,并且执行控制以使SEL_L和SEL_R的

值交替地彼此不同:在基本单元G10中的奇数行中的红色像素与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的奇数行中的红色像素之间的差,以及在基本单元G10中的奇数行中的绿色像素与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的奇数行中的绿色像素之间的差。类似地,可以通过以连续的方式将像素阵列单元10的偶数行中的像素电连接至相应的垂直信号线VSL,并且执行控制以使SEL_L和SEL_R的值交替地彼此不同:在基本单元G10中的偶数行中的绿色像素与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的偶数行中的绿色像素之间的差,以及在基本单元G10中的偶数行中的蓝色像素与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的偶数行中的蓝色像素之间的差。

[0365] (第四实施方式)

[0366] 根据第四实施方式的电子设备与根据第一实施方式的电子设备的不同之处在于FD由两个像素乘两个像素的基本像素单元G10共享。在下文中,将描述与根据第一实施方式的电子设备的不同之处。

[0367] 图37是示出根据第四实施方式的在第一控制方法下对像素阵列单元10执行的差分处理示例的示意图。如图37所示,在根据本实施方式的差分处理中,可以在拜耳阵列的基本像素组G10之间执行差分处理。一个共享FD布置在基本像素组G10中。因此,在第一控制方法下的差分处理中,通过FD将基本像素组G10中的 2×2 像素中累积的电荷相加,并且执行差分处理。

[0368] 因此,通过将四个像素相加,灵敏度增加四倍,并且颜色信息消失。在基本像素组G10之间执行生成差分信息的处理。因此,在相对于彼此定位在对角线方向上的基本像素组G10之间生成差分信息。

[0369] 图38是示出根据第四实施方式的在第二控制方法下对像素阵列单元10执行的差分处理示例的示意图。如图38所示,在第二控制方法下,对每个颜色分量执行差分处理。例如,假设仅将累积在红色像素中的电荷传输给FD,并且在基本像素组G10之间执行生成差分信息的处理。因此,在相对于彼此定位在对角线方向上的基本像素组G10的红色像素之间生成差分信息。针对绿色像素和蓝色像素重复类似于针对红色像素的处理的处理,生成相对于彼此定位在对角线方向上的基本像素组G10的绿色像素之间的差分信息以及相对于彼此定位在对角线方向上的基本像素组G10的蓝色像素之间的差分信息。此外,在第二控制方法下,也可以通过将两个绿色像素相加来执行差分处理。因此,能够缩短差分处理所花费的时间。

[0370] 图39是示出根据第四实施方式的包括像素阵列单元10、第一选择单元12c、第一AD转换单元14c、第二选择单元16c以及第二AD转换单元18c的电路的示例的示意图。注意,为了简单起见,在假设像素的数量为 8×8 或 10×8 的基础上进行描述,但是该数量不限于 8×8 或 10×8 。

[0371] 如图39所示,第一选择单元12c包括选择单元SEL11至14。第一选择单元12c在像素阵列单元10的多个垂直信号(VSL)中选择一对两条信号线(第 $((n-1) \times 2 + m)$ 信号线和第 $((n-1) \times 2 + m + 1)$ 信号线(n 是1至 $M/2$,并且 m 是1或2))中的一个,并且将所选择的信号线的信号输出至第一AD转换单元14c。这里,像素阵列单元10的多个垂直信号(VSL)的数量例如是1至 M (例如, M 是偶数)。

[0372] 在生成差分图像的情况下,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12c选择第 $((n-1) \times 2+m)$ 垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 2+m+1)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第一选择单元12c交替地选择彼此相邻的垂直信号(VSL)的信号中的一个。

[0373] 第一AD转换单元14c包括AD转换器ADC11至14。AD转换器ADC11至14各自连接至选择单元SEL11至14中的对应一个。

[0374] 第二选择单元16c包括选择单元SEL21至24。第一选择单元12c在像素阵列单元10的多个垂直信号(VSL)中选择一对两条信号线(第 $((n-1) \times 2+m+1)$ 信号线和第 $((n-1) \times 4+m+2)$ 信号线(n 是1至 $M/4$,并且 m 是1或2))中的一个,并且将所选择的信号线的信号输出至第二AD转换单元18c。

[0375] 在生成差分图像的情况下,在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16c选择第 $((n-1) \times 2+m+1)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $((n-1) \times 4+m+2)$ 垂直信号线VSL。如上所述,在生成差分图像的情况下,第一选择单元16b交替地选择彼此相邻的垂直信号(VSL)的信号中的一个。

[0376] 第二AD转换单元18c包括AD转换器ADC21至24。AD转换器ADC21至24各自连接至选择单元SEL21至24中的对应一个。如上所述,与第一实施方式的电子设备100类似的方式,电路结构被划分为两组:第一选择单元12c和第一AD转换单元14c,以及第二选择单元16c和第二AD转换单元18c。

[0377] 如上所述,与根据第一实施方式的电子设备100不同,FD由两个像素乘两个像素的基本像素组G10共享。通过这种电路,可以减小读取所需的布线空间以确保像素区域。因此,可以提高像素灵敏度。此外,用于读取的垂直信号线(VSL)的数量也减少,并且AD转换器的数量相应地减少,使得电路可以在尺寸上减小。另一方面,一次可经受AD转换的像素的数量减少,并且帧速率相应地下降。注意,在本实施方式中,为两个像素设置一个VSL,使得选择单元SEL被设置在垂直信号线VSL之间以获取对角线差。该配置被划分为两组以控制选择单元SEL的方向。

[0378] 首先,在控制1的差分操作中,图像控制单元8选择控制线1(控制线1)而不选择控制线2至(控制线2至)。因此,第一行中的基本像素组连接至垂直信号线VSL。在本实施方式中,将基本像素组G10在行方向上的布置称为一行,并且将基本像素组G10在列方向上的布置称为一列。因此,控制线1控制布置在一行中的多个基本像素组G10。

[0379] 接下来,图像控制单元8设置SEL_L=0和SEL_R=1。因此,电连接至VSL1的基本像素组G10的数据被输入至AD转换器ADC11。类似地,电连接至VSL3的像素数据被输入到AD转换器ADC12和21。控制线1(控制线1)的行中的基本像素组G10的像素数据也以类似的过程被输入到其他AD转换器。这里,AD转换器ADC11至14和21至24各自经受自动归零(AZ),使得从对应基本像素组G10输出的信号电压的电平被设置为每个ADC的参考值,即,值0。

[0380] 接下来,图像控制单元8选择控制线2而不选择控制线1和3至5。因此,控制线2行中的每个基本像素组G10的像素数据电连接至相应的垂直信号线(VSL)。

[0381] 接下来,当SEL_L=1和SEL_R=0时,图像控制单元8将电连接至垂直信号线VSL2的

基本像素组G10的像素数据输入至AD转换器ADC11和21。控制线2(控制线2)的行中的基本像素组G10的像素数据也以类似的过程被输入到其他AD转换器。

[0382] 接下来,在该状态下,AD转换器ADC11至14和21至24执行AD转换。因此,ADC11和ADC12可以分别获得 2×2 像素单元与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元之间的差,并且ADC21可以获得 2×2 像素单元与位于 2×2 像素单元的左上对角线的另一 2×2 像素单元之间的差。如图37和图38所示,跨整个帧重复该过程,以获得 2×2 像素单元与位于 2×2 像素单元的右上对角线的另一 2×2 像素单元之间的差以及 2×2 像素单元与位于 2×2 像素单元的左上对角线的另一 2×2 像素单元之间的差。

[0383] 图40是示出根据第四实施方式的拜耳阵列的基本像素组G10的电路配置示例的示意图。如图40所示,基本像素组G10包括多个像素PX11、12、21和22、复位晶体管SW2、放大晶体管AMP、选择晶体管SW3和浮动扩散FD。像素PX11是红色像素,像素PX12和21是绿色像素,并且像素PX22是蓝色像素。

[0384] 复位晶体管SW2、放大晶体管AMP、选择晶体管SW3以及浮动扩散FD的基本操作与根据第一实施方式的基本像素组G10的电路配置的基本操作类似,因此下面将不对基本操作进行描述。

[0385] 像素PX11、12、21和22分别包括光电二极管PD1至4和传输晶体管SW1_1、1_2、1_3和1_4。传输晶体管SW1_1、1_2、1_3和1_4的源极分别连接至浮动扩散FD,并且其漏极分别连接至光电二极管PD1至4。此外,传输晶体管SW1_1、1_2、1_3和1_4的栅极分别连接至控制线Trg1_1、1_2、1_3和1_4。例如,控制线1(控制线1)包括控制线Trg1_1、1_2、1_3、1_4、SEL1和RST1的束。

[0386] 在第一控制方法下,利用这种配置,在浮动扩散FD被复位之后,高电平信号经由控制线Trg1_1、1_2、1_3和1_4被施加到传输晶体管SW1_1、1_2、1_3和1_4的栅极。因此,累积在光电二极管PD1至4中的电荷被传输至浮动扩散FD并在浮动扩散FD中相加。在这种情况下,累加累积的电荷使信号更强,使得灵敏度线性增加。

[0387] 另一方面,在第二控制方法下,高电平信号经由控制线Trg1_1、1_2、1_3和1_4中对应的一个被施加到传输晶体管SW1_1、1_2、1_3和1_4中任一个的栅极。因此,仅累积在光电二极管PD1至4中的一个中的电荷可被传输至浮动扩散FD。在这种情况下,累积在一个像素中的电荷可被放大并作为像素信号输出。

[0388] 例如,在第二控制方法下,在累积在红色像素中的电荷被放大并作为像素信号输出的情况下,高电平信号经由控制线Trg1_1施加至传输晶体管SW1_1的栅极。因此,仅累积在光电二极管PD1中的电荷能够被传输至浮动扩散FD。类似地,仅累积在每个其他像素中的电荷可被传输至浮动扩散FD。

[0389] (第四实施方式的第一控制)

[0390] 这里,将参考图41至图43详细地描述第四实施方式的第一控制的差分处理示例。图41是示出根据第四实施方式的从时间t10到时间t21的差分处理示例的时序图,图42是包括根据第四实施方式的从时间t22到时间t24的差分处理示例的时序图,并且图43是包括对根据第四实施方式的最后一行执行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST5、TRG5_4至5_1、SEL5、RST4、TRG4_4至4_1、SEL4、RST3、TRG3_4至3_1、SEL3、RST2、TRG2_4至2_1、SEL2、SEL1、RST1、TRG1_4至1_1和SEL1、AD转换器状态State、信号SEL_L和SEL_R,并

且水平轴表示时间。

[0391] 如图41所示,首先,在时间t10,信号RST1和SEL_R变为高电平。因此,当高电平复位信号RST1通过信号线Rst1被输入到复位晶体管SW2的栅极时,第一行中的基底像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0392] 接下来,在时间t11,信号RST1变为低电平以使设置晶体管SW2不连接。然后,信号TRG1_1至1_4变为高电平。因此,通过基本像素组G10的像素的光电二极管PD1至4的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0393] 接下来,在时间t12,信号SEL1变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,并且AD转换器ADC12和21连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0394] 随后,在时间t12与时间t14之间,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0395] 在时间t12,信号RST2和SEL_R变为低电平,并且SEL_L变为高电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第二行中的基底像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0396] 接下来,在时间t14,信号RST2变为低电平以使设置晶体管SW2不连接。然后,信号TRG4变为高电平。然后,信号TRG1_1至1_4变为高电平。因此,通过基本像素组G10的像素的光电二极管PD1至4的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0397] 接下来,在时间t15,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11和21电连接至垂直信号线VSL2,并且AD转换器ADC12电连接至垂直信号线VSL4。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0398] 随后,在时间t15与时间t16之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第一行中的基本像素组G10与第二行中的基本像素组G10之间的差作为数据。

[0399] 接下来,在时间t16与时间t17之间,保持信号SEL2处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第二行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0400] 在时间t17,信号RST3和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第三行中的基本像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0401] 接下来,在时间t18,信号RST3变为低电平以使设置晶体管SW2不连接。然后,信号TRG3_1至3_4变为高电平。因此,通过第三行中的基本像素组G10的光电二极管PD1至4的光

电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0402] 接下来,在时间t19,信号SEL3变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,AD转换器ADC12电连接至垂直信号线VSL3,并且每个基本像素组G10的数据因此被输入至相应的AD转换器。此外,因为SEL_R处于高电平,所以AD转换器ADC21电连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0403] 随后,在时间t19与时间t20之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第二行中的基本像素组G10与第三行中的基本像素组G10之间的差作为数据。

[0404] 接下来,在时间t20与时间t21之间,保持信号SEL3处于高电平、SEL_L处于低电平且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第三行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0405] 如图42所示,在时间t21,信号RST4和SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST4通过信号线Rst4被输入到复位晶体管SW2的栅极时,第四行中的每个像素的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0406] 接下来,在时间t22,信号RST4变为低电平以使复位晶体管SW2不连接。然后,信号TRG4_1至4_4变为高电平。因此,通过第四行中的基本像素组G10的光电二极管PD1至4的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0407] 接下来,在时间t23,信号SEL4变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。因此,AD转换器ADC11和21电连接至垂直信号线VSL2,并且AD转换器ADC12电连接至垂直信号线VSL4。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0408] 随后,在时间t23与时间t24之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第三行中的基本像素组G10与第四行中的基本像素组G10之间的差作为数据。如上所述,通过将四个像素相加来提取亮度信息的差,使得可以获取与正常图像输出相比四分之一时间和四分之一功耗的差分图像。

[0409] 如图43所示,在时间t24与时间t25之间,保持信号SEL4处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第四行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0410] 在时间t25,信号RST5和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第五行的基本像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0411] 接下来,在时间t26,信号RST3变为低电平以使设置晶体管SW2不连接。然后,信号TRG5_1至5_4变为高电平。因此,通过第五行中的基本像素组G10的光电二极管PD1至4的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0412] 接下来,在时间t27,信号SEL5变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,AD转换器ADC12电连接至垂直信号线VSL3,并且每个基本像素组G10的数据因此被输入至相应的AD转换器。此外,因为SEL_R处于高电平,所以AD转换器ADC21电连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0413] 随后,在时间t27与时间t28之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第四行中的基本像素组G10与第五行中的基本像素组G10之间的差作为数据。然后,信号SEL5被设置为低电平以使AD转换结束。

[0414] (第四实施方式的第二控制)

[0415] 这里,将参考图44至图46详细地描述第四实施方式的第二控制的差分处理示例。图44是示出根据第二控制的从时间t10到时间t21的差分处理示例的时序图,图45是包括根据第二控制的从时间t22到时间t24的差分处理示例的时序图,并且图46是包括根据第二控制的针对最后一行的差分处理示例的时序图。垂直轴从顶部开始表示信号RST5、TRG5_4至5_1、SEL5、RST4、TRG4_4至4_1、SEL4、RST3、TRG3_4至3_1、SEL3、RST2、TRG2_4至2_1、SEL2、SEL1、RST1、TRG1_4至1_1和SEL1、AD转换器状态State、信号SEL_L和SEL_R,并且水平轴表示时间。如上所述,第二控制示例对应于通过使第一控制示例颜色兼容而获得的控制示例。电路配置与第一控制示例的电路配置类似,但控制方法不同。

[0416] 如图44所示,首先,在时间t10,信号RST1和SEL_R变为高电平。因此,当高电平复位信号RST1通过信号线Rst1被输入到复位晶体管SW2的栅极时,第一行中的基底像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0417] 接下来,在时间t11,信号RST1变为低电平以使设置晶体管SW2不连接。然后,信号TRG1_1变为高电平。因此,通过基本像素组G10的像素(对应于红色像素)的光电二极管PD1的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD并在浮动扩散FD中相加。

[0418] 接下来,在时间t12,信号SEL1变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,并且AD转换器ADC12和21连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0419] 随后,在时间t12与时间t14之间,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0420] 在时间t12,信号RST2和SEL_R变为低电平,并且SEL_L变为高电平。因此,当高电平复位信号RST2通过信号线Rst2被输入到复位晶体管SW2的栅极时,第二行中的基底像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0421] 接下来,在时间t14,信号RST2变为低电平以使设置晶体管SW2不连接。然后,信号TRG1_1变为高电平。因此,通过基本像素组G10的像素的光电二极管PD1的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0422] 接下来,在时间 t_{15} ,信号SEL2变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11和21电连接至垂直信号线VSL2,并且AD转换器ADC12电连接至垂直信号线VSL4。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0423] 随后,在时间 t_{15} 与时间 t_{16} 之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第一行中的基本像素组G10的红色像素与第二行中的基本像素组G10的红色像素之间的差作为数据。

[0424] 接下来,在时间 t_{16} 与时间 t_{17} 之间,保持信号SEL2处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第二行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0425] 在时间 t_{17} ,信号RST3和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第三行中的基本像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0426] 接下来,在时间 t_{18} ,信号RST3变为低电平以使设置晶体管SW2不连接。然后,信号TRG3_1变为高电平。因此,通过第三行中的基本像素组G10的光电二极管PD1的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0427] 接下来,在时间 t_{19} ,信号SEL3变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,AD转换器ADC12电连接至垂直信号线VSL3,并且每个基本像素组G10的数据因此被输入至相应的AD转换器。此外,因为SEL_R处于高电平,所以AD转换器ADC21电连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0428] 随后,在时间 t_{19} 与时间 t_{20} 之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第二行中的基本像素组G10的红色像素与第三行中的基本像素组G10的红色像素之间的差作为数据。

[0429] 接下来,在时间 t_{20} 与时间 t_{21} 之间,保持信号SEL3处于高电平、SEL_L处于低电平且SEL_R处于高电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第三行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0430] 如图45所示,在时间 t_{21} ,信号RST4和SEL_L变为高电平,并且SEL_R变为低电平。因此,当高电平复位信号RST4通过信号线Rst4被输入到复位晶体管SW2的栅极时,第四行中的基本像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0431] 接下来,在时间 t_{22} ,信号RST4变为低电平以使复位晶体管SW2不连接。然后,信号TRG4_1变为高电平。因此,通过第四行中的基本像素组G10的光电二极管PD1的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0432] 接下来,在时间 t_{23} ,信号SEL4变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动

扩散FD的放大电位,SEL_L处于高电平,并且SEL_R处于低电平。因此,AD转换器ADC11和21电连接至垂直信号线VSL2,并且AD转换器ADC12电连接至垂直信号线VSL4。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0433] 随后,在时间t23与时间t24之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第三行中的基本像素组G10的红色像素与第四行中的基本像素组G10的红色像素之间的差作为数据。如上所述,通过将四个像素相加来提取亮度信息的差,使得可以获取与正常图像输出相比四分之一时间和四分之一功耗的差分图像。

[0434] 如图46所示,在时间t24与时间t25之间,保持信号SEL4处于高电平、SEL_L处于高电平且SEL_R处于低电平的状态。因此,AD转换器ADC11至14和21至24的AZ单元40和42执行自动归零(AZ)以将第四行中的基本像素组G10的输出信号设置为参考值(零值)。此后,AZ电路存储该偏移量。

[0435] 在时间t25,信号RST5和SEL_R变为高电平,并且SEL_L变为低电平。因此,当高电平复位信号RST3通过信号线Rst3被输入到复位晶体管SW2的栅极时,第五行的基本像素组G10的复位晶体管SW2导通,以将浮动扩散FD复位为恒定电压源VSS的电压。

[0436] 接下来,在时间t26,信号RST5变为低电平以使设置晶体管SW2不连接。然后,信号TRG5_1变为高电平。因此,通过第五行中的基本像素组G10的光电二极管PD1的光电转换累积的信号电荷(这里,光电子)被传输至浮动扩散FD。

[0437] 接下来,在时间t27,信号SEL5变为高电平。因此,选择晶体管SW3导通,并且放大晶体管AMP放大浮动扩散FD的电压并且将放大的电压输出至垂直信号线VSL。对于此时的浮动扩散FD的放大电位,SEL_L处于低电平,并且SEL_R处于高电平。因此,AD转换器ADC11电连接至垂直信号线VSL1,AD转换器ADC12电连接至垂直信号线VSL3,并且每个基本像素组G10的数据因此被输入至相应的AD转换器。此外,因为SEL_R处于高电平,所以AD转换器ADC21电连接至垂直信号线VSL3。其他AD转换器也根据相似的规则电连接至相应的垂直信号线VSL。

[0438] 随后,在时间t27与时间t28之间,AD转换器ADC11至14和21至24执行AD转换。如上所述,AD转换器ADC11至14和21至24各自执行AD转换,以输出第四行中的基本像素组G10的红色像素与第五行中的基本像素组G10的红色像素之间的差作为数据。然后,信号SEL5被设置为低电平以使AD转换结束。

[0439] 通过操纵TRG*_4而不是TRG*_1(其是在第二控制示例的时序图中示出的信号),可以执行蓝色像素之间的差分处理。此外,对于绿色像素,通过同时操纵TRG*_2和TRG*_3两者而不是TRG*_1来将两个像素相加,并且可以相应地获得两个绿色像素之间的差。在这种情况下,由于两个绿色像素相加,因此灵敏度是单独获取绿色像素的情况的两倍,并且可以在单次执行图像获取。在拍摄彩色差分图像的情况下,这种驱动方法是有用的。

[0440] 如上所述,根据本实施方式,FD由两个像素乘两个像素的基本像素单元G10共享。此外,在选择器控制信号(左)(SEL_L)是“0”选择信号的情况下,第一选择单元12c选择第 $((n-1) \times 2 + m)$ 垂直信号线VSL。此外,在选择器控制信号(左)(SEL_L)是“1”选择信号的情况下,选择第 $((n-1) \times 2 + m + 1)$ 垂直信号线VSL。在选择器控制信号(右)(SEL_R)是“0”选择信号的情况下,第二选择单元16c和第二选择单元16a选择第 $((n-1) \times 2 + m + 1)$ 垂直信号线VSL。此外,在选择器控制信号(右)(SEL_R)是“1”选择信号的情况下,选择第 $((n-1) \times 4 + m + 2)$ 垂直

信号线VSL。因此,通过以顺序方式将像素阵列单元10的每四行中的像素电连接至对应的垂直信号线VSL并执行控制以使SEL_L和SEL_R的值交替地彼此不同,可以计算基本单元G10中的每个像素的相加值与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的每个像素的相加值之间的差。类似地,通过以顺序方式将像素阵列单元10的四行中的预定行中的像素电连接至对应的垂直信号线VSL并执行控制以使SEL_L和SEL_R的值交替地彼此不同,可以计算基本单元G10中的每个像素的相加值与位于基本单元G10的左上对角线或右上对角线中的另一基本单元G10中的每个像素的相加值之间的差。

[0441] 注意,本技术可以具有以下配置。

[0442] (1)

[0443] 一种固态成像元件,包括:

[0444] 第一模数转换单元,包括第一模数转换电路和第二模数转换电路;以及

[0445] 第二模数转换单元,包括第三模数转换电路,其中,

[0446] 第一模数转换电路经由第一开关电路连接至第一垂直信号线和第二垂直信号线,

[0447] 第二模数转换电路经由第二开关电路连接至第三垂直信号线和第四垂直信号线,

[0448] 第三模数转换电路经由第三开关电路连接至第二垂直信号线和除第一垂直信号线、第二垂直信号线和第四垂直信号线之外的不同信号线,

[0449] 第一开关电路和第二开关电路连接至第一选择驱动线,

[0450] 第三开关电路连接至第二选择驱动线,并且

[0451] 第一模数转换单元和第二模数转换单元布置在像素阵列单元的同一端侧。

[0452] (2)

[0453] 根据(1)的固态成像元件,其中,不同信号线对应于第三垂直信号线。

[0454] (3)

[0455] 根据(1)的固态成像元件,其中,不同信号线对应于供应预定信号值的信号线。

[0456] (4)

[0457] 根据(1)的固态成像元件,进一步包括:

[0458] 第一选择单元,连接至第一选择驱动线;以及

[0459] 第二选择单元,连接至第二选择驱动线,其中,

[0460] 第一选择单元包括多个开关电路,该多个开关电路包括第一开关电路和第二开关电路,

[0461] 第二选择单元包括多个开关电路,该开关电路包括第三开关电路,

[0462] 第一模数转换单元包括多个模数转换电路,该多个模数转换电路包括第一模数转换电路和第二模数转换电路,该多个模数转换电路对应于第一选择电路包括中的多个开关电路,并且

[0463] 第二模数转换单元包括多个模数转换电路,该多个模数转换电路包括第三模数转换电路,该多个模数转换电路对应于第二选择电路中包括的多个开关电路。

[0464] (5)

[0465] 根据(4)的固态成像元件,其中,

[0466] 关于包括第一垂直信号线至第四垂直信号线并且连接至第一选择电路和第二选择电路的多条垂直信号线,

[0467] 第一选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序以预定顺序连接至多条垂直信号线中的两条垂直信号线,

[0468] 第二选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序以预定顺序连接至多条垂直信号线中的两条垂直信号线,

[0469] 两条垂直信号线中的左侧垂直信号线是第一选择电路中包括的多个开关电路中的任一个开关电路中的两条垂直信号线中的右侧垂直信号线,并且

[0470] 两条垂直信号线中的右侧垂直信号线是第一选择电路中包括的多个开关电路中的任一个开关电路中的两条垂直信号线中的左侧垂直信号线。

[0471] (6)

[0472] 根据(5)的固态成像元件,其中,

[0473] 第一选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $(2n-1)$ (n 为1至 $M/2$,并且 M 为偶数)条垂直信号线和第 $(2n)$ 条垂直信号线的两条垂直信号线,并且

[0474] 第二选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $(2n)$ 条垂直信号线和第 $(2n+1)$ 条垂直信号线的两条垂直信号线。

[0475] (7)

[0476] 根据(5)的固态成像元件,其中,

[0477] 第一选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8+m)$ (n 为1至 $M/4$, M 为8的倍数,并且 m 为1至4)条垂直信号线和第 $((n-1) \times 8+m+4)$ 条垂直信号线的两条垂直信号线,并且

[0478] 第二选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 8+m+4)$ 条垂直信号线和第 $(n \times 8+m)$ 条垂直信号线的两条垂直信号线。

[0479] (8)

[0480] 根据(5)的固态成像元件,其中,

[0481] 第一选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4+m)$ (n 为1至 $M/4$, M 为4的倍数,并且 m 为1或2)条垂直信号线和第 $((n-1) \times 4+m+2)$ 条垂直信号线的两条垂直信号线,并且

[0482] 第二选择单元中包括的多个开关电路中的每一个根据多个开关电路的布置顺序连接至从左起包括第 $((n-1) \times 4+m+2)$ 条垂直信号线和第 $(n \times 4+m)$ 条垂直信号线的两条垂直信号线。

[0483] (9)

[0484] 根据(5)的固态成像元件,其中,

[0485] 在捕获差分图像的情况下,

[0486] 第一选择单元中包括的每个开关电路交替地选择两条垂直信号线中的左侧垂直信号线或右侧垂直信号线,并且

[0487] 第二选择单元中包括的每个开关电路交替地选择两条垂直信号线中的右侧垂直信号线或左侧垂直信号线。

[0488] (10)

[0489] 根据(5)的固态成像元件,其中,

[0490] 在捕获正常图像的情况下,

[0491] 第一选择单元中包括的每个开关电路选择两条垂直信号线中的左侧垂直信号线或右侧垂直信号线,并且

[0492] 第二选择单元中包括的每个开关电路选择两条垂直信号线中的与由第一选择电路中包括的开关电路选择的垂直信号线在相同侧的垂直信号线。

[0493] (11)

[0494] 根据(5)的固态成像元件,其中,

[0495] 像素阵列单元包括布置成矩阵的多个像素,

[0496] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,电连接第一行中的像素,并且

[0497] 在选择两条信号线中的右侧垂直信号线的情况下,电连接与第一行不同的第二行中的像素。

[0498] (12)

[0499] 根据(5)的固态成像元件,其中,

[0500] 像素阵列单元包括布置成矩阵的多个像素,

[0501] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,电连接第一行中的像素以及与第一行不同的第二行中的像素,并且

[0502] 在选择两条信号线中的右侧垂直信号线的情况下,电连接与第一行和第二行不同的第三行中的像素以及与第一行、第二行和第三行不同的第四行中的像素。

[0503] (13)

[0504] 根据(5)的固态成像元件,其中,

[0505] 像素阵列单元包括布置成矩阵的多个像素,

[0506] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,电连接第一行中的像素,

[0507] 在选择两条信号线中的右侧垂直信号线的情况下,电连接与第一行间隔一行的第三行中的像素,

[0508] 然后,在选择两条信号线中的左侧垂直信号线的情况下,电连接与第一行相邻的第二行中的像素,并且

[0509] 然后,在选择两条信号线中的右侧垂直信号线的情况下,电连接与第二行间隔一行的第四行中的像素。

[0510] (14)

[0511] 根据(5)所述的固态成像元件,其中,

[0512] 像素阵列单元包括布置成矩阵的多个像素,

[0513] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,电连接第一行至第四行中的像素,并且

[0514] 在选择两条信号线中的右侧垂直信号线的情况下,电连接与第一行至第四行不同的第五行至第八行中的像素。

[0515] (15)

- [0516] 根据(5)的固态成像元件,其中,
- [0517] 像素阵列单元包括布置成矩阵的多个像素,
- [0518] 在选择第一选择单元中包括的每个开关电路的两条信号线中的左侧垂直信号线的情况下,电连接第一行至第四行中的预定行中的像素,并且
- [0519] 在选择两条信号线中的右侧垂直信号线的情况下,电连接与第一行至第四行不同的第五行至第八行中的预定行中的像素。
- [0520] (16)
- [0521] 根据(1)的固态成像元件,其中,像素阵列单元包括以拜耳阵列布置的像素。
- [0522] (17)
- [0523] 根据(1)的固态成像元件,其中,
- [0524] 像素阵列单元包括布置成矩阵的多个像素,并且
- [0525] 每个像素包括:
- [0526] 光电转换元件单元,被配置为通过光电转换生成与接收的光量对应的电流;
- [0527] 传输晶体管,其漏极连接至光电转换元件单元的阴极;
- [0528] 复位晶体管,其源极连接至传输晶体管的源极;
- [0529] 放大晶体管,其栅极连接至传输晶体管的源极;
- [0530] 浮动扩散,其连接至放大晶体管的栅极;以及
- [0531] 选择晶体管,其漏极连接至所述放大晶体管的源极并且其源极连接至第一垂直信号线至第四垂直信号线中的任一条。
- [0532] (18)
- [0533] 根据(5)的固态成像元件,其中,
- [0534] 像素阵列单元包括以拜耳阵列布置的像素,并且
- [0535] 垂直信号线各自电连接至浮动扩散,该浮动扩散连接至构成拜耳阵列的四个像素。
- [0536] (19)
- [0537] 一种电子设备,包括:
- [0538] 根据(1)的固态成像元件;以及
- [0539] 光学系统,被配置为使光进入像素阵列单元。
- [0540] 参考标记列表
- [0541] 1光学系统
- [0542] 2图像传感器(固态成像元件)
- [0543] 12、12a、12b、12c第一选择单元
- [0544] 14、14a、14b、14c第一AD转换单元
- [0545] 16、16a、16b、16c第二选择单元
- [0546] 18、18a、18b、18c第二AD转换单元
- [0547] 100电子设备
- [0548] ADC 11至18、21至28AD转换器
- [0549] AMP放大晶体管
- [0550] FD浮动扩散

- [0551] PD光电二极管 (光电转换元件单元)
- [0552] SEL 11至18、21至28选择器 (开关电路)
- [0553] SW1传输晶体管
- [0554] SW2复位晶体管
- [0555] SW3选择晶体管
- [0556] VSL垂直信号线。

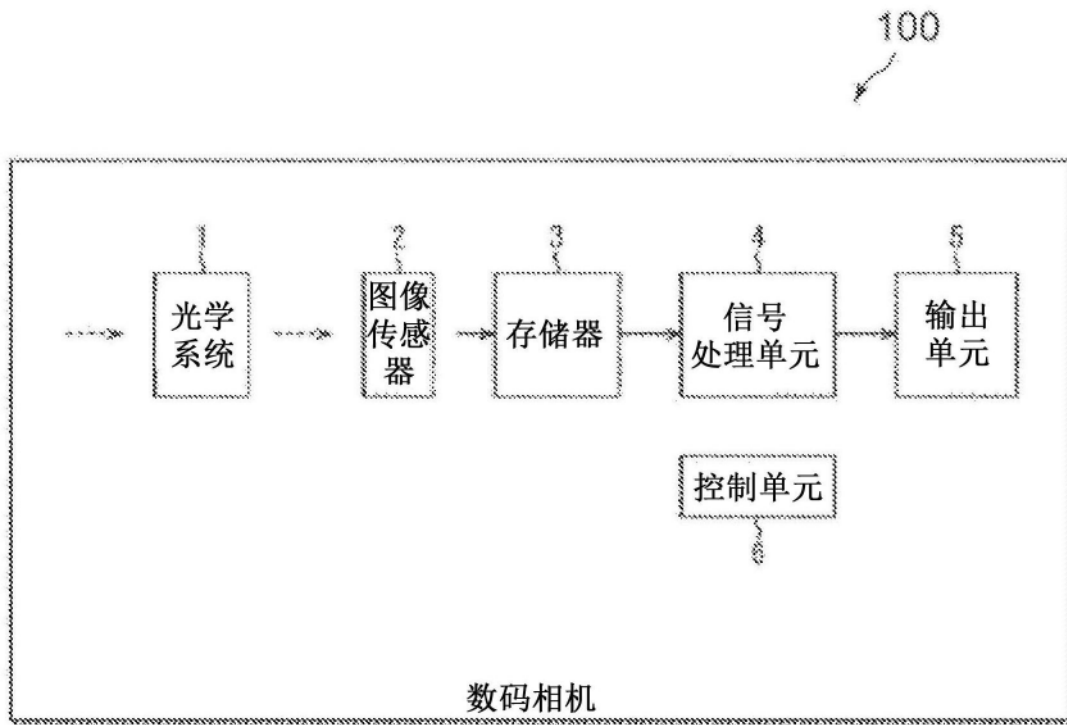


图1

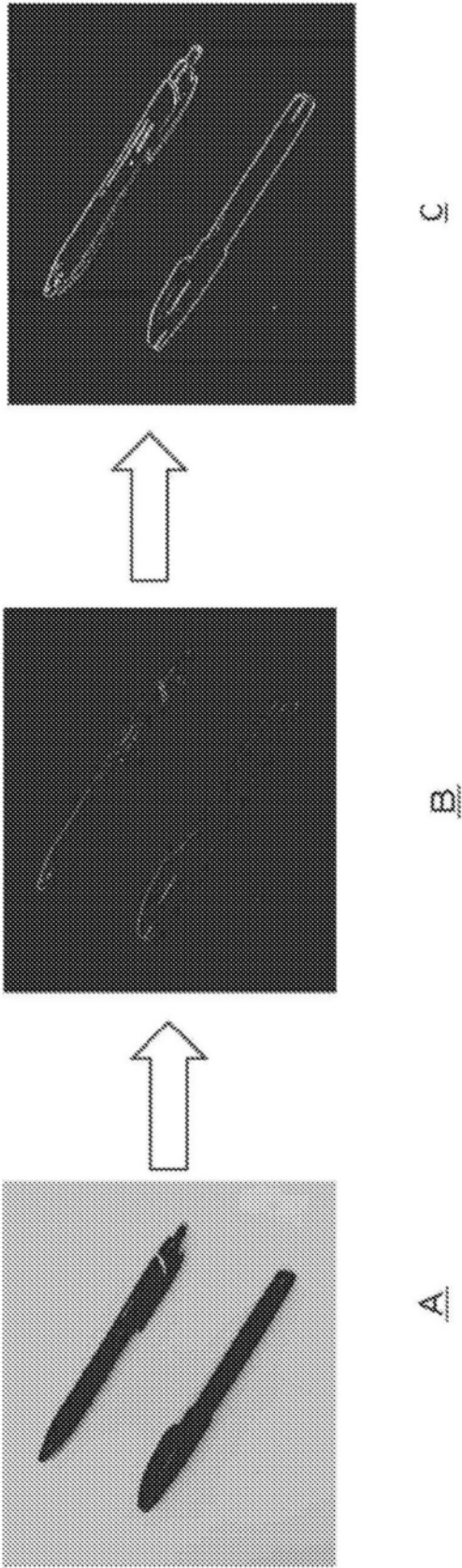


图2

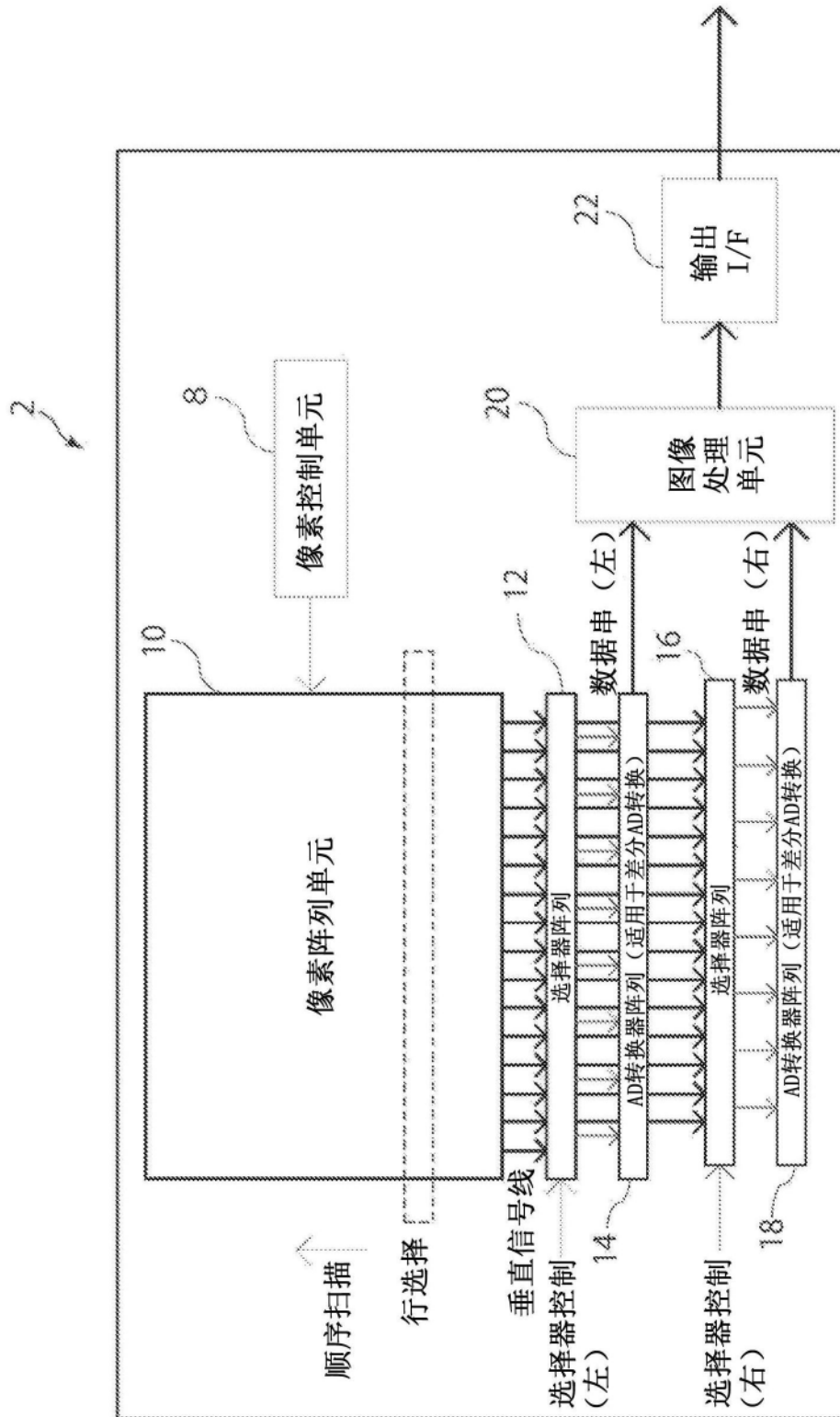


图3

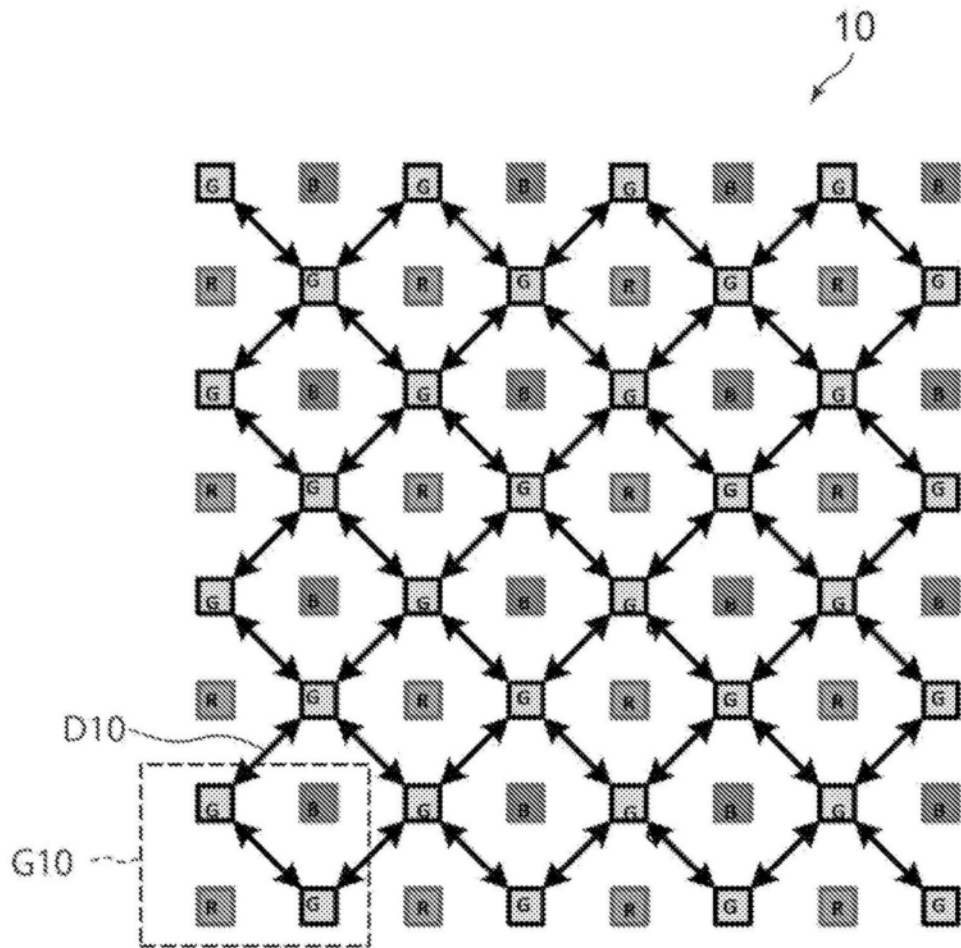


图4

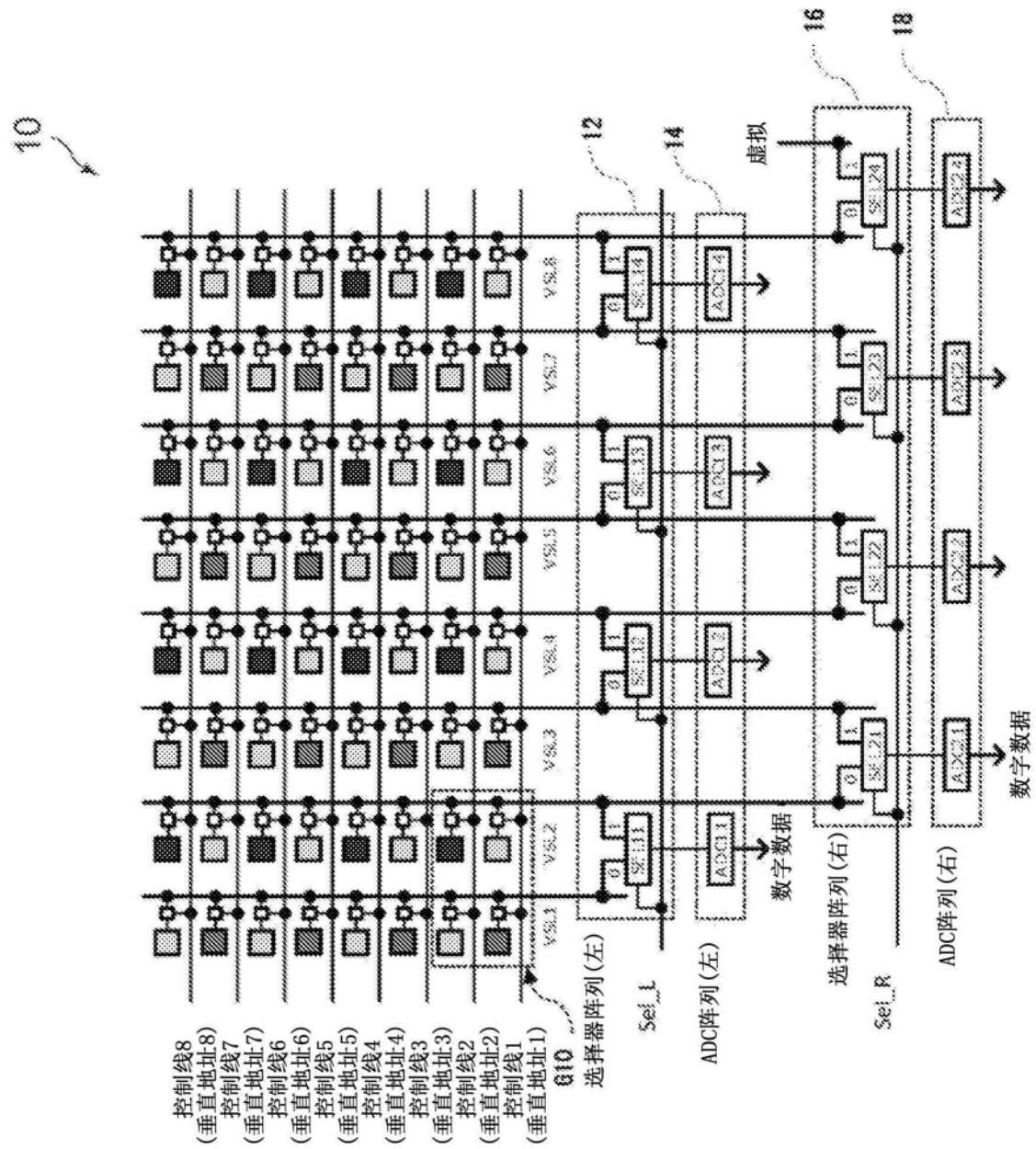


图5

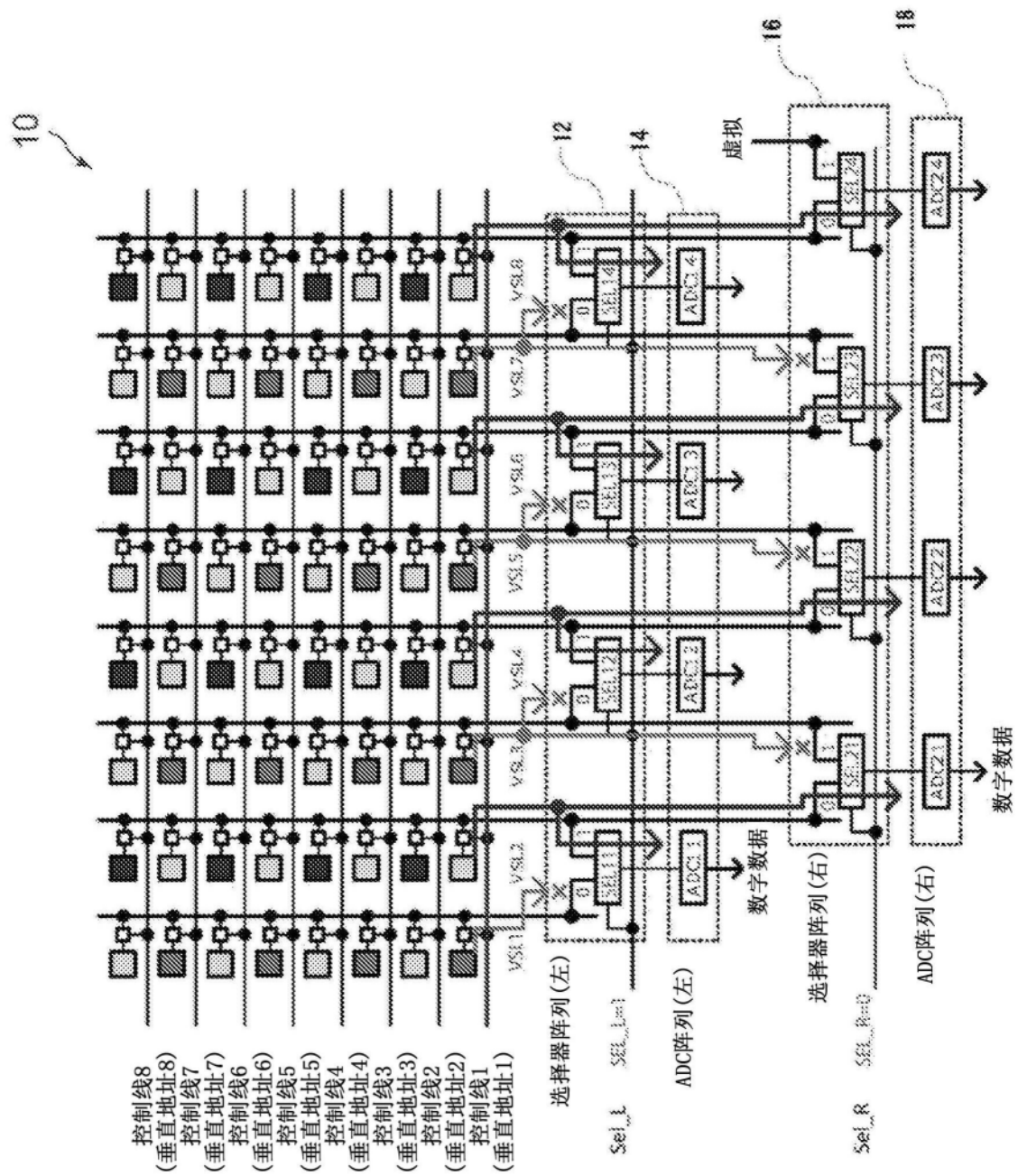


图6

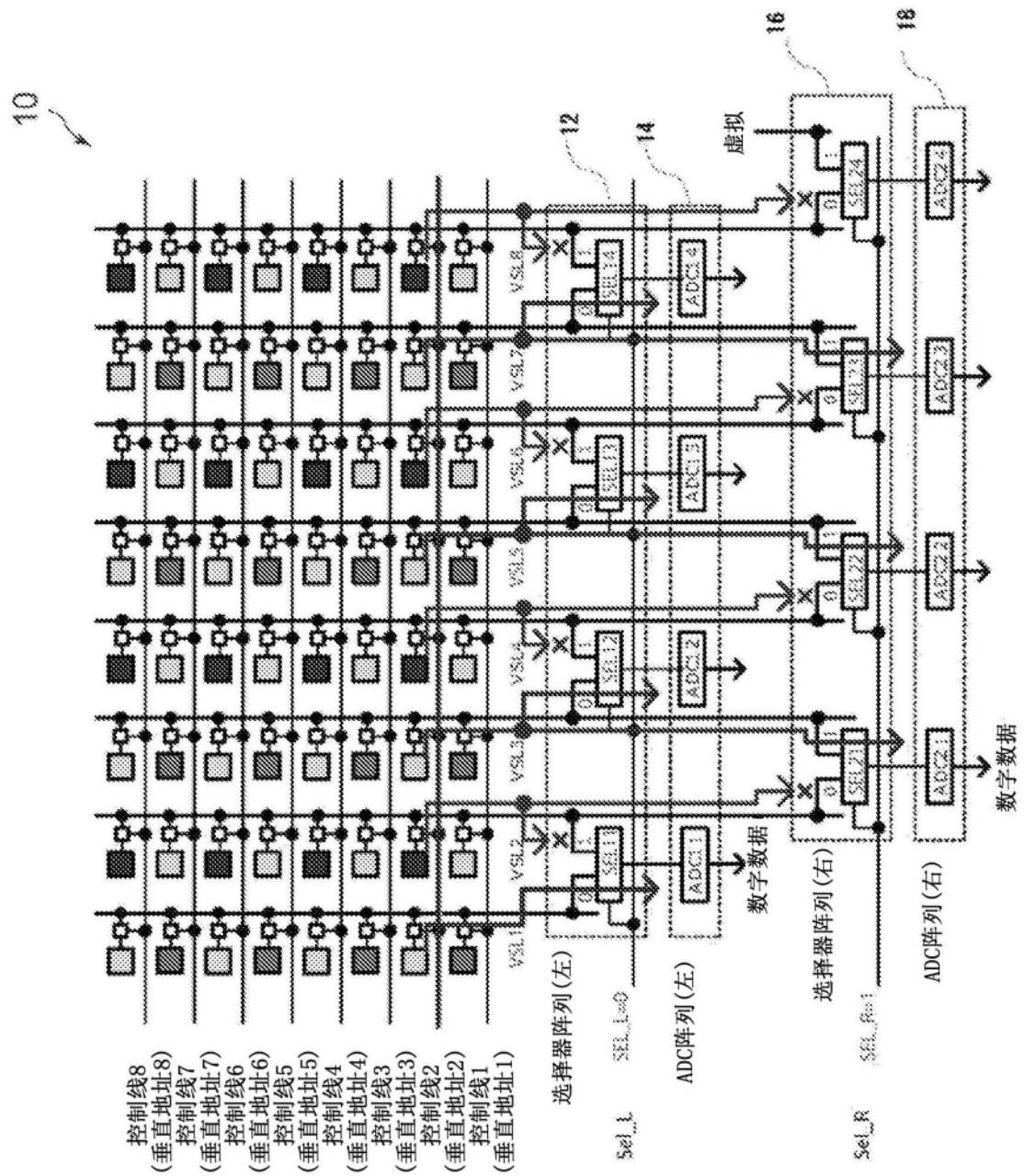


图7

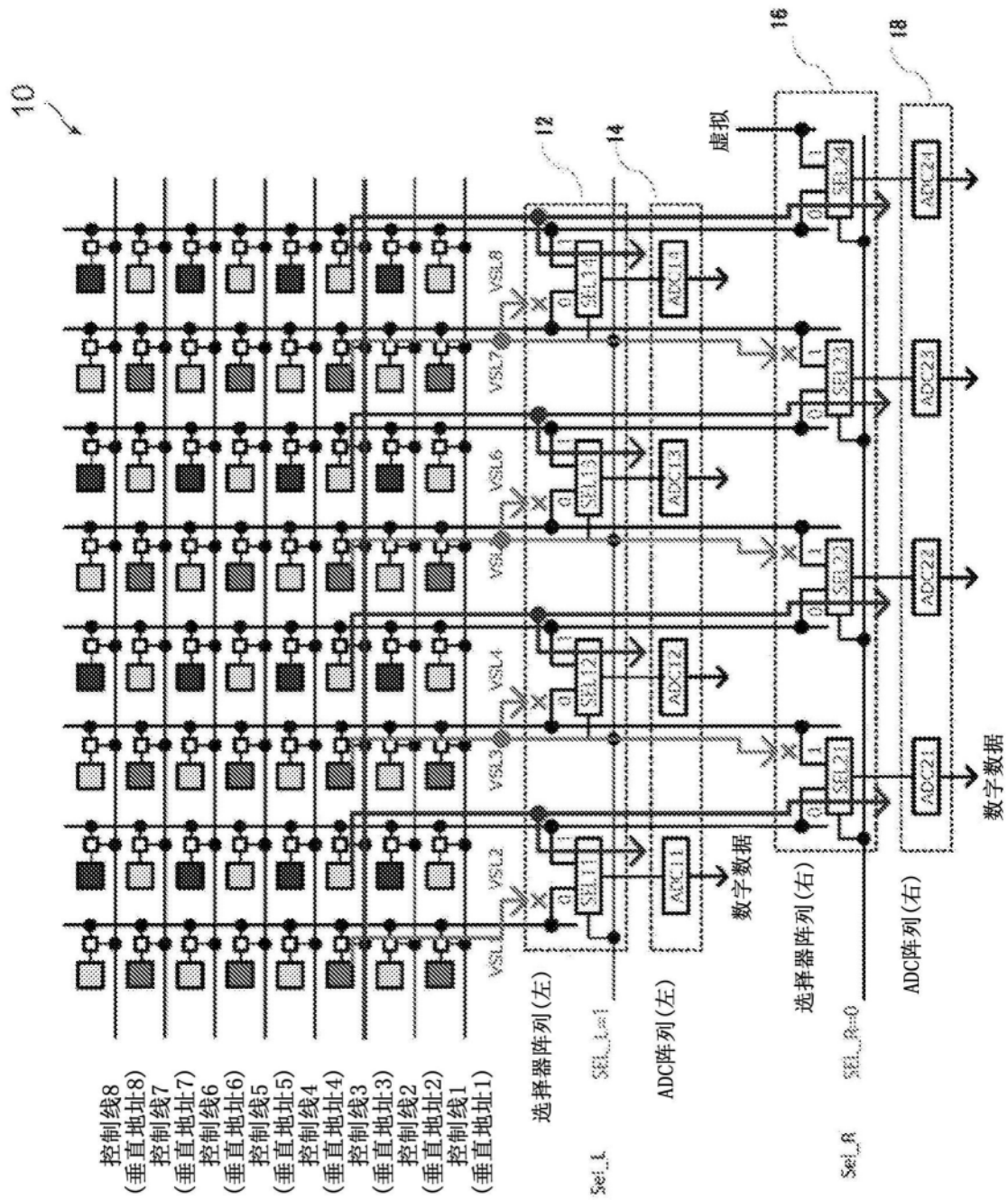


图8

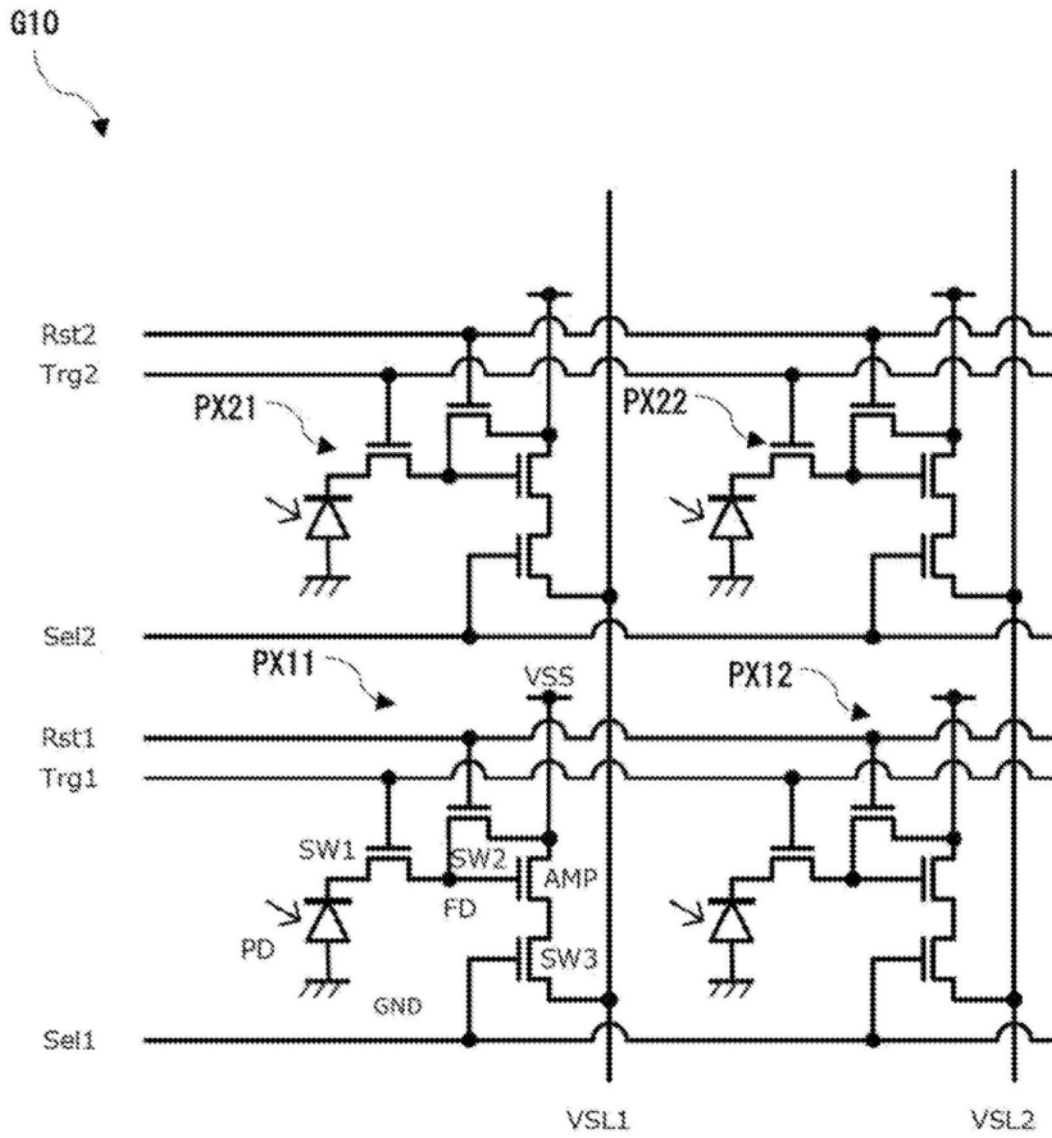


图9

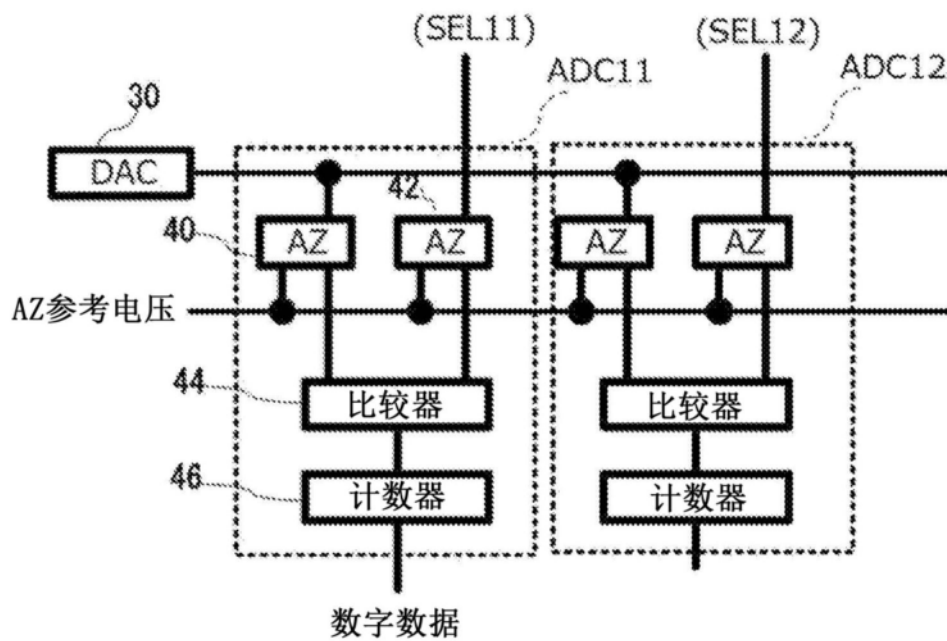


图10

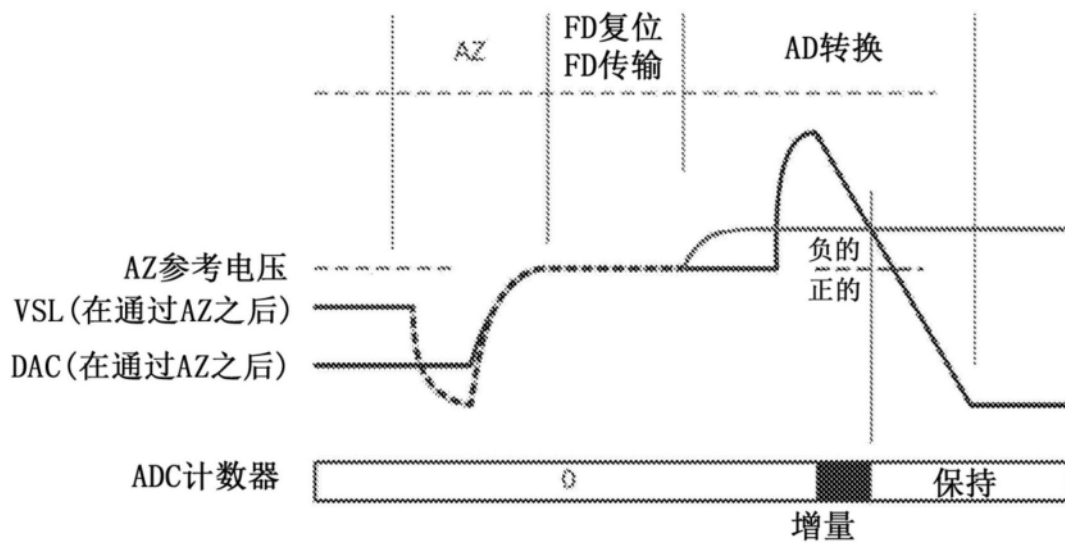


图11

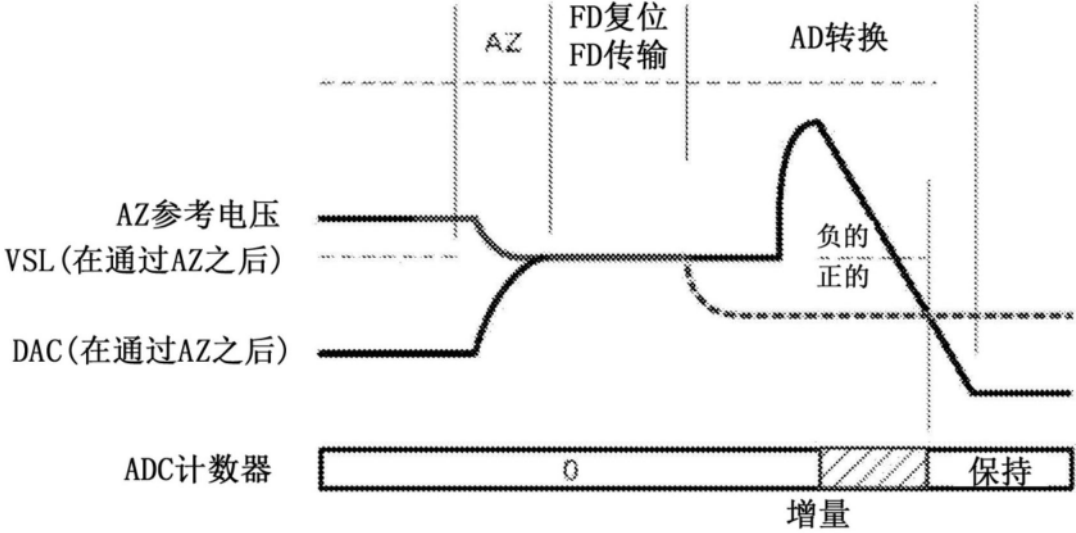


图12

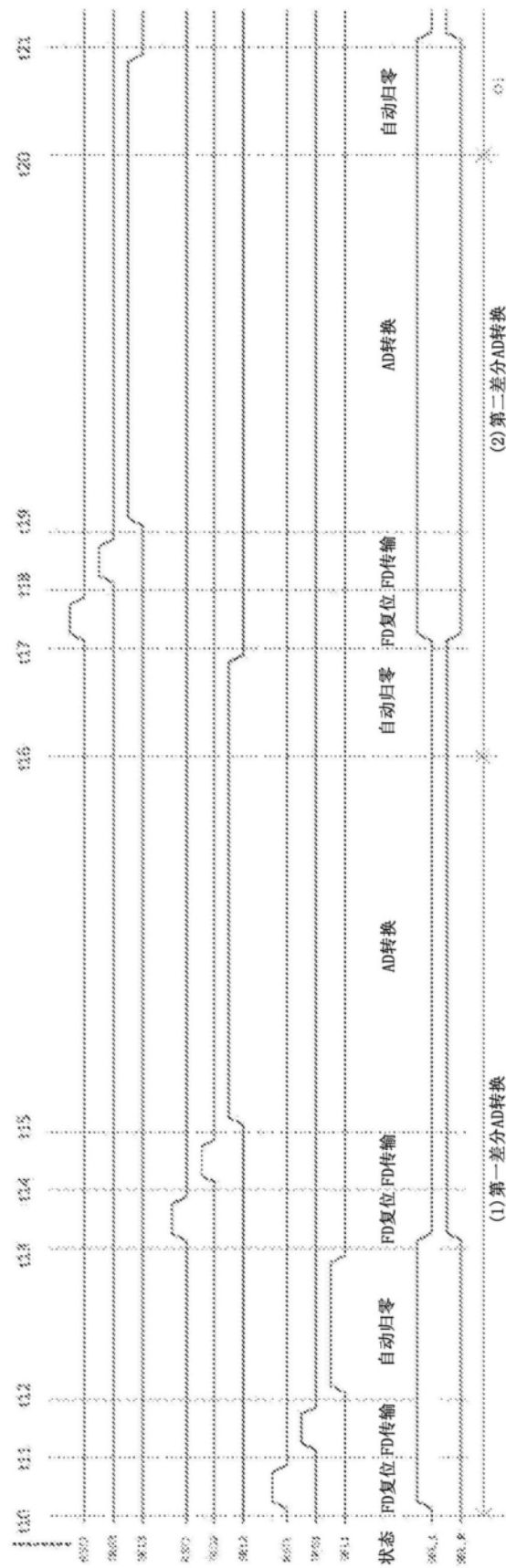


图13

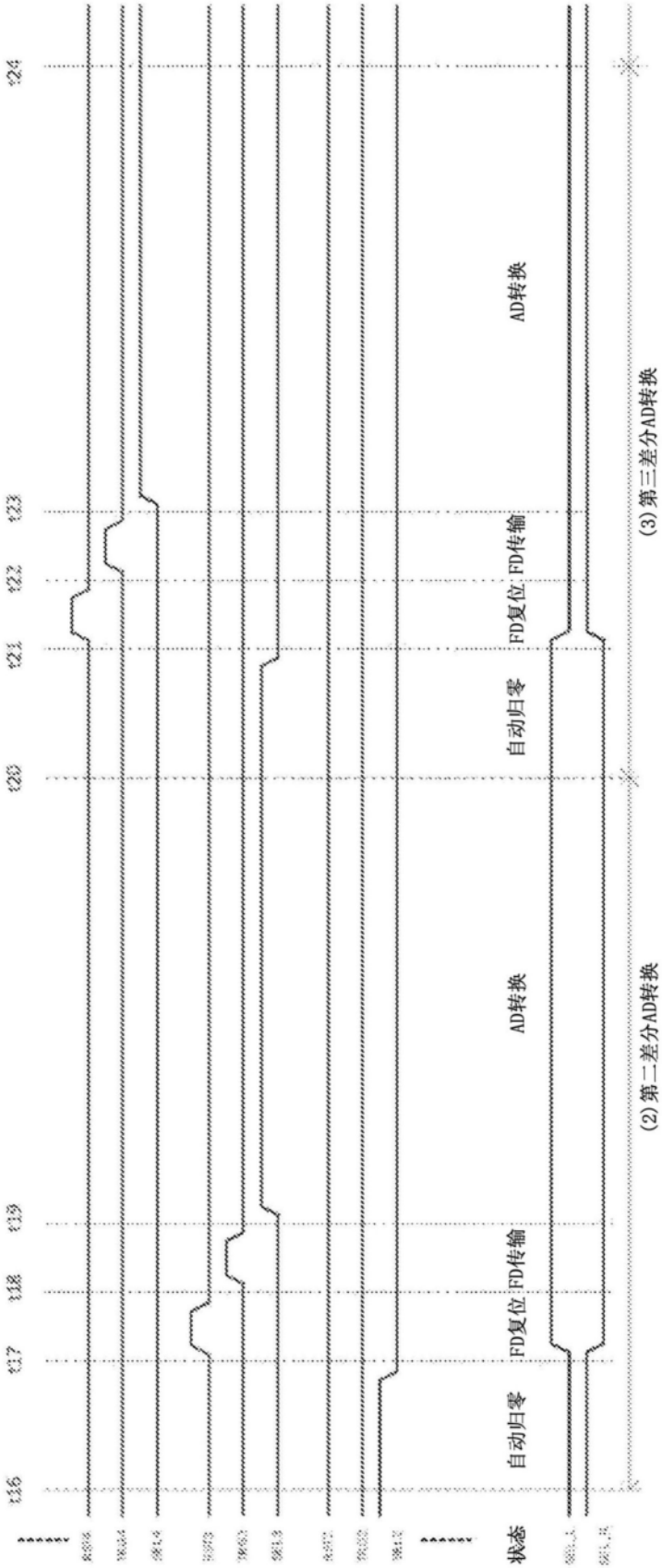


图14

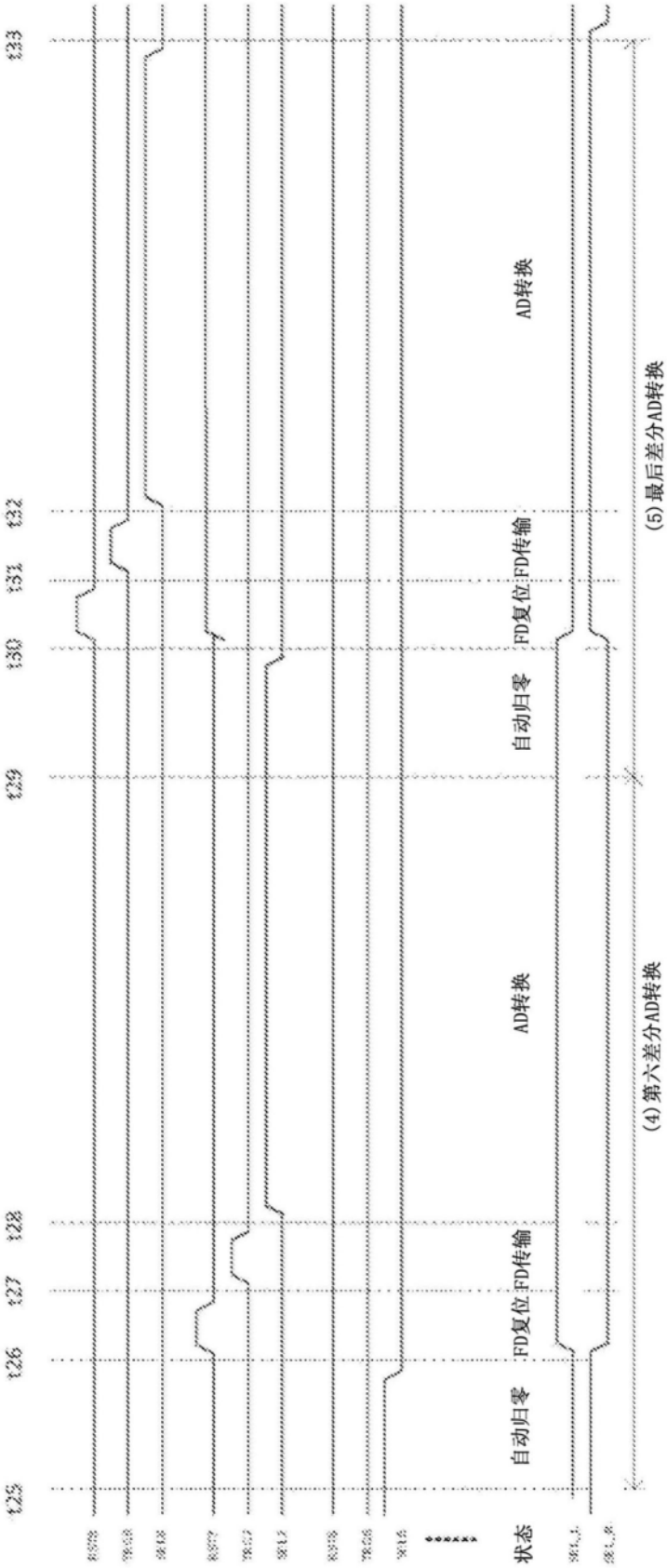


图15

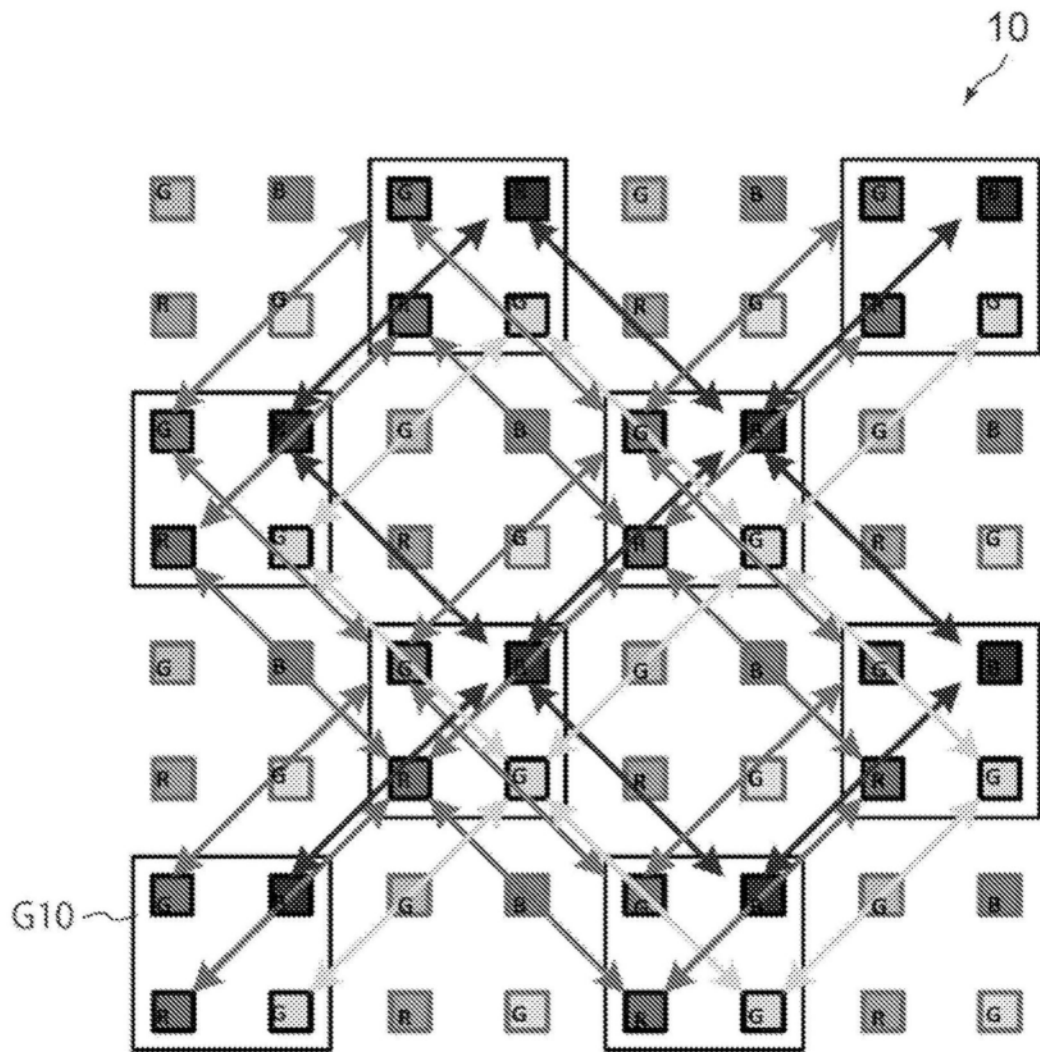


图16

10

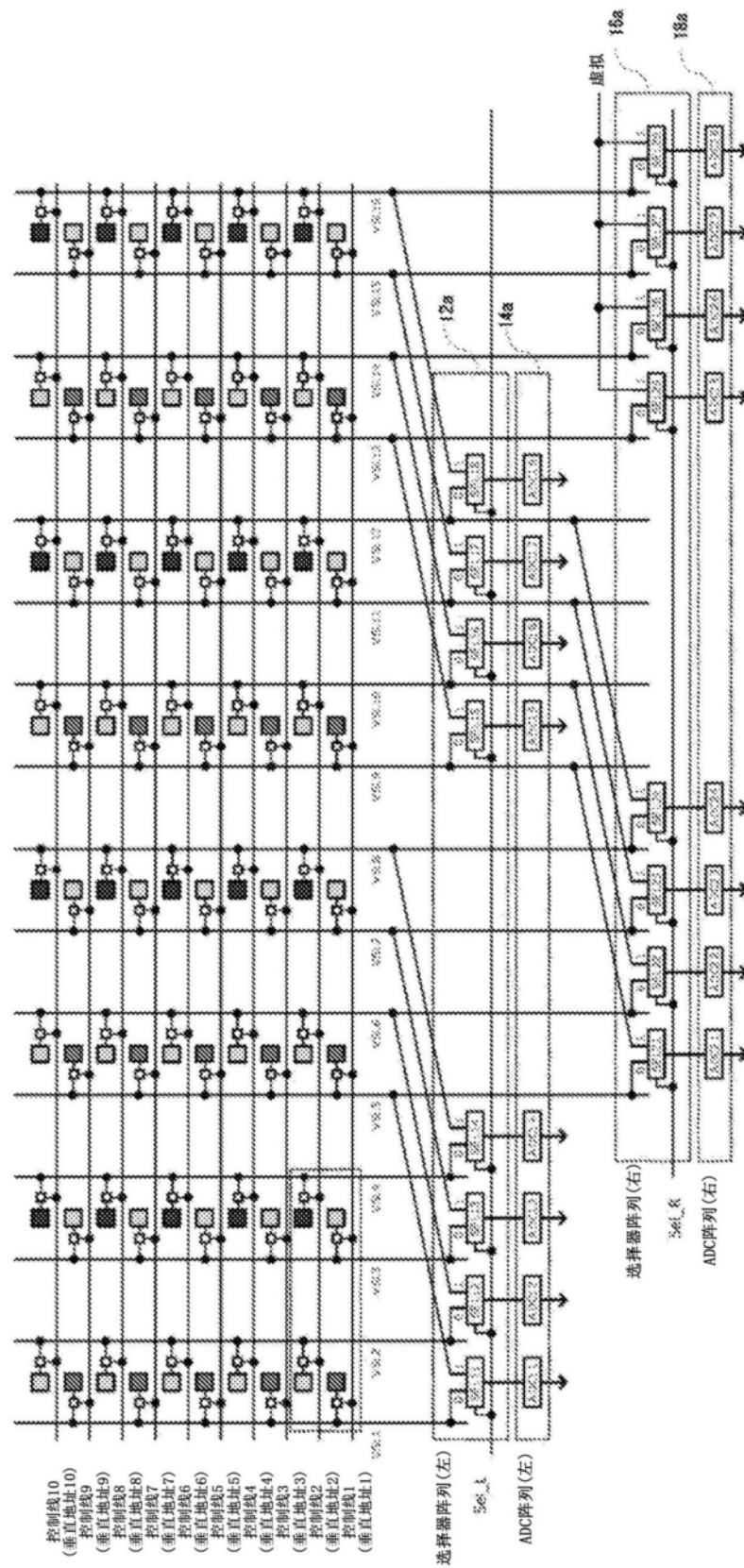


图17

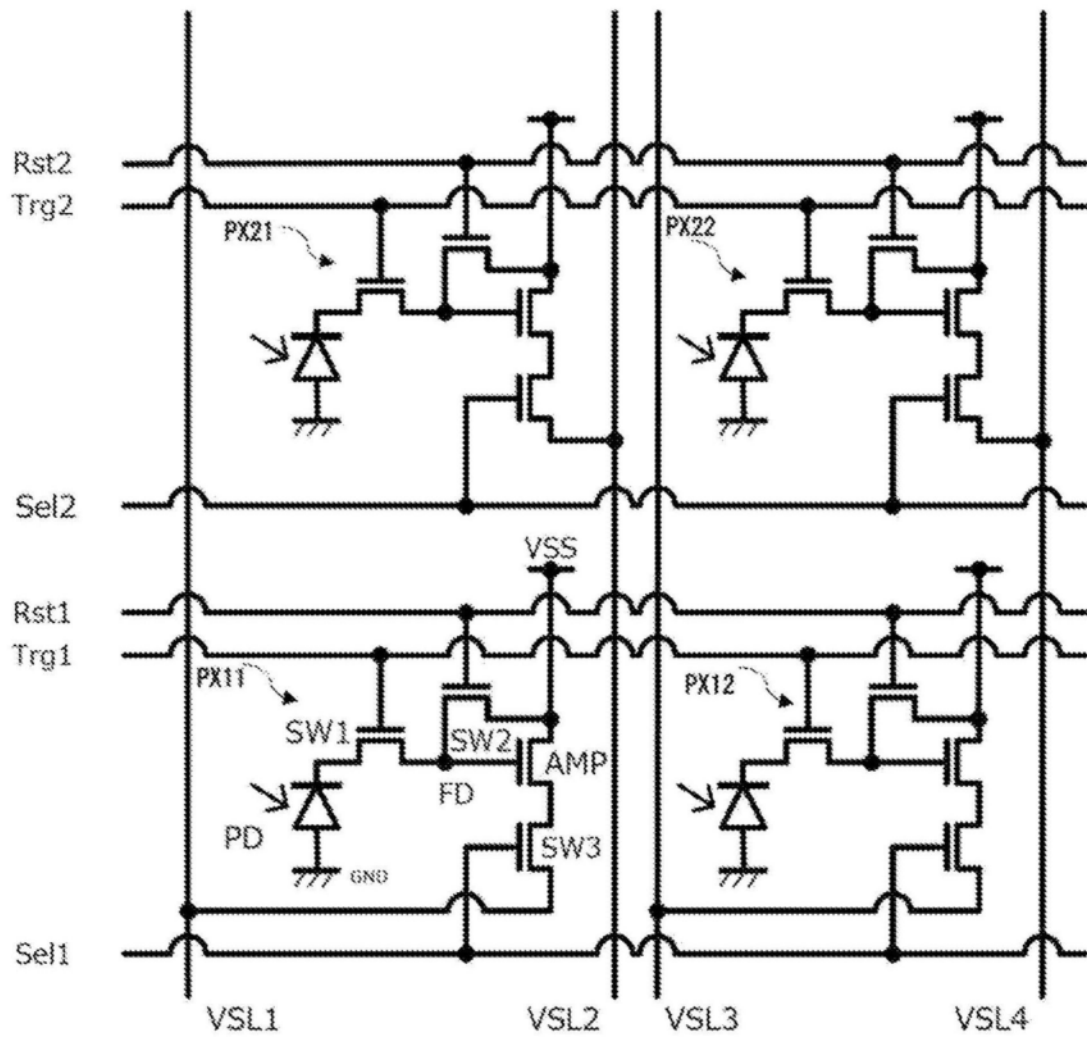


图18

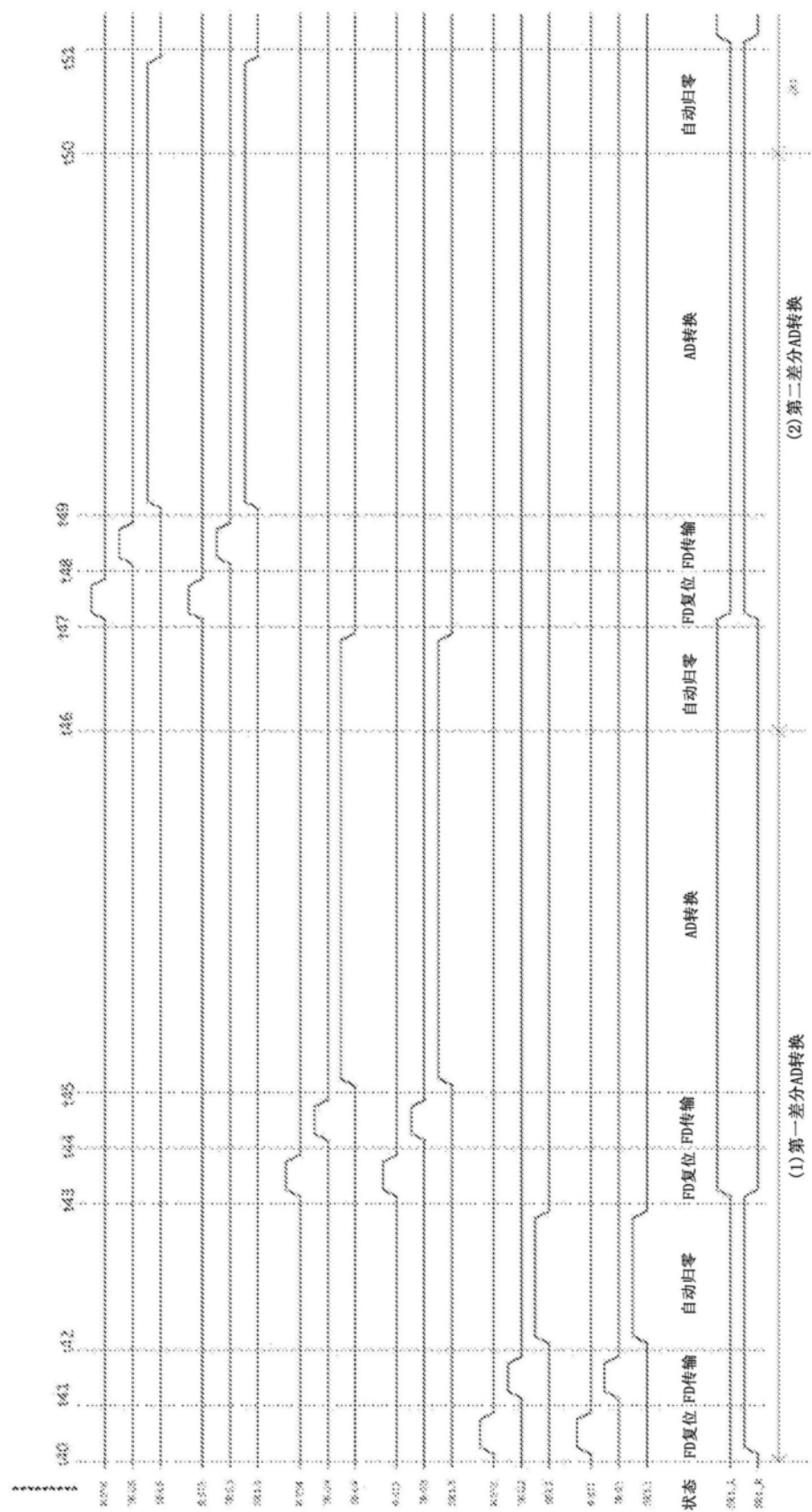


图19

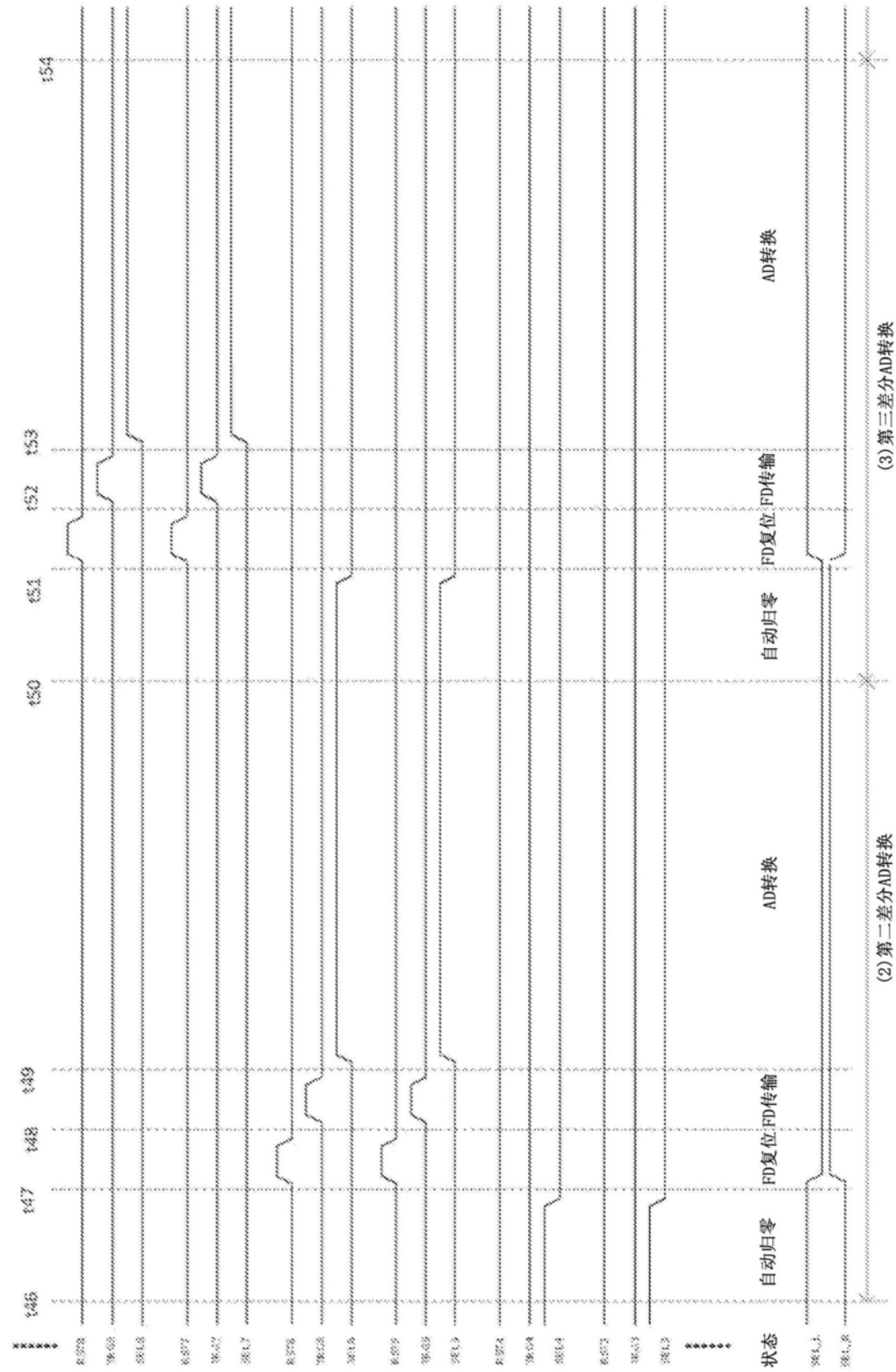


图20

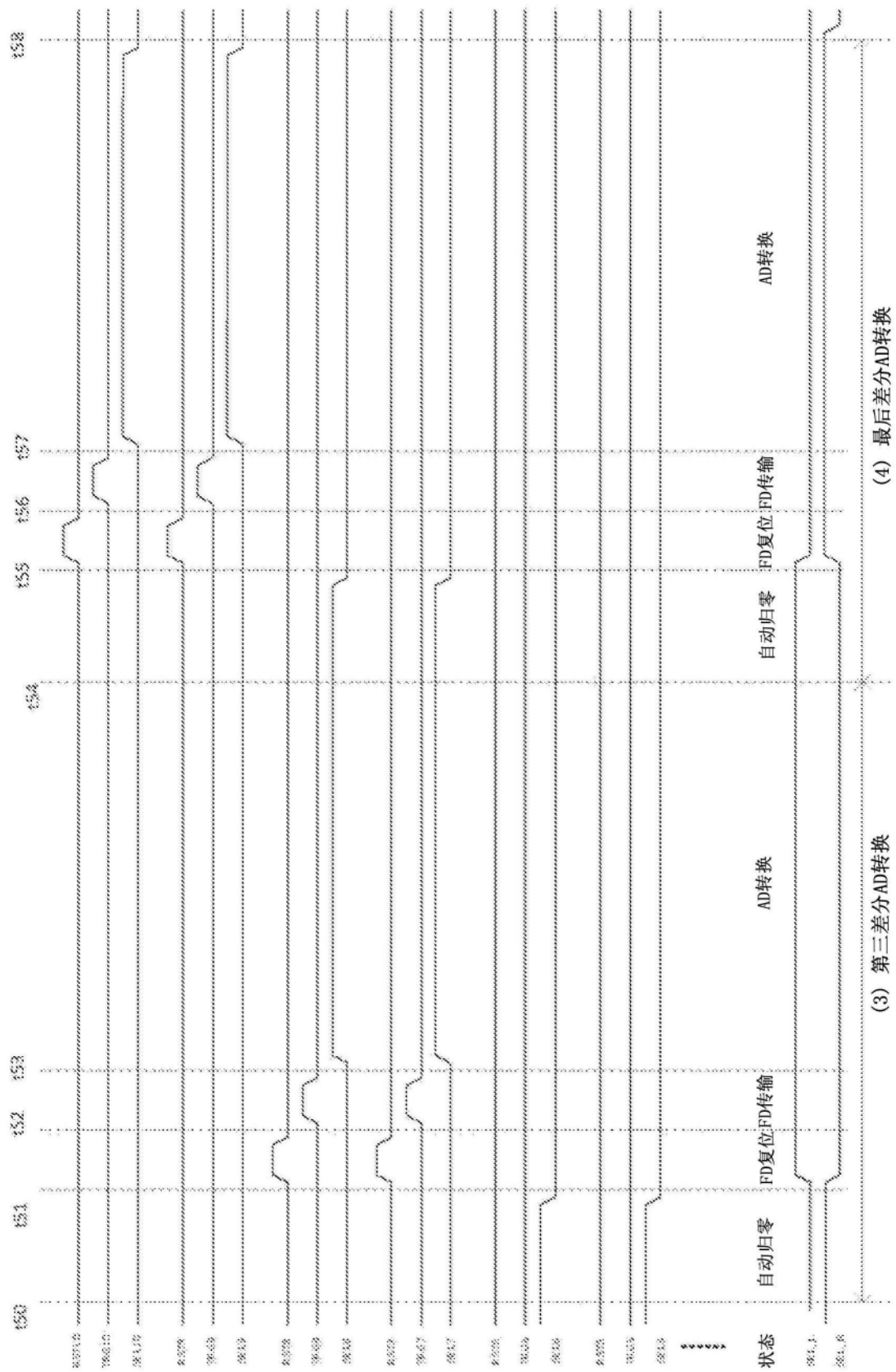


图21

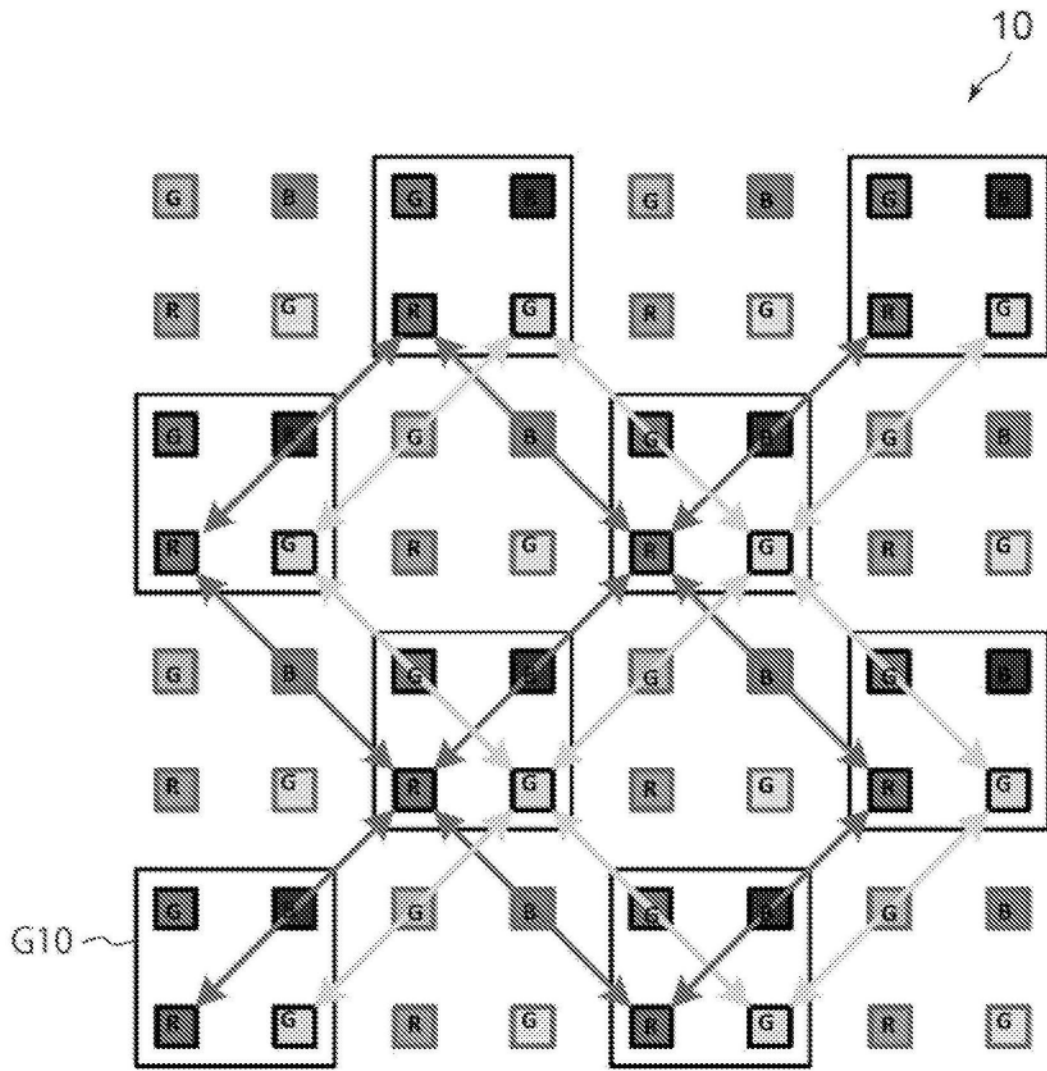


图22

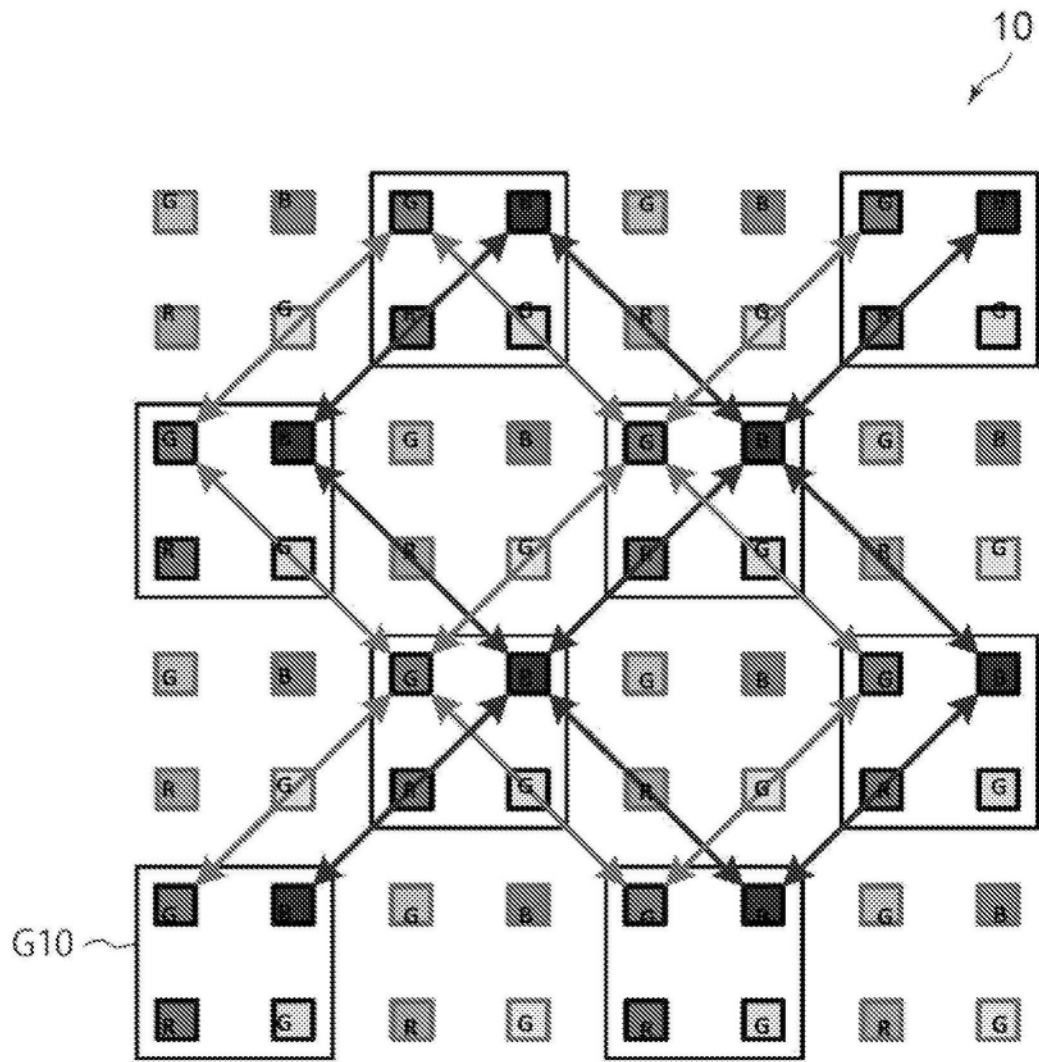


图23

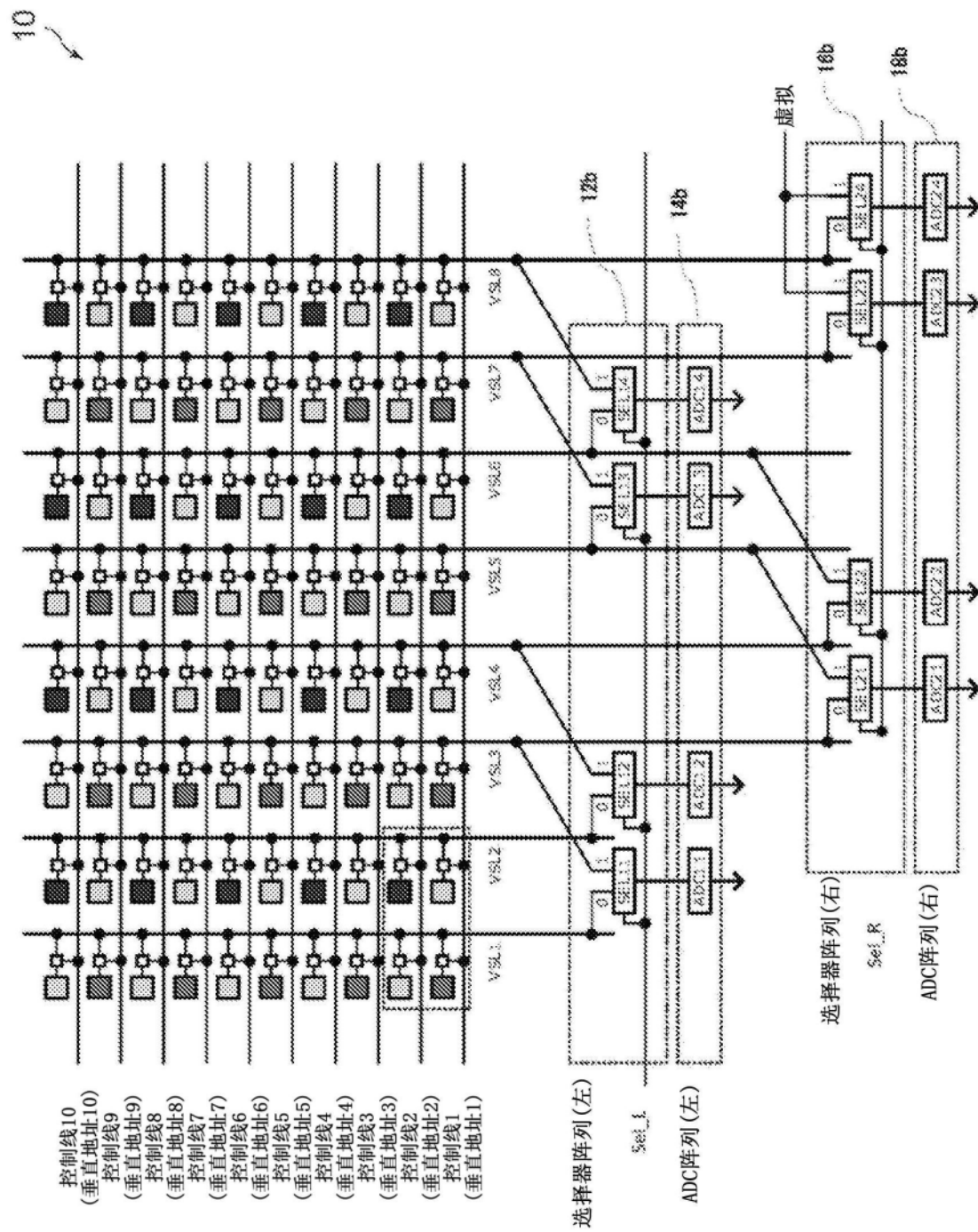


图24

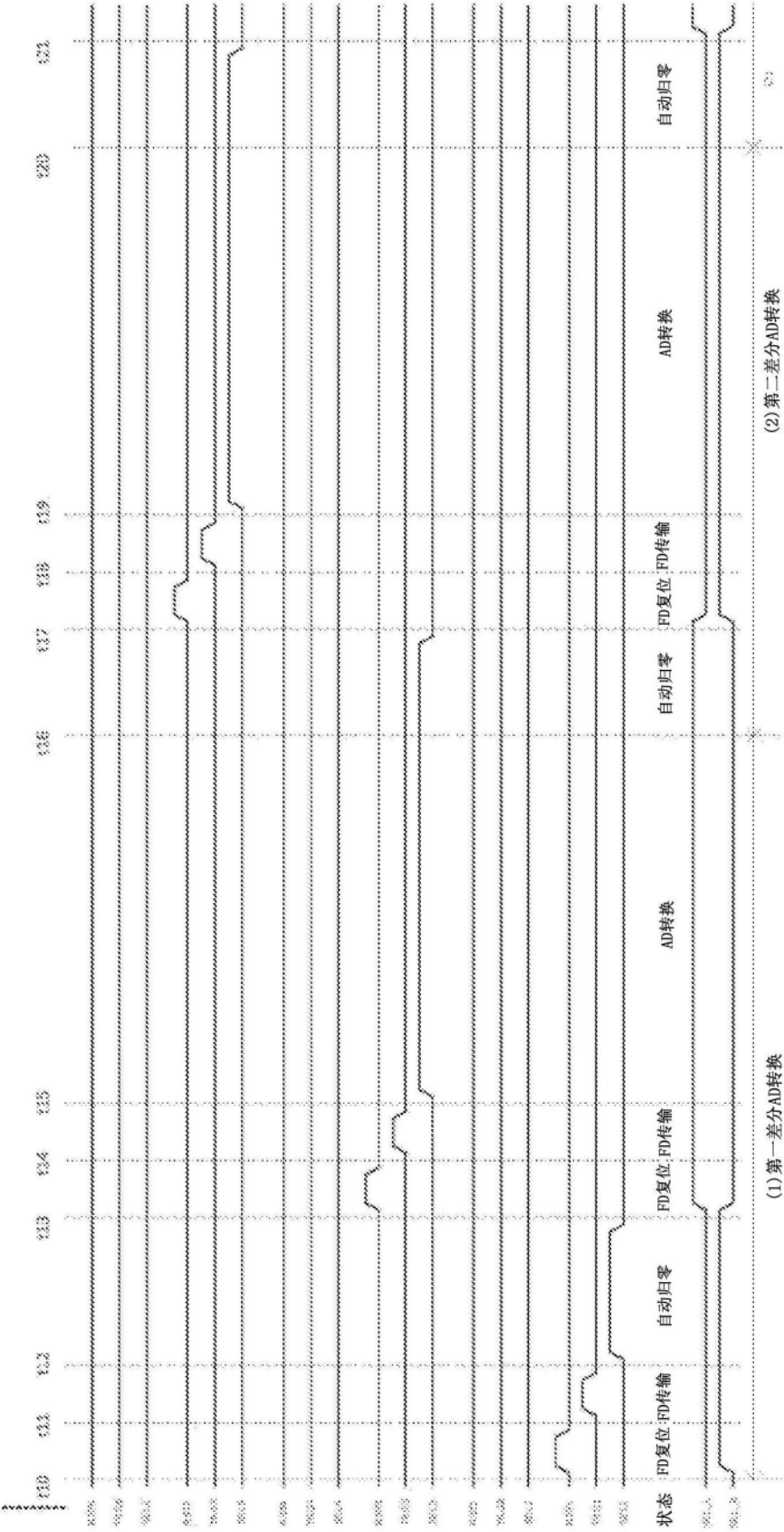


图25

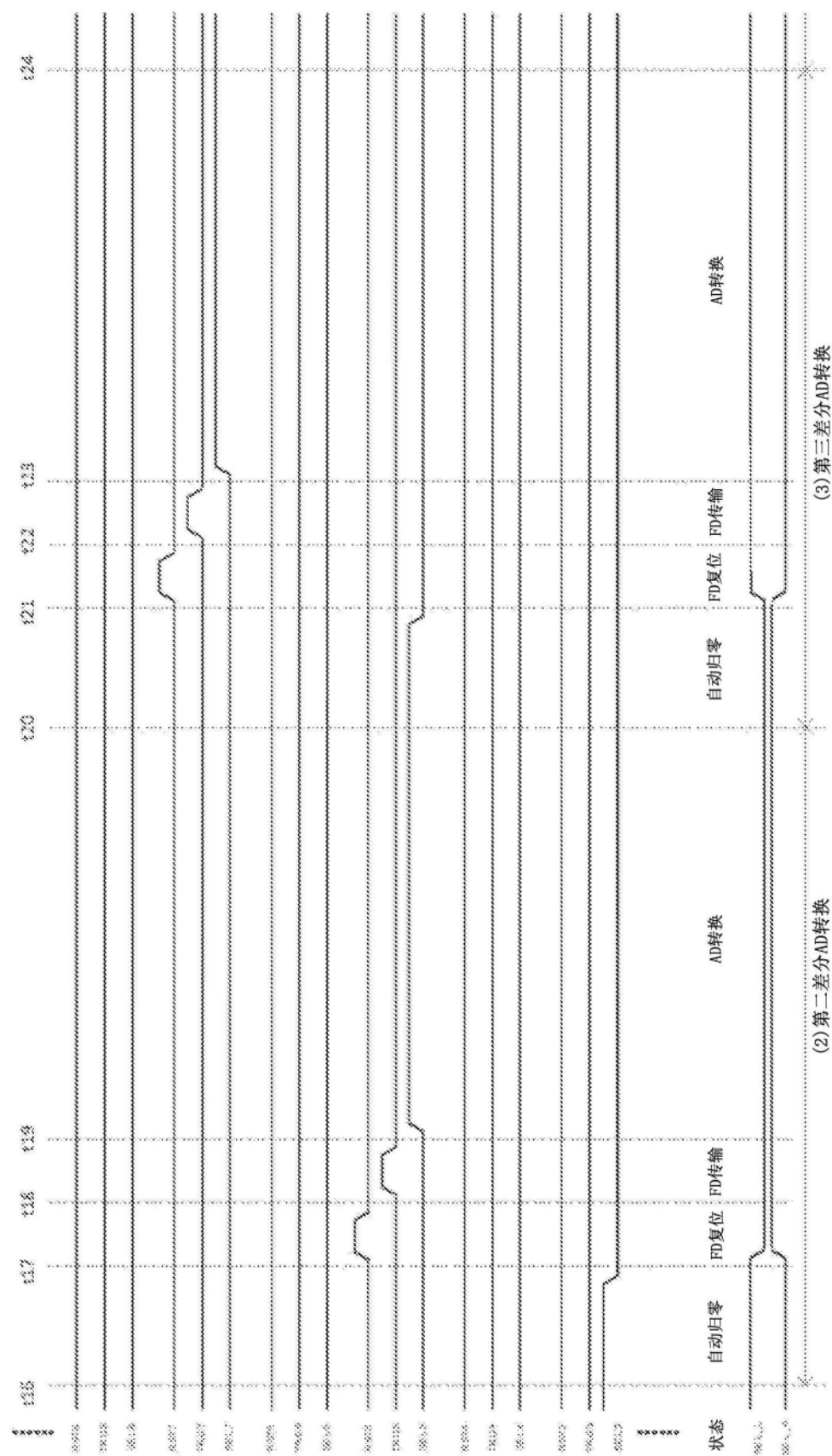


图26

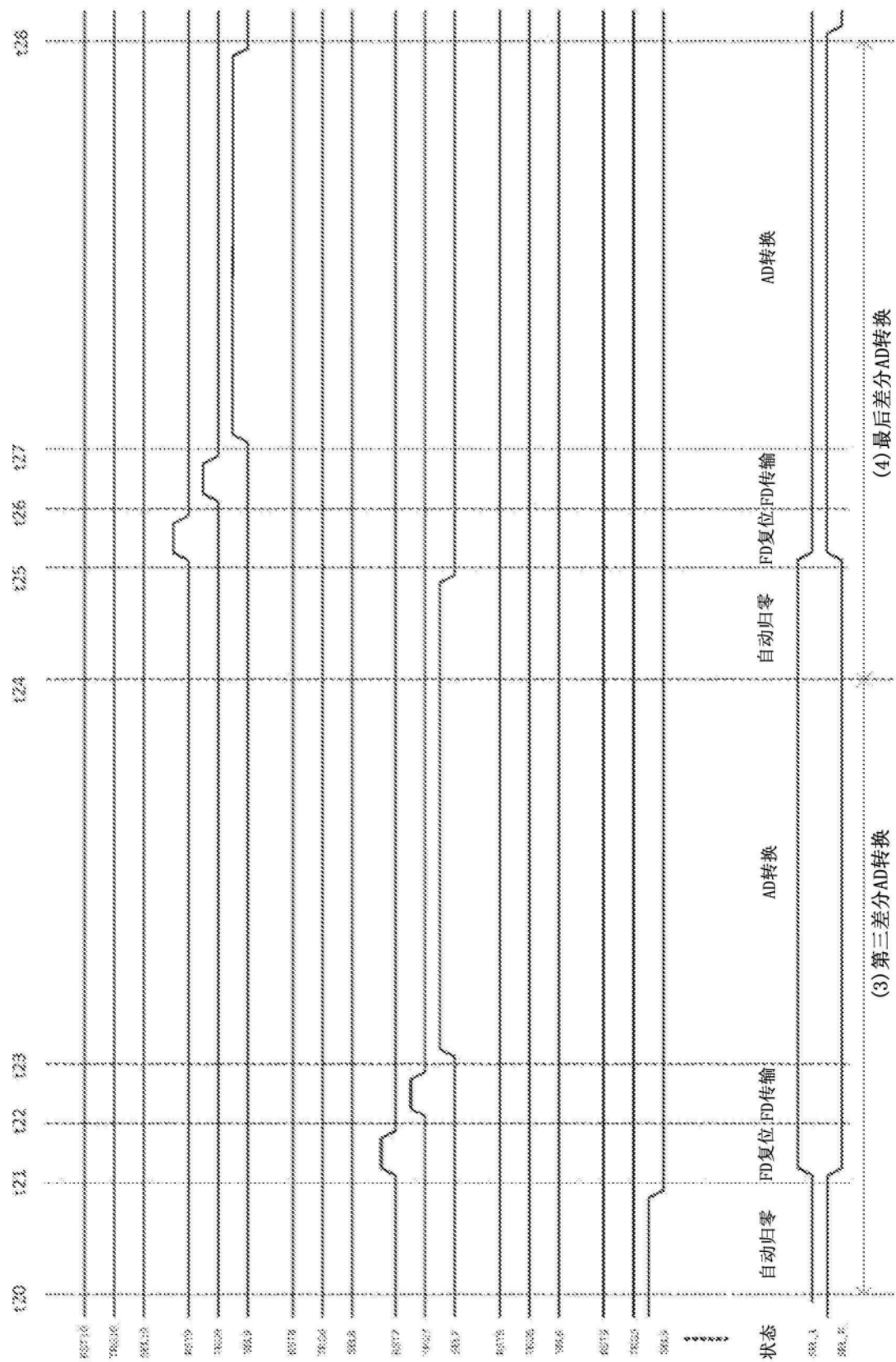


图27

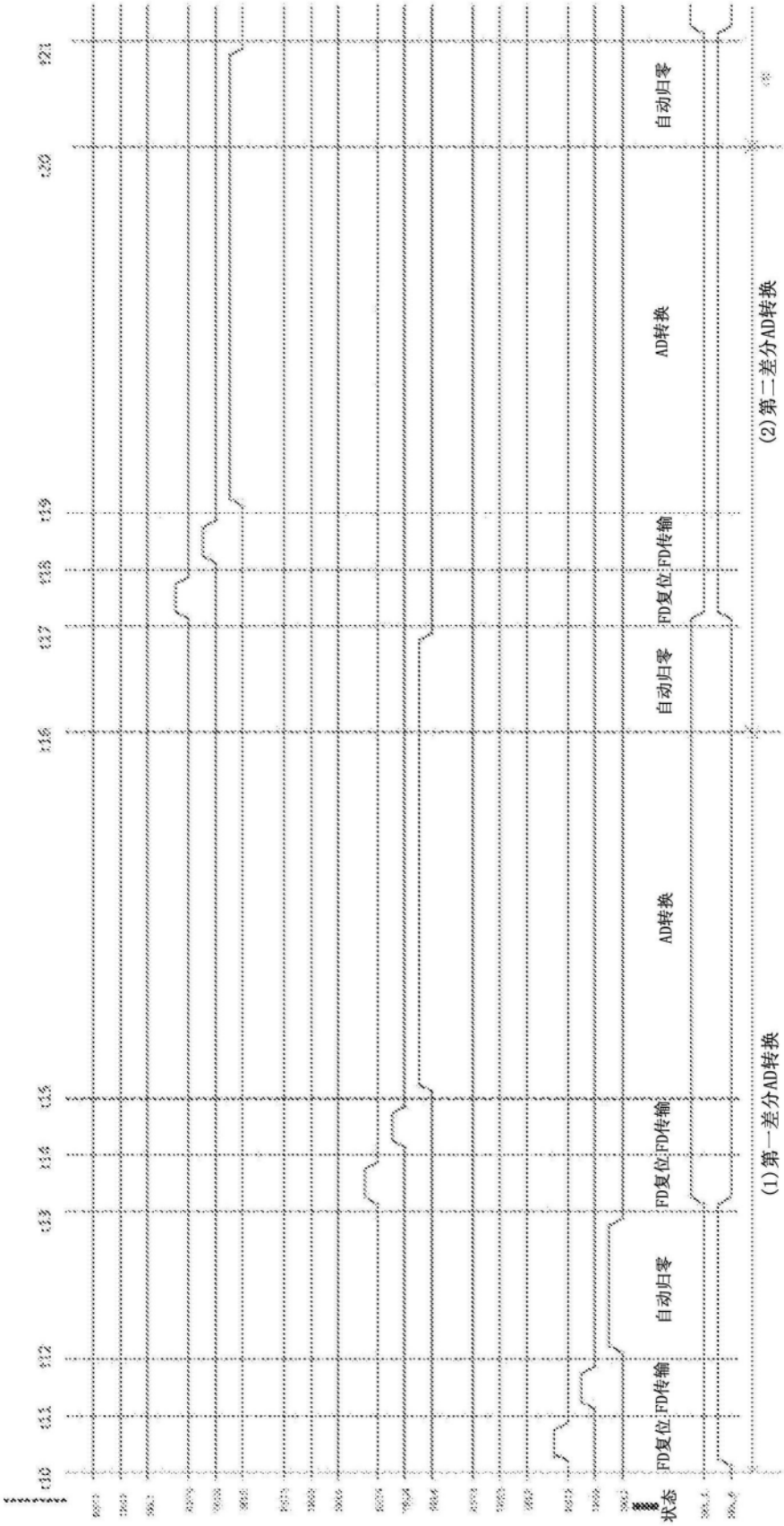


图28

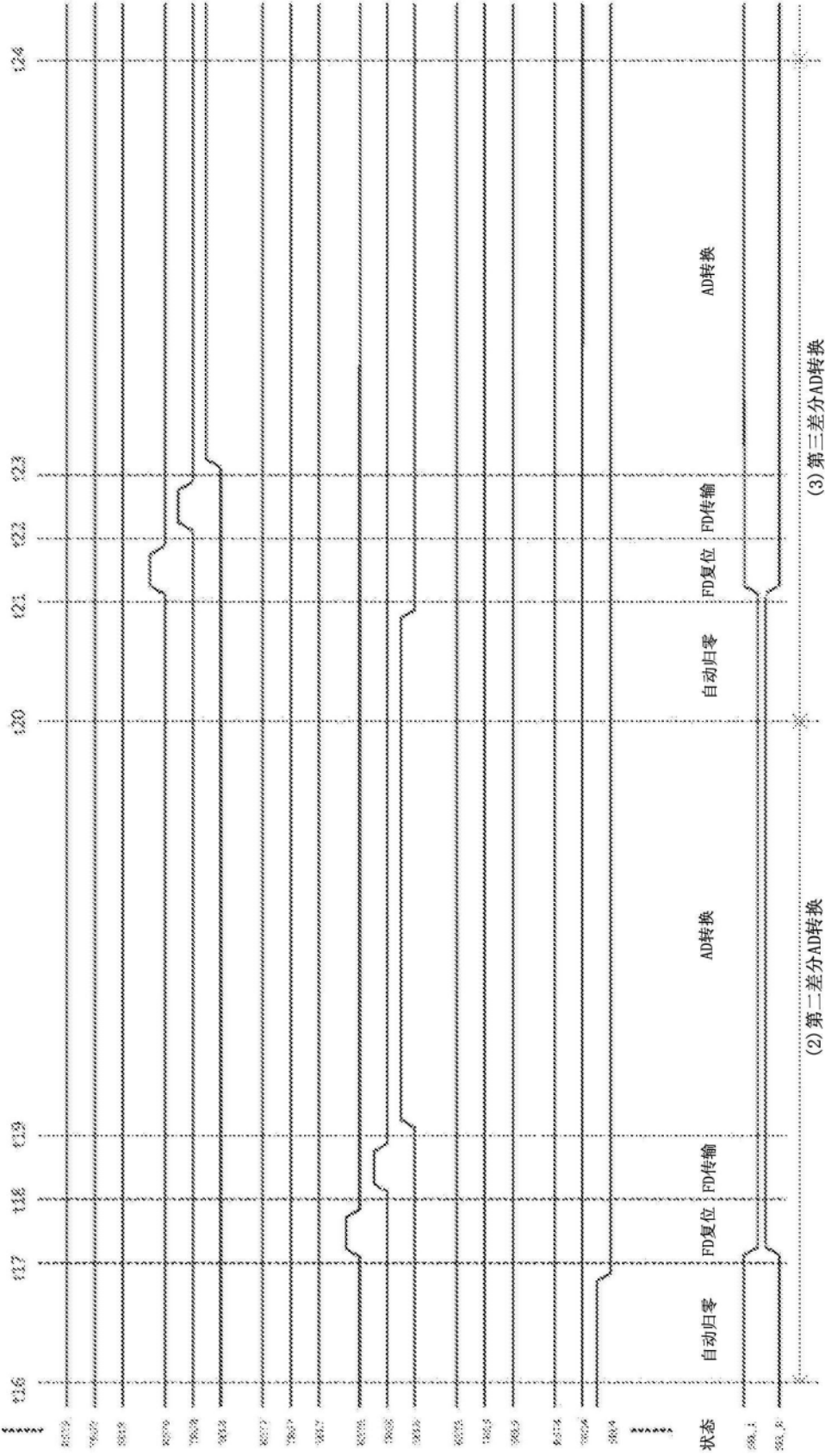


图29

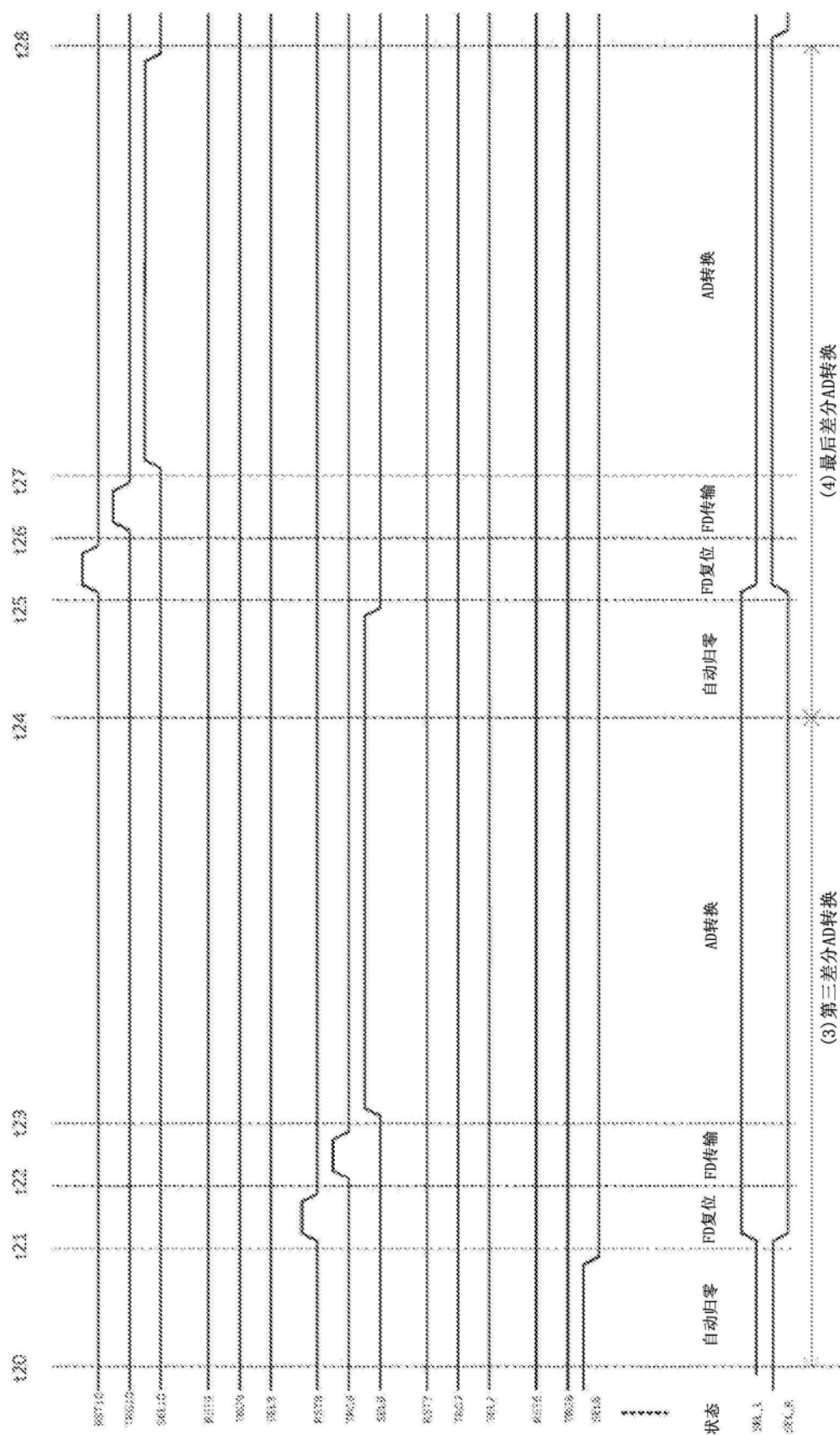


图30

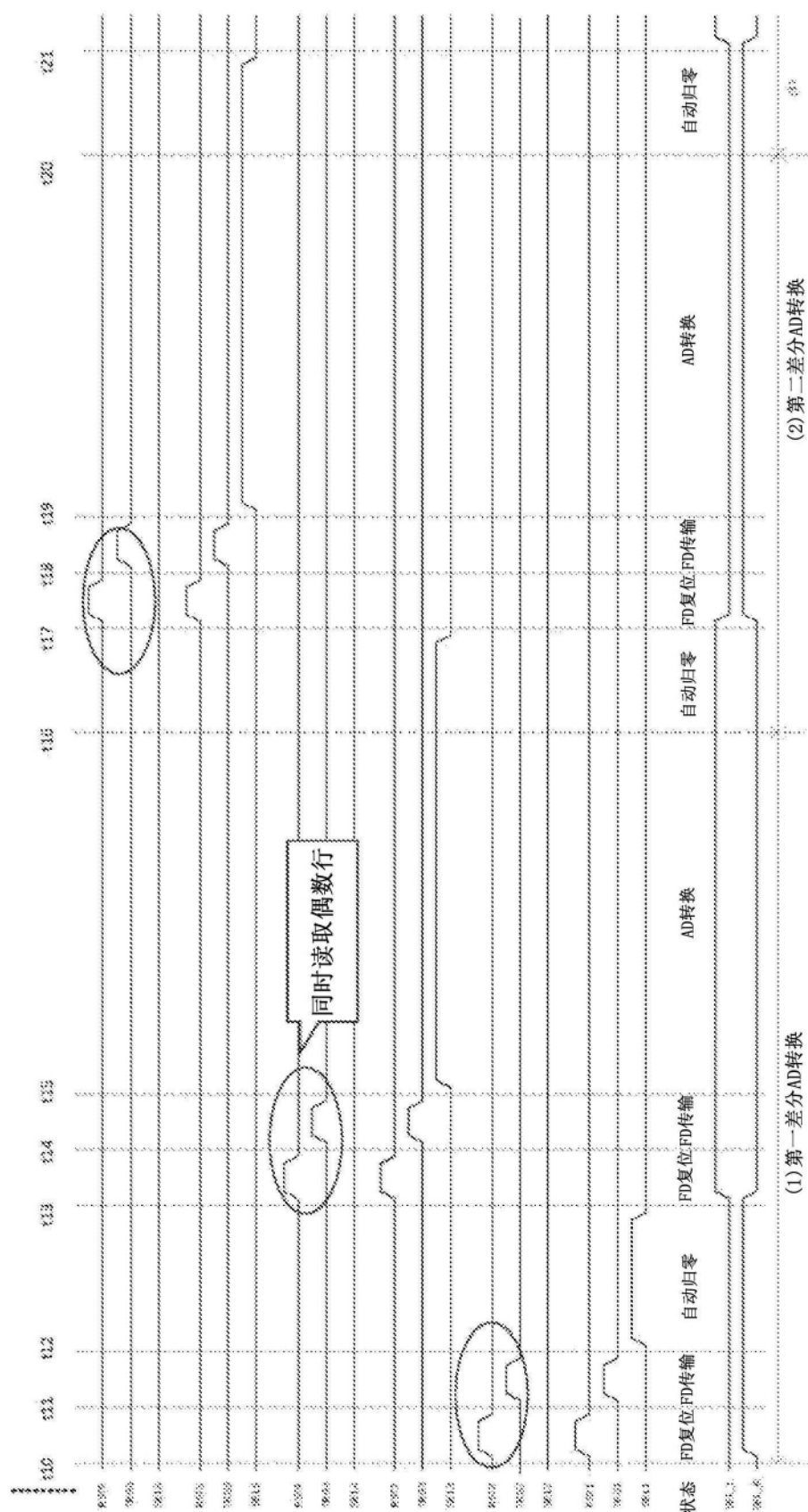


图31

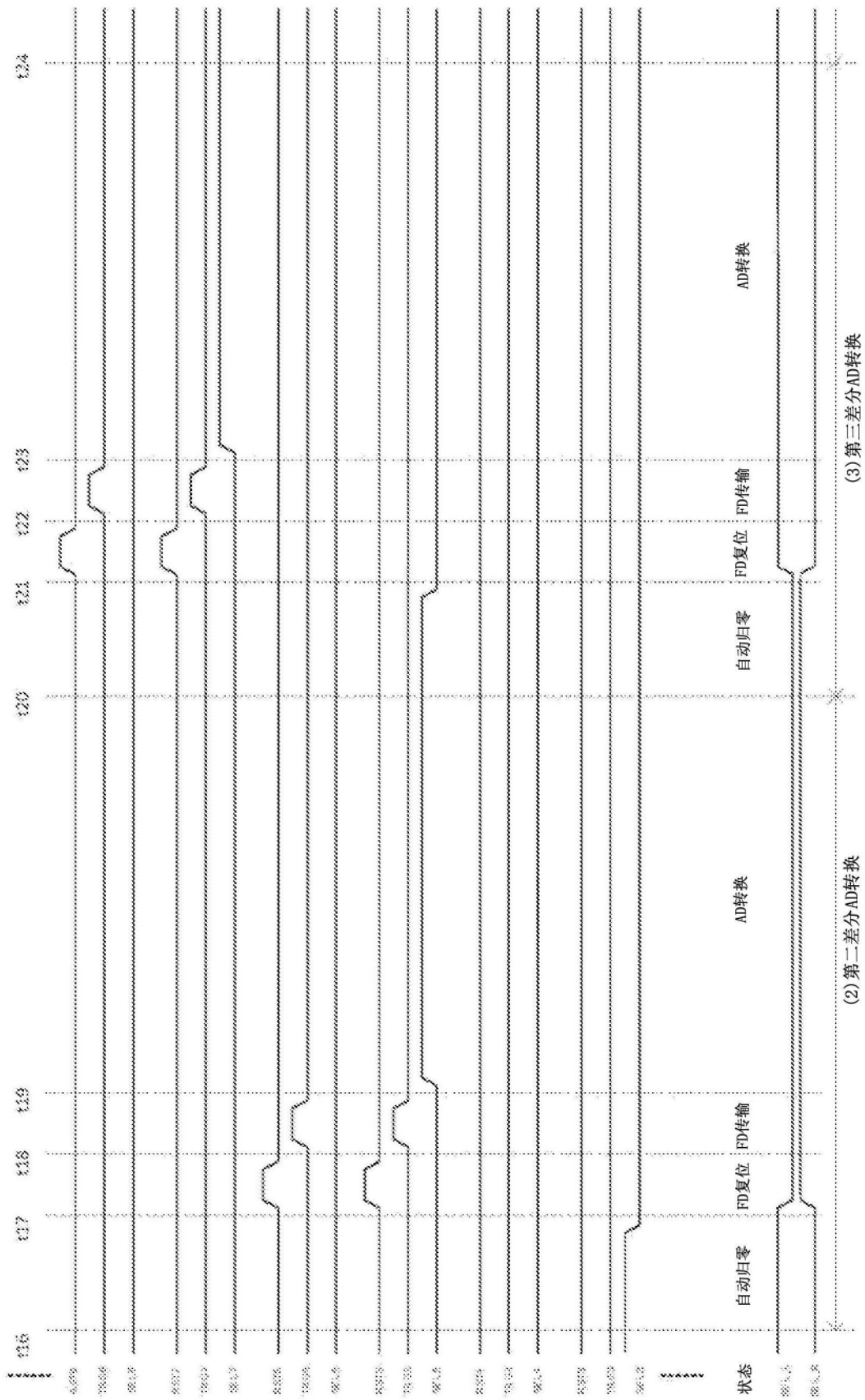


图32

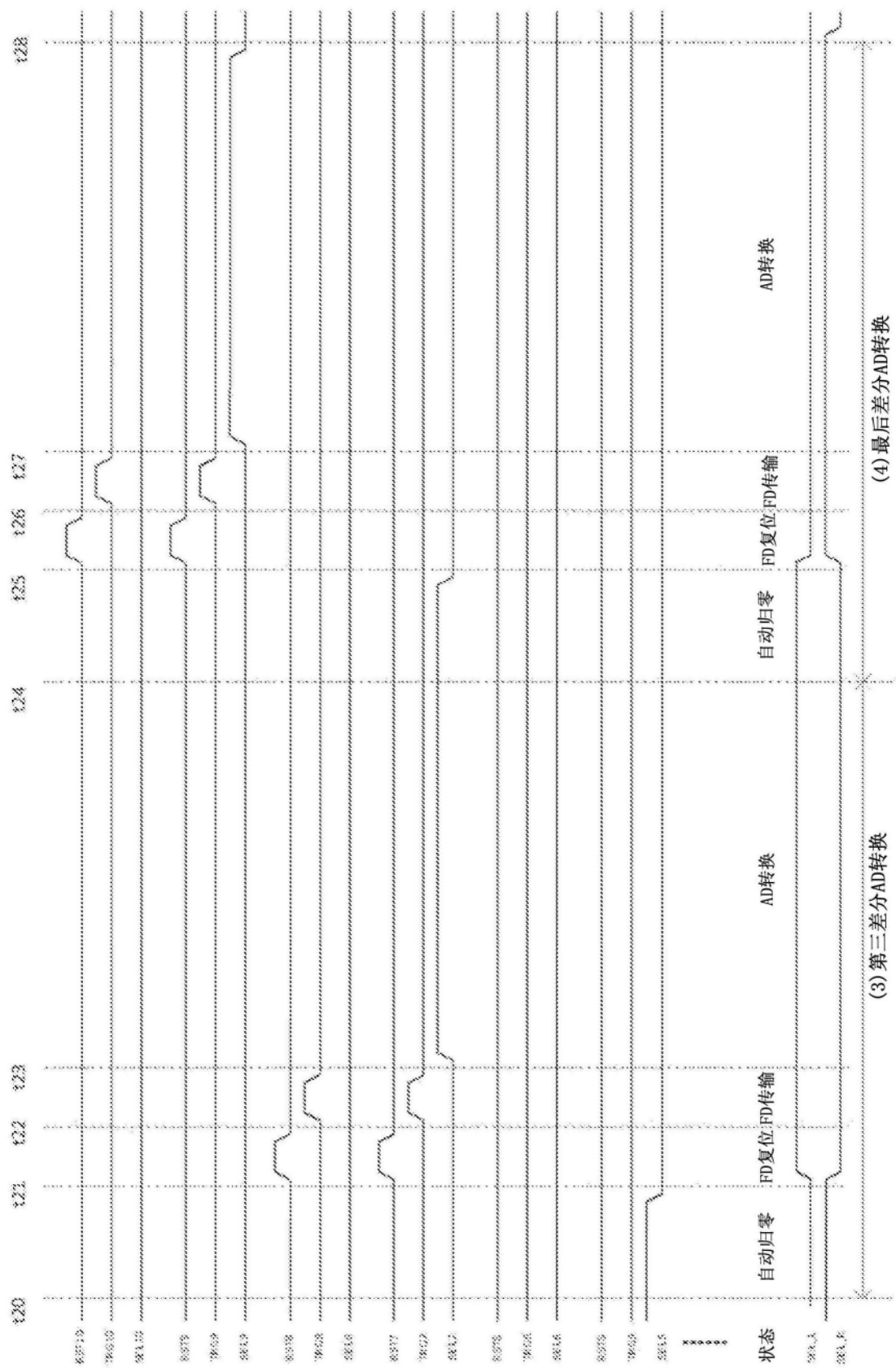


图33

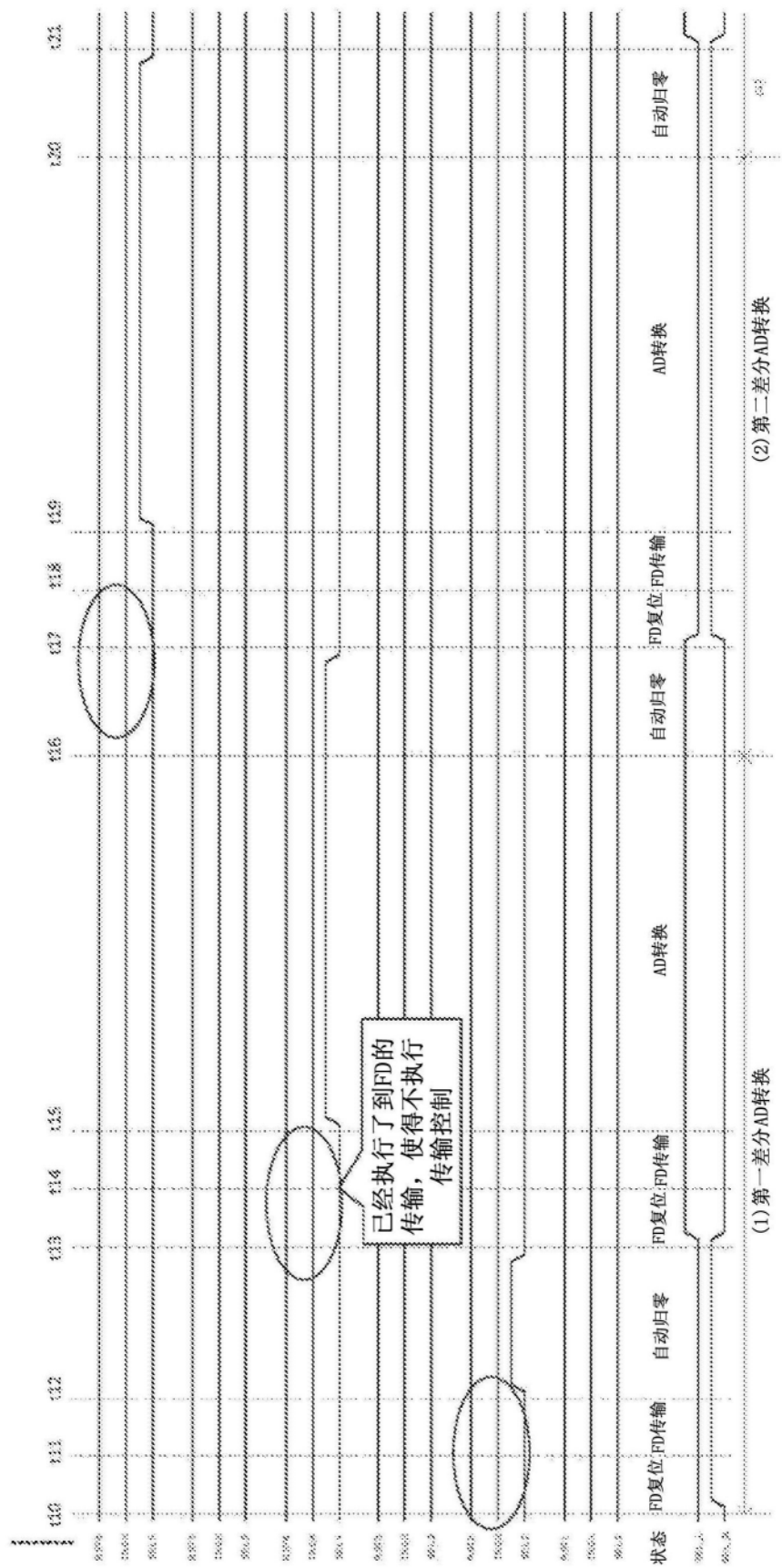


图34

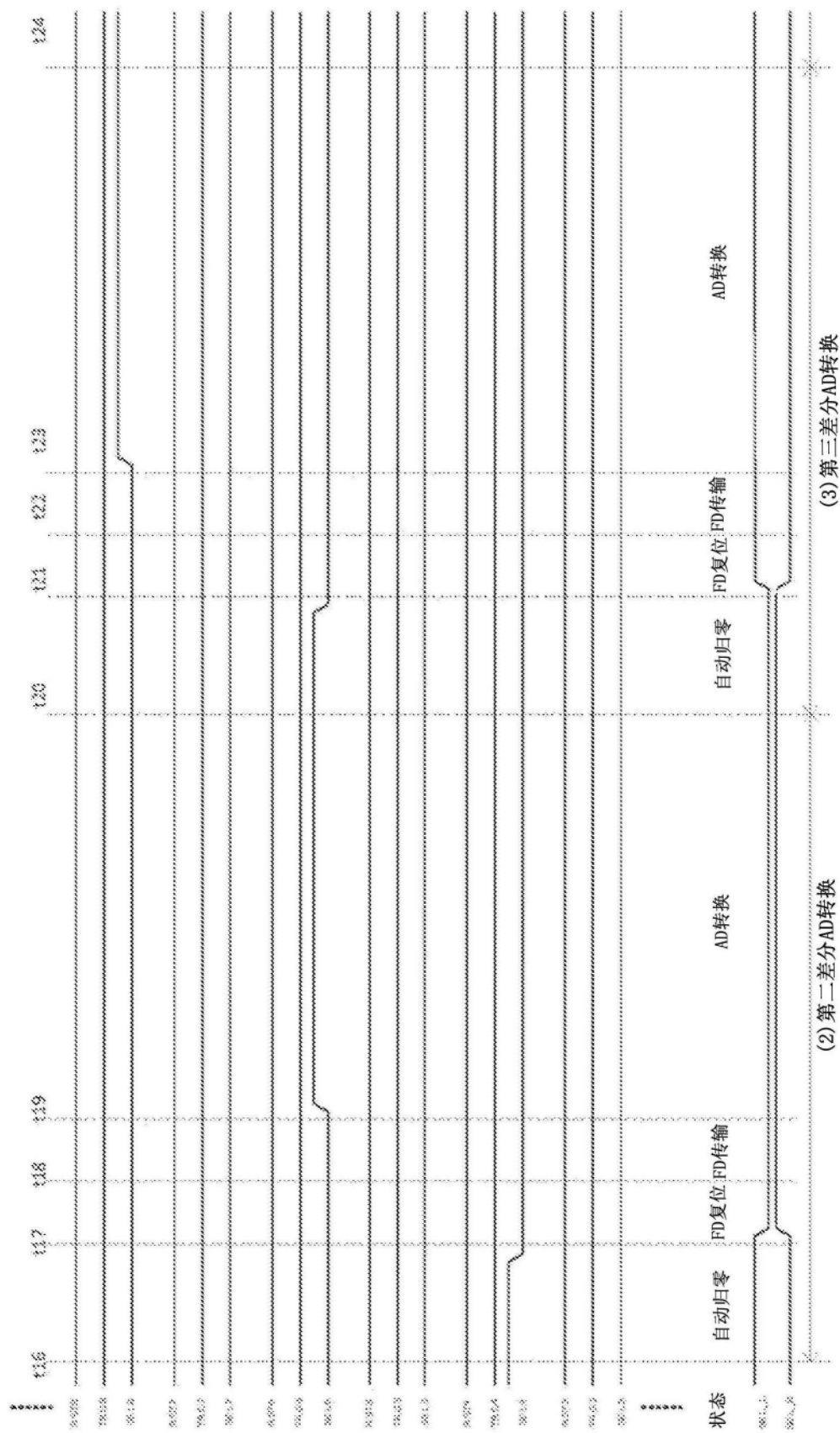


图35

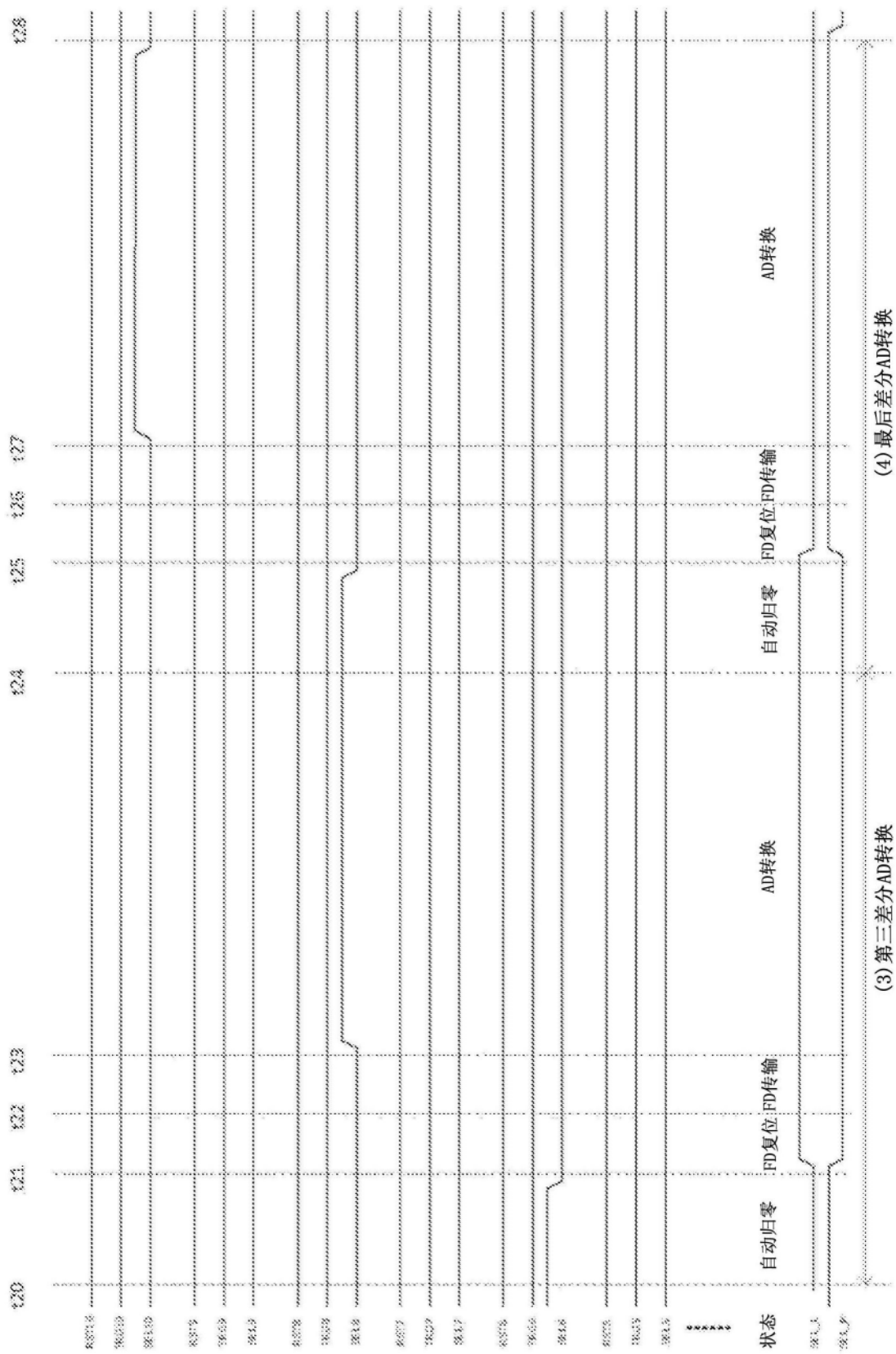


图36

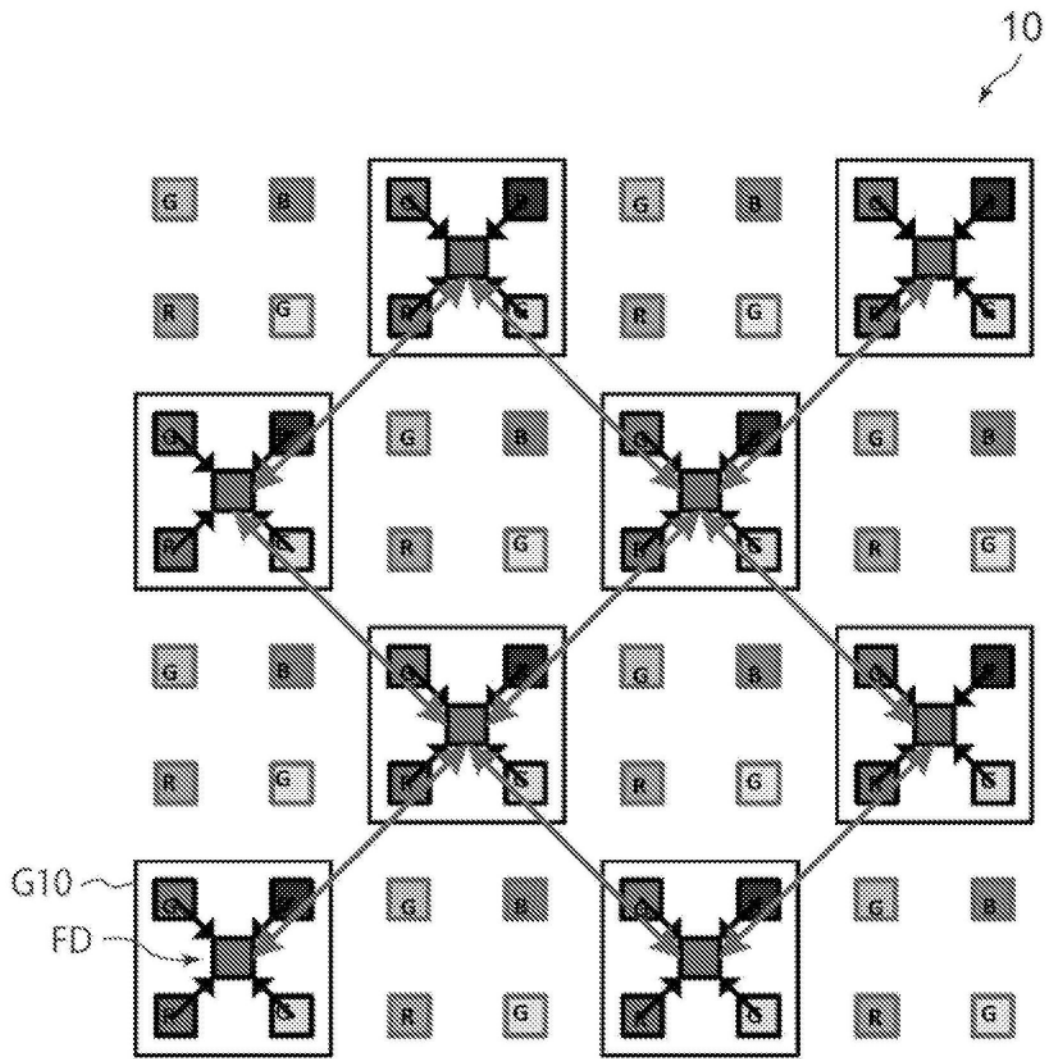


图37

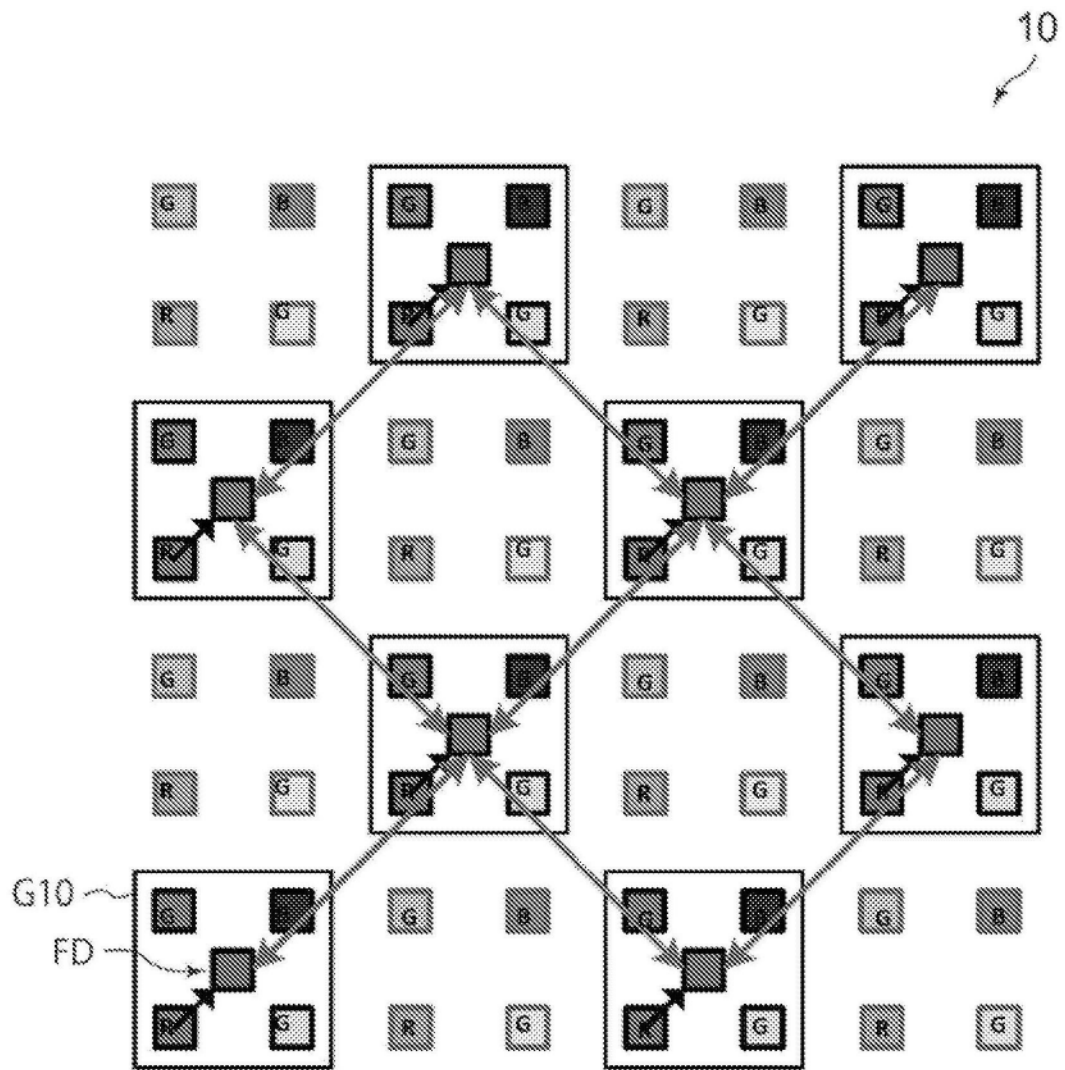


图38

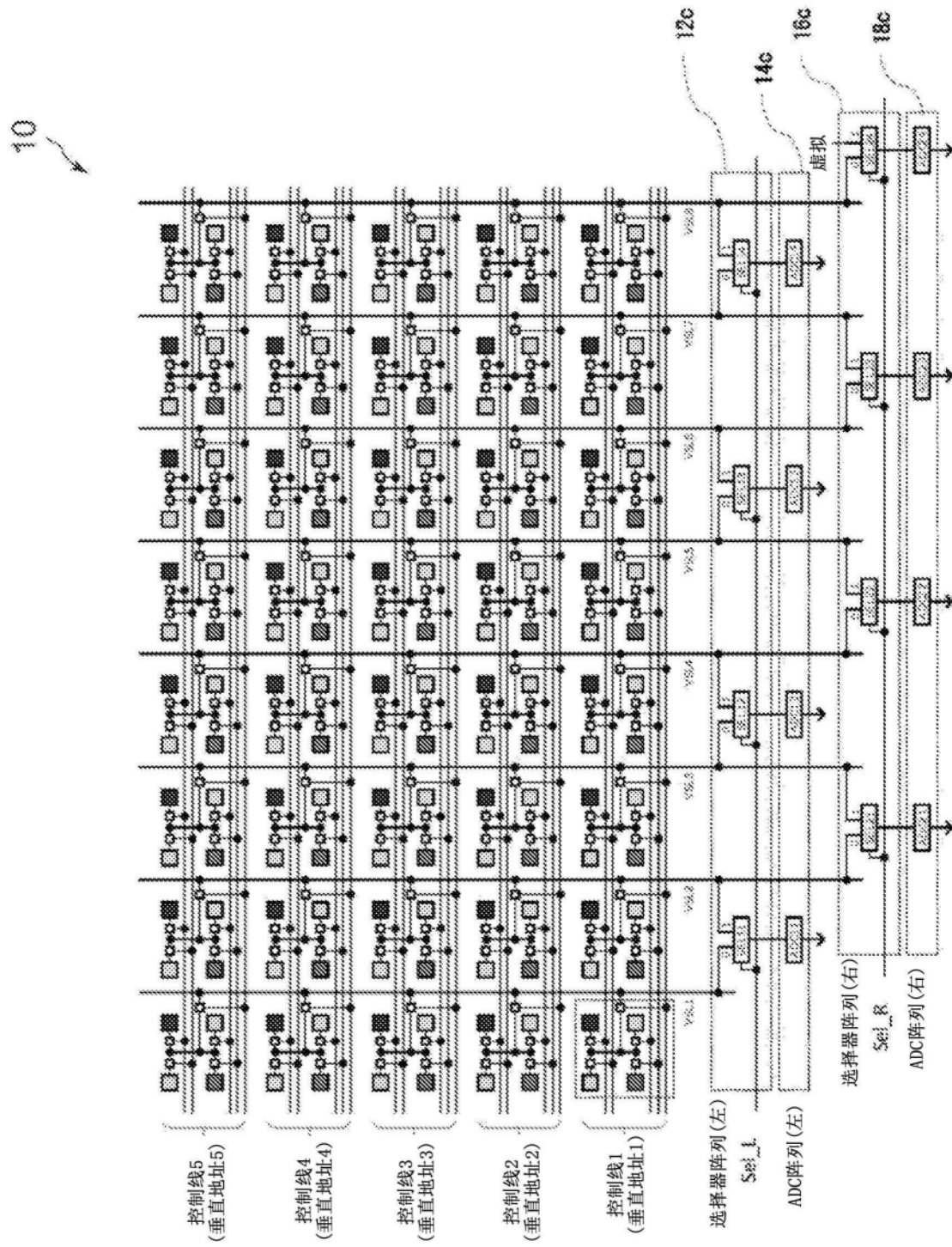


图39

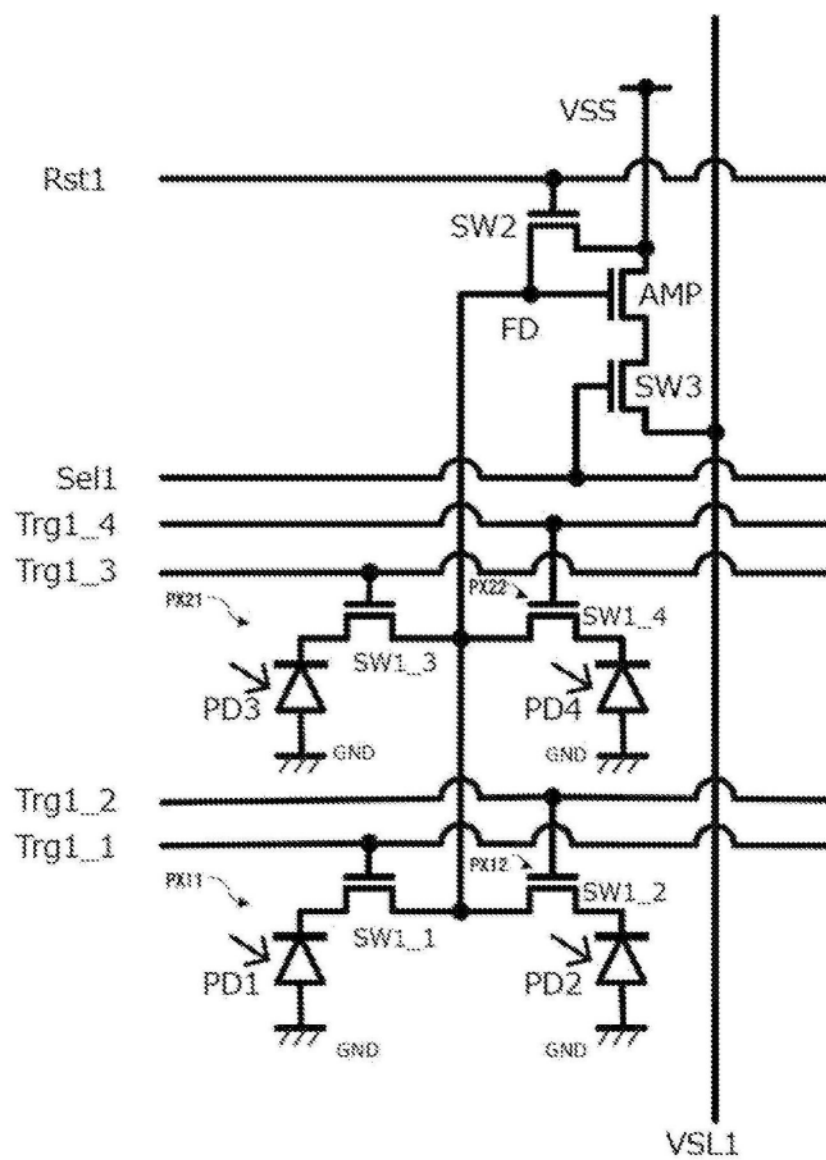


图40

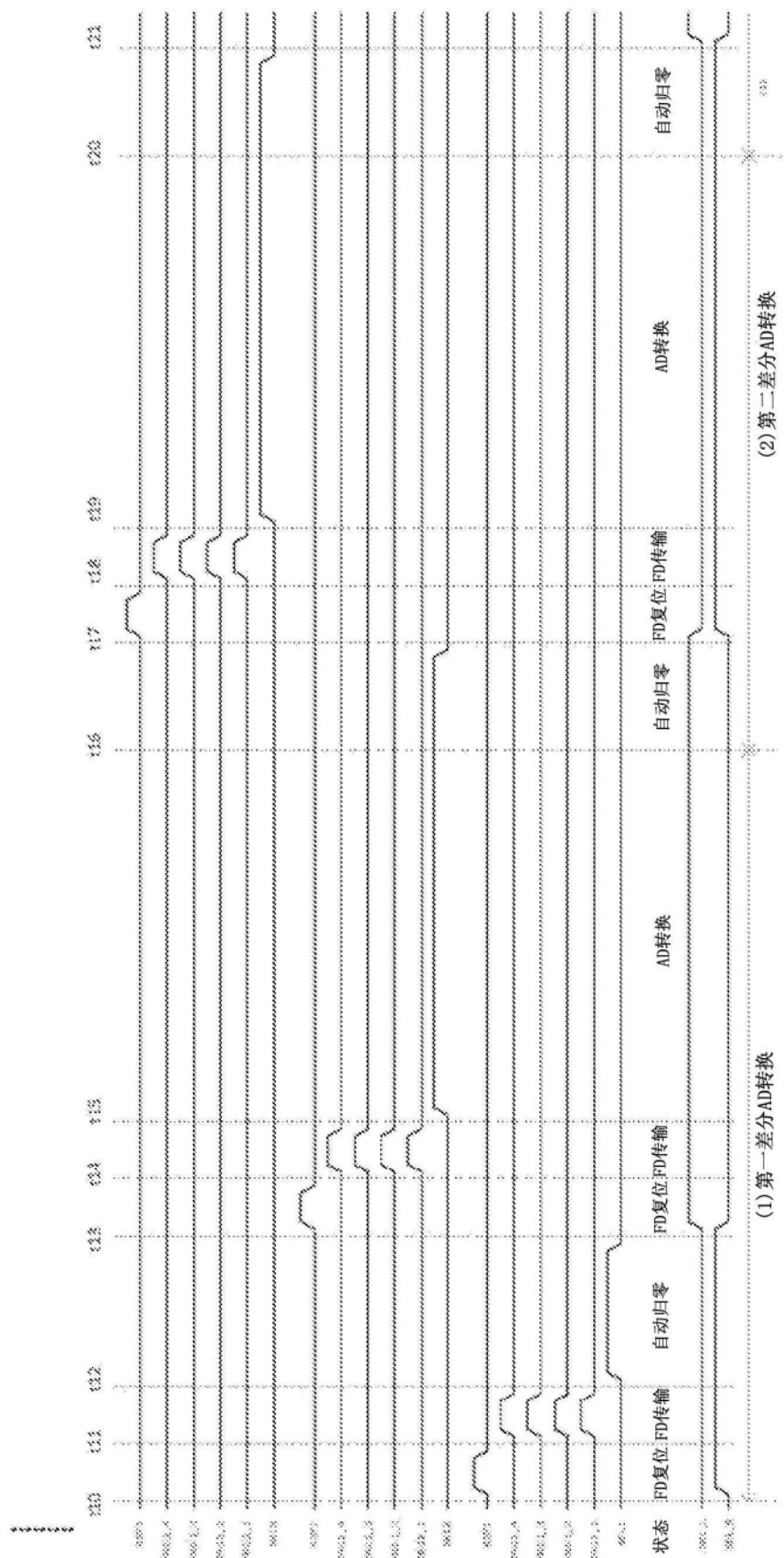


图41

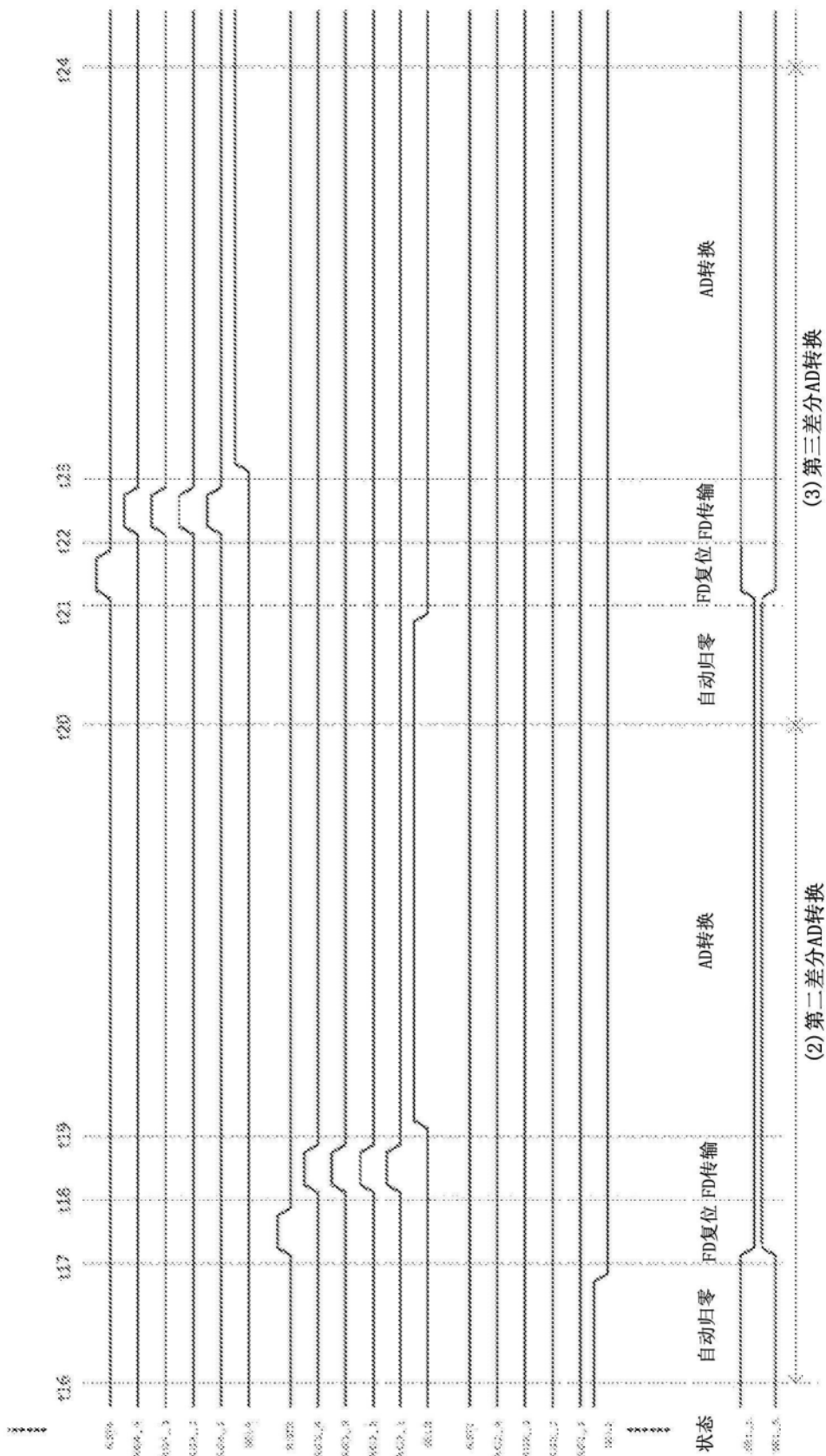


图42

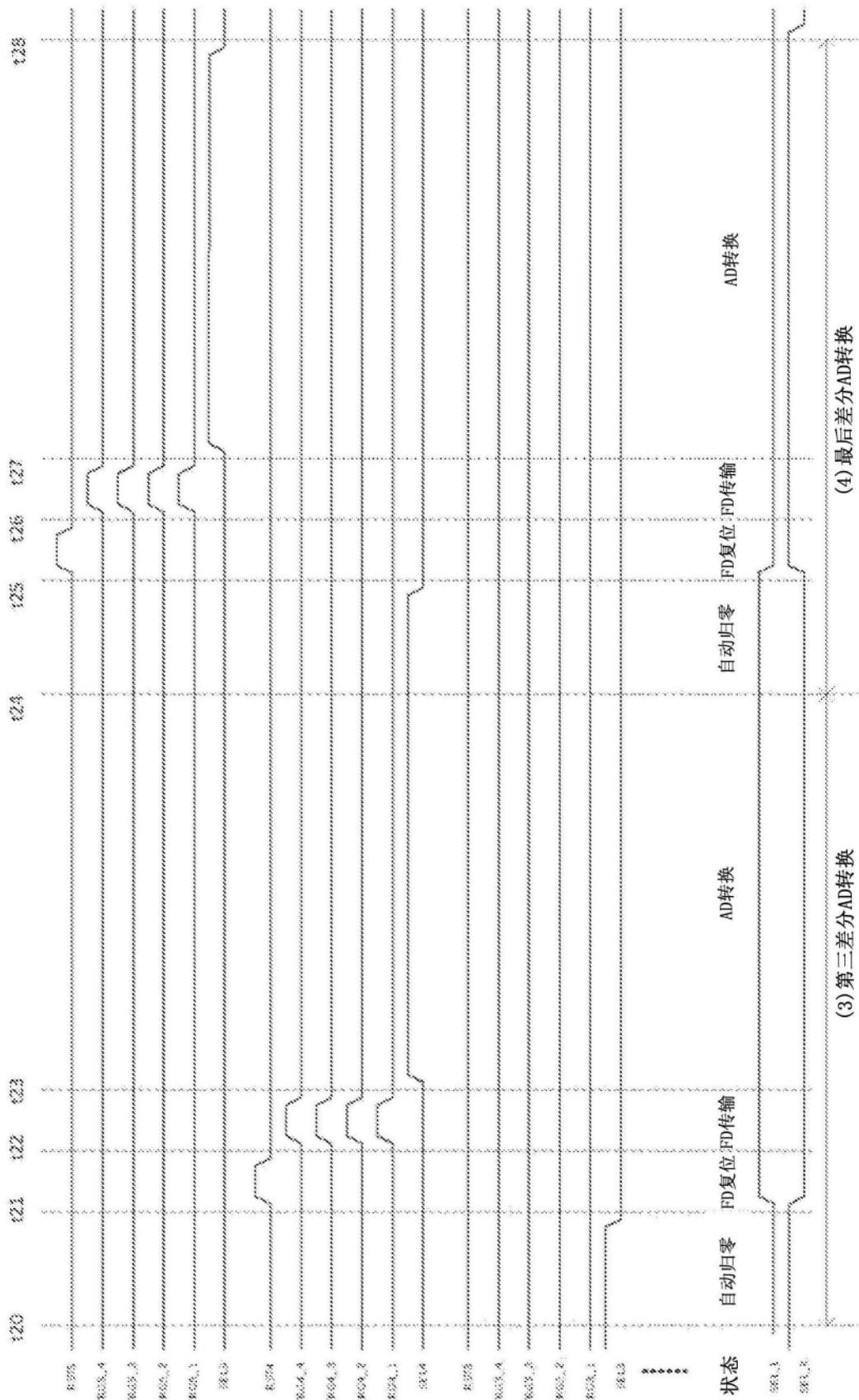


图43

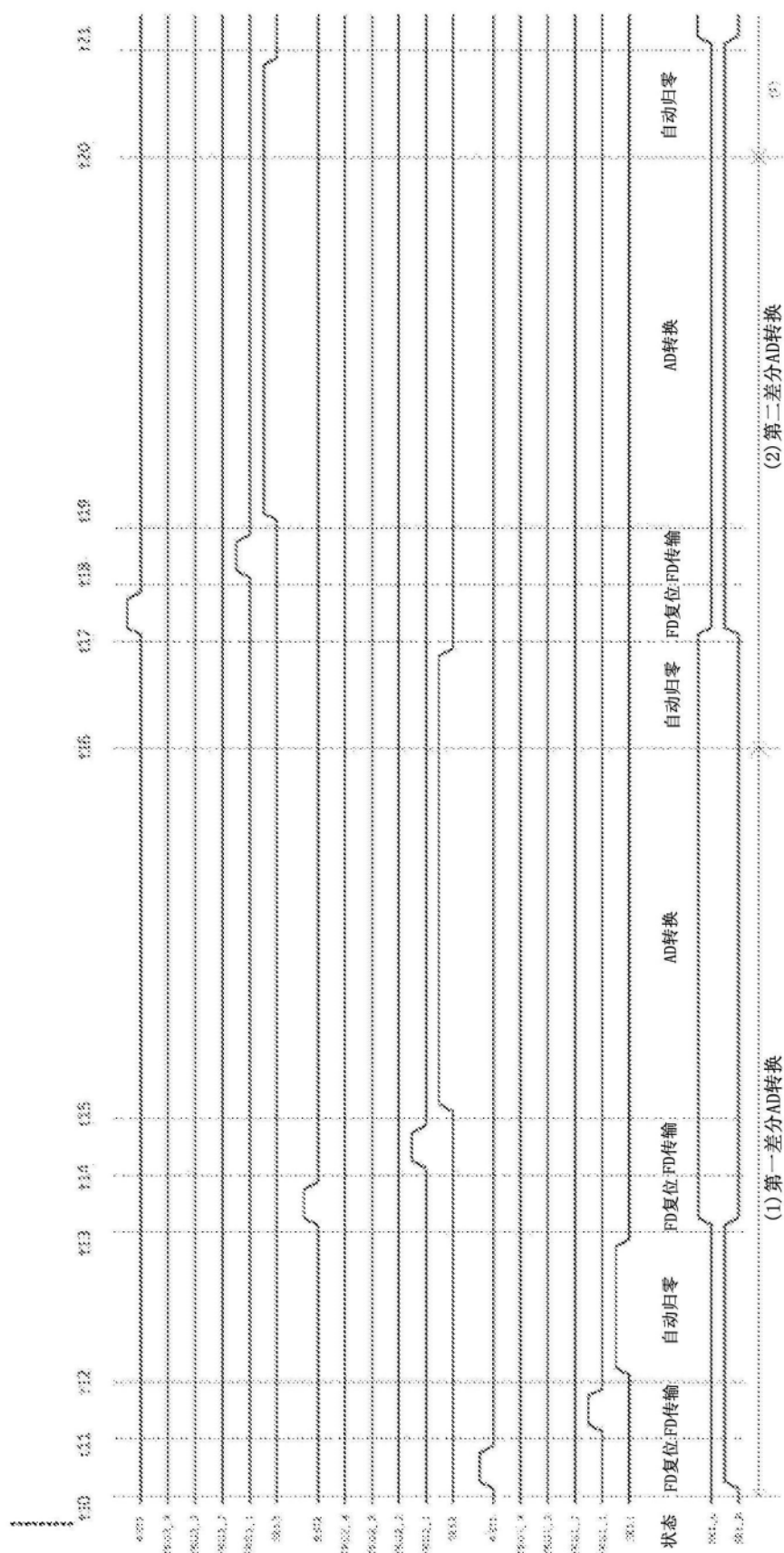


图44

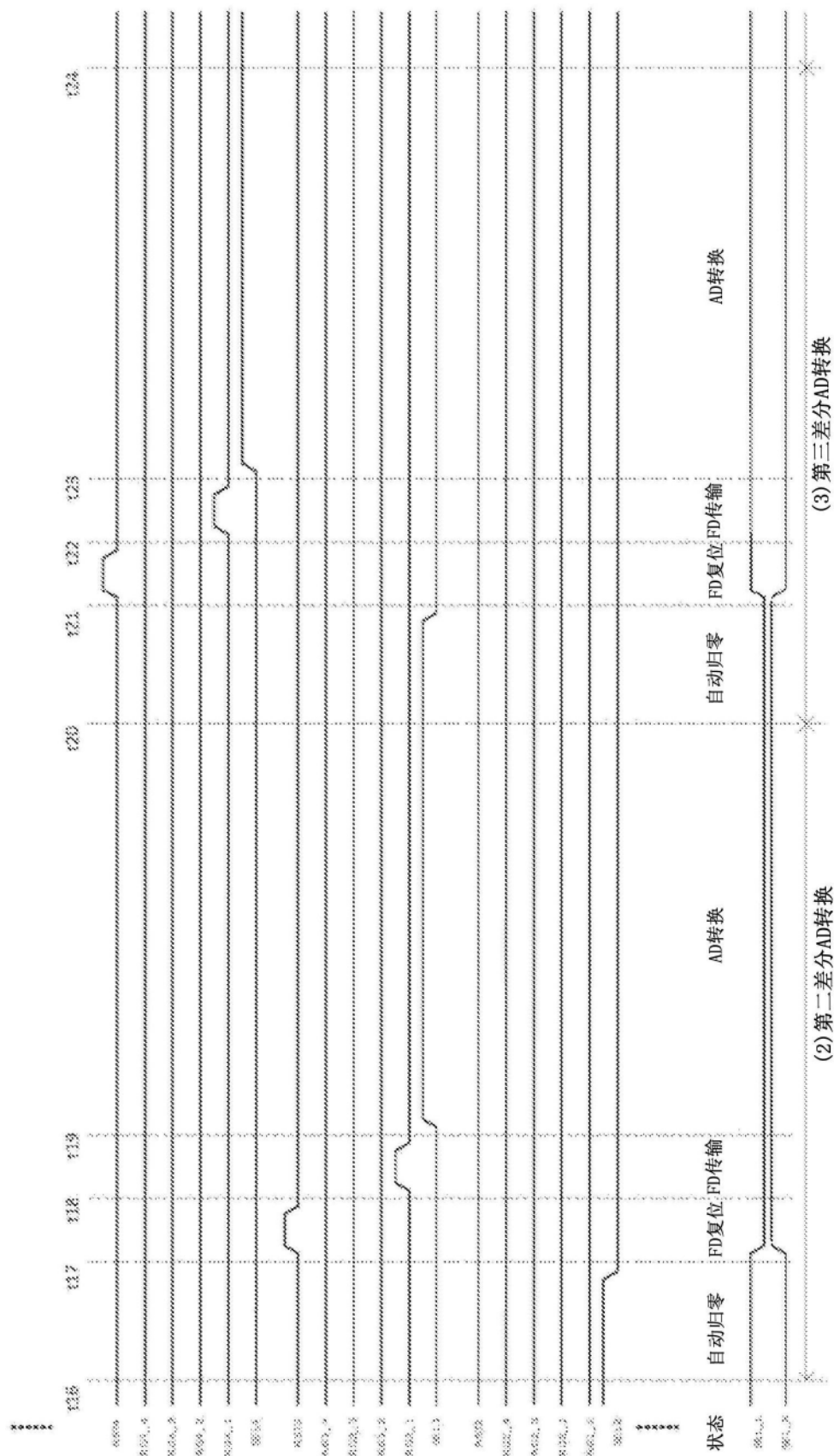


图45

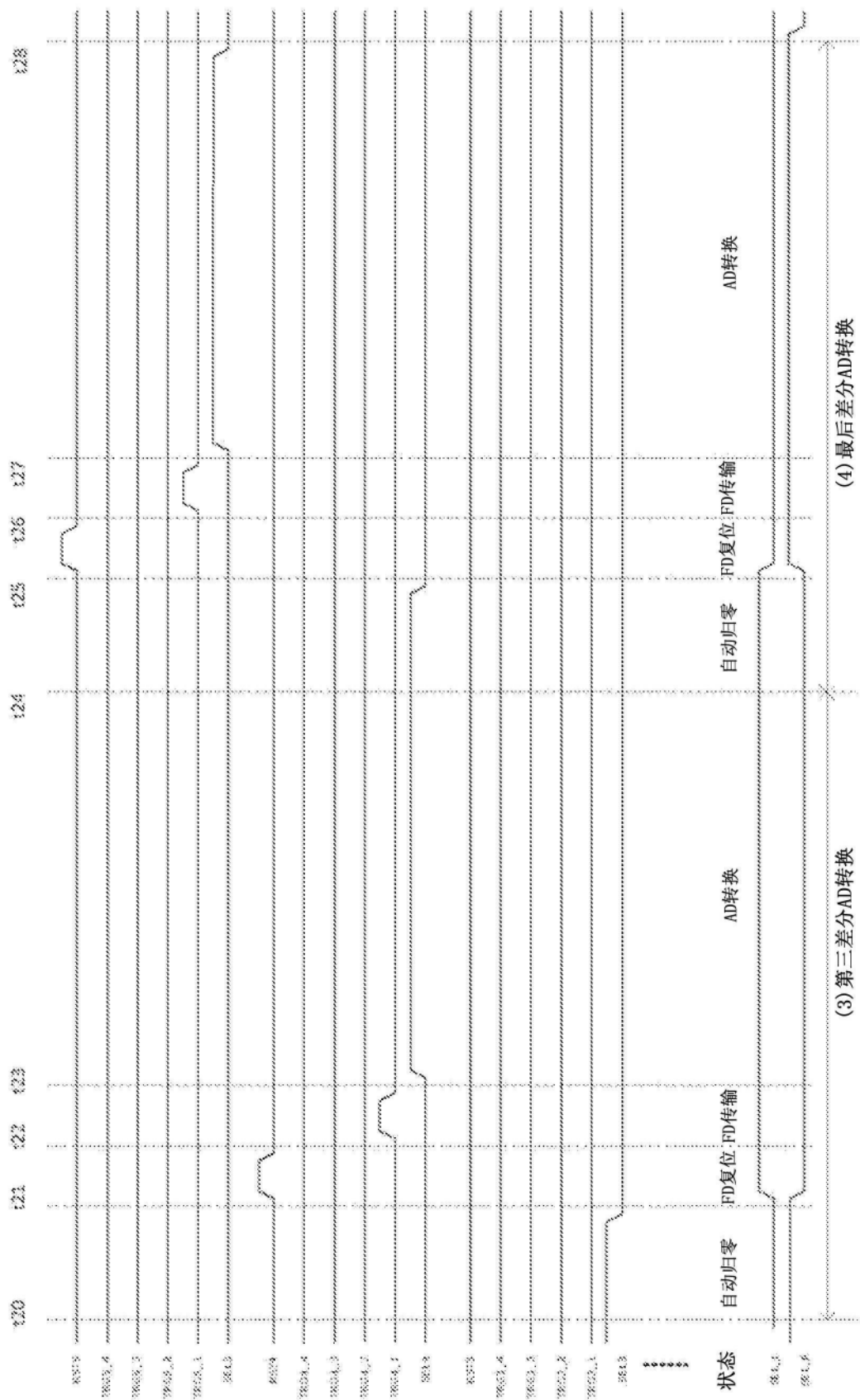


图46