

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 25/065

(45) 공고일자 2005년04월08일
(11) 등록번호 10-0481658
(24) 등록일자 2005년03월29일

(21) 출원번호 10-2002-0038237
(22) 출원일자 2002년07월03일

(65) 공개번호 10-2003-0004132
(43) 공개일자 2003년01월14일

(30) 우선권주장 JP-P-2001-00203647 2001년07월04일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1조메 1방 1고

(72) 발명자 다규신야
일본가나가와肯가와사끼시사이와이꾸고무까이도시바쯔1가부시끼가이
샤도시바마이크로일렉트로닉스센터내

기리따니미까
일본가나가와肯가와사끼시사이와이꾸고무까이도시바쯔1가부시끼가이
샤도시바마이크로일렉트로닉스센터내

구로사와데쓰야
일본가나가와肯가와사끼시사이와이꾸고무까이도시바쯔1가부시끼가이
샤도시바마이크로일렉트로닉스센터내

다까노데루나리
일본가나가와肯가와사끼시사이와이꾸고무까이도시바쯔1가부시끼가이
샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길
구영창

심사관 : 유환철

(54) 밀봉재를 이용하여 꾹업시의 칩의 보강을 행하는 반도체장치의 제조 방법

요약

소자가 형성된 웨이퍼의 주표면에, 상기 소자에 전기적으로 접속된 범프를 형성하고, 상기 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라, 상기 웨이퍼의 주표면측으로부터 이면에 달하지 않은 깊이의 홈을 형성한다. 상기 웨이퍼의 범프 형성 면측을 밀봉재로 페복하고, 상기 웨이퍼의 이면 연삭을 행하여, 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행한다. 상기 이면 연삭에 의해 개편화된 칩을 꾹업하고, 꾹업한 칩의 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉한다.

대표도

도 3

색인어

웨이퍼, 범프, 밀봉재, 칩, 하프컷트 다이싱, 꾹업 테이프

명세서

도면의 간단한 설명

도 1은 종래의 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 2는 종래의 다른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 3의 (a) 내지 (g)는 각각 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 4는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 5a 내지 도 5h는 각각 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 6은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 7a 내지 도 7f는 각각 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 8은 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 9a 내지 도 9g는 각각 본 발명의 제4 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 10은 본 발명의 제4 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 11a 내지 도 11g는 각각 본 발명의 제5 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 12는 본 발명의 제5 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 13a 내지 도 13h는 각각 본 발명의 제6 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 14는 본 발명의 제6 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 15a 내지 도 15f는 각각 본 발명의 제7 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 16은 본 발명의 제7 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 17a 내지 도 17g는 각각 본 발명의 제8 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 18은 본 발명의 제8 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 19a 내지 도 19h는 각각 본 발명의 제9 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 20은 본 발명의 제9 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 21a 내지 도 21i는 각각 본 발명의 제10 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 22는 본 발명의 제10 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 23a 내지 도 23g는 각각 본 발명의 제11 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 24는 본 발명의 제11 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 25a 내지 도 25h는 각각 본 발명의 제12 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 26은 본 발명의 제12 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 27a 내지 도 27h는 각각 본 발명의 제13 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 28은 본 발명의 제13 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 29a 내지 도 29i는 각각 본 발명의 제14 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 30은 본 발명의 제14 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 31a 내지 도 31g는 각각 본 발명의 제15 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 32는 본 발명의 제15 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 33a 내지 도 33h는 각각 본 발명의 제16 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 34는 본 발명의 제16 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 35a 내지 도 35i는 각각 본 발명의 제17 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 36은 본 발명의 제17 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 37a 내지 도 37j는 각각 본 발명의 제18 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 38은 본 발명의 제18 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 39a 내지 도 39h는 각각 본 발명의 제19 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 40은 본 발명의 제19 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 41a 내지 도 41i는 각각 본 발명의 제20 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 42는 본 발명의 제20 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 43a 내지 도 43i는 각각 본 발명의 제21 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 44는 본 발명의 제21 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 45a 내지 도 45j는 각각 본 발명의 제22 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 46은 본 발명의 제22 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 47a 내지 도 47h는 각각 본 발명의 제23 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 48은 본 발명의 제23 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 49a 내지 도 49i는 각각 본 발명의 제24 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 50은 본 발명의 제24 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 51a 내지 도 51g는 각각 본 발명의 제25 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 52는 본 발명의 제25 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 53a 내지 도 53h는 각각 본 발명의 제26 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 54는 본 발명의 제26 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 55a 내지 도 55h는 각각 본 발명의 제27 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 56은 본 발명의 제27 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 57a 내지 도 57i는 각각 본 발명의 제28 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 58은 본 발명의 제28 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 59a 내지 도 59i는 각각 본 발명의 제29 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 60은 본 발명의 제29 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 61a 내지 도 61i는 각각 본 발명의 제30 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 제조 공정을 순차 도시한 단면도.

도 62는 본 발명의 제30 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 웨이퍼

1' : 칩

2 : 범프

3A : 밀봉재

4 : 흠

6 : 지석

9 : 광업 테이프

10 : 모세관

11 : 상승핀

12 : 핀 홀더

13 : 백업 홀더

14 : 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 장치의 제조 방법에 관한 것으로, 특히 소자 형성이 종료된 웨이퍼를 개개의 칩으로 개편화하고, 각각의 칩을 꾹 업하여 실장하는 공정에 관한 것이다.

종래, 반도체 장치는 예를 들면 도 1의 흐름도에 도시된 바와 같은 제조 공정에 따라 형성된다. 우선, 반도체 기판(웨이퍼)에, 주지의 프로세스에 의해 소자를 형성한다(단계 STEP1). 이어서, 소자를 형성한 웨이퍼의 주표면에, 상기 소자에 전기적으로 접속된 범프를 형성한다(단계 STEP2). 상기 웨이퍼 이면에 이면 연삭용의 테이프(BSG 테이프)를 접착하고(단계 STEP3), 이면 연삭(BSG)을 행하여 웨이퍼를 박막화한다(단계 STEP4). 그 후, 박막화한 웨이퍼의 소자 형성면에 다이싱 테이프를 접착하고(단계 STEP5), 다이아몬드 블레이드나 레이저 블레이드 등에 의해서 이면측으로부터 다이싱(풀컷트 다이싱)하여 각 칩을 개편화한다(단계 STEP6). 이어서, 웨이퍼를 개편화하여 형성한 칩의 이면을 콜릿이라고 하는 흡착 툴을 이용하여 꾹 업하고(단계 STEP7), 기판에 밀봉 수지를 접착한 후, 이 밀봉 수지를 접착한 기판에 칩을 접착하고(단계 STEP8), 플립 칩 접속 및 밀봉을 행하여 실장한다(단계 STEP9).

발명이 이루고자 하는 기술적 과제

그러나, 상기한 바와 같은 제조 방법에서는, 하기 (a)~(c)와 같은 문제가 있다.

(a) 범프를 형성한 후에 이면 연삭을 행하므로, 범프를 기점으로 하여 웨이퍼가 깨져, 제조 수율이 저하한다. 이 때문에, 범프의 높이를 제한하는 것이 필요로 되고, 볼 범프나 스터드 범프와 같은 높은 범프를 사용하는 칩은 웨이퍼를 얇게 할 수 없다.

(b) 기판에의 밀봉 수지의 접착과, 기판(밀봉 수지 부착)과 칩 접착의 두개의 공정이 필요하므로, 접착 위치 편차가 커진다.

(c) 상기 위치 편차를 회피하기 위해서는, 밀봉 수지의 사이즈를 칩 사이즈보다도 크게 하는 것이 필요하다. 그러나, 밀봉 수지의 사이즈를 칩 사이즈보다도 크게 하면, 플립 칩 접속 시에, 칩 주변의 여분의 밀봉 수지가 칩 이면을 타고 올라가는 경우가 있다. 이것을 억제하기 위해서는, 플립 칩 접속 시에, 칩 이면을 테플론 시트 등으로 피복할 필요가 있어, 제조 비용이 비싸진다.

상기 (a)의 문제를 회피하기 위해, 도 2의 흐름도에 도시한 바와 같이, 웨이퍼를 개개의 칩으로 개편화(단계 STEP5 : 풀컷트 다이싱 및 단계 STEP6 : 꾹 업)하고 나서 범프를 형성하는(단계 STEP7 : 스터드 범프 형성) 제조 방법이 제안되고 있다. 그러나, 각 칩마다 스터드 범프를 형성해야 하기 때문에, 웨이퍼 상태에서 범프를 형성하는 제조 방법과 비교하여 제조 공정이 복잡해지고 그에 따라 제조 비용의 상승을 피할 수 없다.

상기한 바와 같이, 종래의 반도체 장치의 제조 방법은, 이면 연삭 시에 범프를 기점으로 하여 웨이퍼가 깨져, 제조 수율이 저하된다는 문제가 있었다.

또한, 볼 범프나 스터드 범프와 같은 높은 범프를 사용하는 칩은, 웨이퍼를 얇게 할 수 없다는 문제가 있었다.

또한, 기판에의 밀봉 수지의 접착과, 기판(밀봉 수지 부착)과 칩을 접착하는 두개의 공정이 필요해져, 위치 편차에 의해 실장 정밀도가 저하한다는 문제가 있었다.

또한, 칩 이면으로 밀봉 수지가 올라오는 것을 방지하려면 테플론 시트 등이 필요해로 되므로 제조 비용이 비싸진다는 문제가 있었다.

또한, 웨이퍼를 개편화하고 나서 범프를 형성하는 제조 방법은 제조 공정의 복잡화를 초래하여, 제조 비용도 상승한다는 문제가 있었다.

발명의 구성 및 작용

본 발명의 한 특징에 따른 반도체 장치의 제조 방법은, 소자가 형성된 웨이퍼의 주표면에서 상기 소자에 전기적으로 접속된 범프를 형성하는 단계, 상기 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라 상기 웨이퍼의 주표면측으로부터 이면에 달하지 않은 깊이의 홈을 형성하는 단계, 상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계, 상기 웨이퍼에 대해 이면 연삭을 행하여, 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계, 상기 이면 연삭에 의해 개편화된 칩을 꾹 업하는 단계, 및 가열에 의하여, 꾹 업한 상기 칩의 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계를 포함한다.

본 발명의 다른 특징에 따른 반도체 장치의 제조 방법은, 소자가 형성된 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라 상기 웨이퍼의 주표면측으로부터 이면에 달하지 않은 깊이의 홈을 형성하는 단계, 상기 웨이퍼의 주표면에서 상기 소자에 전기적으로 접속된 범프를 형성하는 단계, 상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계, 상기 웨이퍼에 대해 이면 연삭을 행하여, 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계, 상기 이면 연삭에 의해 개편화된 칩을 꾹 업하는 단계, 및 가열에 의하여, 꾹 업한 칩의 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계를 포함한다.

본 발명의 또 다른 특징에 따른 반도체 장치의 제조 방법은, 소자가 형성된 웨이퍼의 주표면에서 상기 소자에 전기적으로 접속된 범프를 형성하는 단계, 상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계, 상기 웨이퍼의 다이싱 라인 또는

칩 분할 라인을 따라, 상기 밀봉재를 절단하고, 또한 상기 웨이퍼의 이면에 달하지 않은 깊이의 홈을 형성하는 단계, 상기 웨이퍼에 대해 이면 연삭을 행하여, 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계, 상기 이면 연삭에 의해 개편화된 칩을 꾹입하는 단계, 및 가열에 의하여, 꾹입한 칩의 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계를 포함한다.

[제1 실시예]

도 3의 (a) 내지 (g) 및 도 4는 각각 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 3의 (a) 내지 (g)는 각각 제조 공정을 순차 도시한 단면도, 도 4는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에, 주지의 프로세스에 의해 여러 소자를 형성한다(단계 STEP1).

이어서, 도 3의 (a)에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 예로써 스터드 범프를 형성하는 경우를 나타내고 있으며, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 3의 (b)에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP3).

이어서, 도 3의 (c)에 도시한 바와 같이 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함으로써 형성될 수도 있다.

그 후, 도 3의 (d)에 도시한 바와 같이, 상기 밀봉재(3A) 위에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 3의 (e)에 도시한 바와 같이 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 개편화된 칩(1')을 꾹입 장치의 고정 테이블에 장착하고, 꾹입의 대상이 되는 칩(1')에 꾹입 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그리고, 도 3의 (f)에 도시한 바와 같이 꾹입 장치의 백업 홀더(13)의 내부를 진공으로 하여, 표면 보호 테이프(5)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 표면 보호 테이프(5)를 개재한 상태로 칩(1')을 밀봉재(3A) 측으로부터 화살표 방향으로 들어올려 칩(1')의 코너부를 표면 보호 테이프(5)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 이면측을 흡착하여 박리함으로써 꾹입한다(단계 STEP7). 이 때, 밀봉재(3A)는 홈(4) 위에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 3의 (g)에 도시한 바와 같이 꾹입한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이것에 의해, 칩(1')의 기판(14)에의 실장과 수지 밀봉이 동시에 행해진다(단계 STEP8).

상기 한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에 범프(2) 이외의 부분이 밀봉재로 매립되어 외관상의 범프(2)의 돌기가 없어지므로, 이면연삭 시의 웨이퍼(1)의 균열을 저감시켜 수율의 저하를 억제할 수 있다. 종래에는, 볼 범프나 스터드 범프 등의 높이가 높은 범프의 경우, 이면연삭용의 표면 보호 테이프(5)로는 범프의 돌기와의 한 단차를 흡수할 수 없어서, 웨이퍼(1)가 깨질 우려가 있었다. 그러나, 밀봉재를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹입을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹입할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹입한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹입 시에 웨이퍼(1)의 소자 형성면에 형성되어 있는 밀봉재(3A)를 홈(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일하게 되어, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제2 실시예]

도 5a 내지 도 5h 및 도 6은 각각 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 5a 내지 도 5h는 각각 제조 공정을 순차 도시한 단면도, 도 6은 그 흐름도이다.

본 제2 실시예가 상술한 제1 실시예와 다른 것은, 도 5g에 도시한 공정(단계 STEP8)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 5h에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 표시됨)를 행하는 (단계 STEP9) 점에 있다.

다른 공정은, 제1 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙이고 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제1 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제3 실시예]

도 7a 내지 도 7f 및 도 8은 각각, 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 7a 내지 도 7f는 각각 제조 공정을 순차 도시한 단면도, 도 8은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 7a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스터드 범프를 형성하는 경우를 예로써 나타내고 있으며, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 7b에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP3).

계속해서, 도 7c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측에 시트 형상의 수지를 접착함으로써, 상기 범프(2)를 매립하도록 밀봉재(3B)로 코팅한다(단계 STEP4). 이 밀봉재(3B)는, 시트 형상의 기재(3B-1)와, 이 기재(3B-1)의 표면에 형성된 예를 들면 에폭시계 수지나 실리카 험유 수지 등의 밀봉 수지층(3B-2)으로 형성되고, 상기 밀봉 수지층(3B-2)측이 상기 웨이퍼(1)의 소자 형성면에 접착된다. 이 밀봉 수지층(3B-2)은, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다.

그 후, 도 7d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 개편화된 칩(1')을 꾹업 장치의 고정 테이블에 장착하고, 꾹업의 대상으로 되는 칩(1')에 꾹업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그리고, 도 7e에 도시한 바와 같이, 꾹업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 상승핀(11)이 부착되어 있는 핀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 둘출시킴에 따라, 칩을 밀봉 수지(3B)측으로부터 화살표 방향으로 상승시키고, 콜릿이라고 하는 흡착 툴로 칩(1')의 이면측을 흡착하여 박리함으로써 꾹업한다(단계 STEP6). 이 때, 밀봉 수지층(3B-2)은, 기재(3B-1)로부터 박리되고, 칩(1')의 소자 형성면측에 잔존하게 된다.

그 후, 도 7f에 도시한 바와 같이, 꾹업한 칩(1')과 기판(14)의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉 수지층(3B-2)을 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP7).

상기한 바와 같은 제조 방법에 따르면, 범프(2) 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3B)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재(3B)로 매립되어 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감 시켜 수율의 저하를 억제할 수 있다.

또한, 칩(1')과 밀봉 수지층(3B-2)이 일체화한 상태에서 꾹업을 행하므로, 밀봉 수지층(3B-2)이 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉 수지층(3B-2)을 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉 수지층(3B-2)을 홈(4) 상에서 절단하므로, 밀봉 수지층(3B-2)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제4 실시예]

도9a 내지 도 9g 및 도 10은 각각 본 발명의 제4 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도9a 내지 도 9g는 각각 제조 공정을 순차 도시한 단면도, 도 10은 그 흐름도이다.

본 제4 실시예가 상술한 제3 실시예와 다른 것은, 도 9f에 도시한 공정(단계 STEP7)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 9g에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 표시됨)를 행하는 (단계 STEP8) 점에 있다.

다른 공정은, 제3 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙이고 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제3 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제5 실시예]

도 11a 내지 도 11g 및 도 12는 각각, 본 발명의 제5 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 11a 내지 도 11g는 각각 제조 공정을 순차 도시한 단면도, 도 12는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 11a에 도시한 바와 같이 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

그 후, 도 11b에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스터드 범프를 형성하는 경우를 예로써 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

이어서, 도 11c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 11d에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측의 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 11e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 개편화된 칩(1')을 광업 장치의 고정 테이블에 장착하고, 광업의 대상으로 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그리고, 도 11f에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 표면 보호 테이프(5)를 백업 홀더(13)의 상면에 흡착하여 고정시킨다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 표면 보호 테이프(5)를 개재한 상태로 칩(1')을 밀봉재(3A) 측으로부터 화살표 방향으로 옮겨 칩(1')의 코너부를 표면 보호 테이프(5)로부터 박리한다. 그리고, 쿨릿이라고 하는 흡착 툴로 칩(1')의 이면측을 흡착하여 박리함으로써 광업한다(단계 STEP7). 이 때, 밀봉재(3A)는, 홈(4) 상에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 3의 (g)에 도시한 바와 같이, 광업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP8).

상기한 바와 같은 제조 방법에 따르면, 범프(2) 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어 외관상의 범프(2)의 돌기가 없어지므로, 이면연삭 시의 웨이퍼(1)의 균열을 저감시켜 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단자의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 광업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 광업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 광업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 광업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉재(3A)를 홈(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제6 실시예]

도 13a 내지 도 13h 및 도 14는 각각 본 발명의 제6 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 13a 내지 도 13h는 각각 제조 공정을 순차 도시한 단면도, 도 14는 그 흐름도이다.

본 제6 실시예가 상술한 제5 실시예와 다른 것은, 도 13g에 도시한 공정(단계 STEP8)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 13h에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP9) 점에 있다.

다른 공정은, 제5 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙이고 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제5 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제7 실시예]

도 15a 내지 도 15f 및 도 16은 각각 본 발명의 제7 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 15a 내지 도 15f는 각각 제조 공정을 순차 도시한 단면도, 도 16은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 15a에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

그 후, 도 15b에 도시한 바와 같이, 소자 및 홈(4)의 형성이 종료한 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

이어서, 도 15c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 시트 형상의 수지를 접착함에 의해, 상기 범프(2)를 매립하도록 밀봉재(3B)로 코팅한다(단계 STEP4). 이 밀봉재(3B)는, 시트 형상의 기재(3B-1)와, 이 기재(3B-1)의 표면에 형성된 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 밀봉 수지층(3B-2)으로 형성되고, 상기 밀봉 수지층(3B-2)측이 상기 웨이퍼(1)의 소자 형성면에 접착된다. 이 밀봉 수지층(3B-2)은, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다.

그 후, 도 15d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 개편화된 칩(1')을 광업 장치의 고정 테이블에 장착하고, 광업의 대상이 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다.

그리고, 도 15e에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 밀봉재(3B)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 둘출시킴에 따라, 칩(1')을 밀봉재(3B) 측으로부터 화살표 방향으로 상승시키고, 콜릿이라고 하는 흡착 툴로 칩(1')의 이면측을 흡착하여 박리함으로써 광업한다(단계 STEP6). 이 때, 밀봉 수지층(3B-2)은, 기재(3B-1)로부터 박리되고, 칩(1')의 소자 형성면측에 잔존하게 된다.

그 후, 도 15f에 도시한 바와 같이, 광업한 칩(1')과 기판(14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉 수지층(3B-2)을 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP7).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3B)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재(3B)로 매립되어 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여 수율의 저하를 억제할 수 있다.

또한, 칩(1')과 밀봉 수지층(3B-2)이 일체화한 상태에서 광업을 행하므로, 밀봉 수지층(3B-2)이 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 광업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 광업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉 수지층(3B-2)을 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 핀업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉 수지층(3B-2)을 흠(4) 상에서 절단하므로, 밀봉 수지층(3B-2)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제8 실시예]

도 17a 내지 도 17g 및 도 18은 각각, 본 발명의 제8 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 17a 내지 도 17g는 각각 제조 공정을 순차 도시한 단면도, 도 18은 그 흐름도이다.

본 제8 실시예가 상술한 제7 실시예와 다른 것은, 도 17f에 도시한 공정(단계 STEP7)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 17g에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP8) 점에 있다.

다른 공정은, 제7 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제7 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제9 실시예]

도 19a 내지 도 19h 및 도 20은 각각 본 발명의 제9 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 19a 내지 도 19h는 각각 제조 공정을 순차 도시한 단면도, 도 20은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 19a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 19b에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 흠(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP3).

이어서, 도 19c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 19d에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면에 형성한 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 19e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 19f에 도시한 바와 같이, 플랫 링(웨이퍼 링 : 8)에 장착한 핀업 테이프(9)에, 상술한 바와 같은 공정으로 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한 후, 표면 보호 테이프(5)를 박리한다. 이에 따라, 개개의 칩(1')이 표면 보호 테이프(5)로부터 핀업 테이프(9)로 전사된다(단계 STEP7).

이어서, 상기 플랫 링(8)을 핀업 장치의 고정 테이블에 장착하고, 핀업의 대상으로 되는 칩(1')에 핀업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다. 그리고, 도 19g에 도시한 바와 같이, 핀업 장치의 백업 홀더(f3)의 내부를 진공 상태로 하여, 핀업 테이프(9)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 핀업 테이프(9)를 개재한 상태로 칩(1')을 이면측으로부터 화살표 방향으로 올려 칩(1')의 코너부를 핀업 테이프(9)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성측을 흡착하여 박리함으로써 핀업한다(단계 STEP8). 이 때, 밀봉재(3A)는 흠(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 19h에 도시한 바와 같이, 핀업한 칩(1')과 기판(배선 기판 : 14)와의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP9).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하

게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 핀업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 핀업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 핀업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제10 실시예]

도 21a 내지 21i 및 22는 각각, 본 발명의 제10 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 21a 내지 21i는 각각 제조 공정을 순차 도시한 단면도, 도 22는 그 흐름도이다.

본 제10 실시예가 상술한 제9 실시예와 다른 것은, 도 21h에 도시한 공정(단계 STEP9)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 21i에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타낸)를 행하는 (단계 STEP10) 점에 있다.

다른 공정은, 제9 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제9 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제11 실시예]

도 23a 내지 도 23g 및 도 24는 각각, 본 발명의 제11 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 23a 내지 도 23g는 각각 제조 공정을 순차 도시한 단면도, 도 24는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에, 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서 도 23a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스터드 범프를 형성하는 경우를 예로써 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 23b에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용하여 이면에 달하지 않은 깊이의 홈(4)을 형성, 소위 하프컷트 다이싱을 실시한다(단계 STEP3).

이어서, 도 23c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는, 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 23d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 23e에 도시한 바와 같이, 플랫 링(8)에 장착한 핀업 테이프(9)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한다(단계 STEP6).

이어서, 상기 플랫 링(8)을 핀업 장치의 고정 테이블에 장착하고, 핀업의 대상으로 되는 칩(1')에 핀업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 23f에 도시한 바와 같이, 핀업 장치의 백업 허더(13)의 내부를 진공 상태로 하여, 핀업 테이프(9)를 백업 허더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 핀 허더(12)를 상승시켜서, 상승핀(11)을 백업 허더(13)의 상면으로부터 돌출시킴에 따라, 핀업 테이프(9)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 옮겨 칩(1')의 코너부를 핀업 테이프(9)으로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 핀업한다(단계 STEP7). 이 때, 밀봉재(3A)는, 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 23g에 도시한 바와 같이, 꾹업한 칩(1')과 기판(배선 기판; 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP8).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스픈 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉재(3A)를 홈(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제12 실시예]

도 25a 내지 도 25h 및 도 26은 각각 본 발명의 제12 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 25a 내지 도 25h는 각각 제조 공정을 순차 도시한 단면도, 도 26은 그 흐름도이다.

본 제12 실시예가 상술한 제11 실시예와 다른 것은, 도 25g에 도시한 공정(단계 STEP8)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 25h에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 표시됨)를 행하는 (단계 STEP9) 점에 있다.

다른 공정은, 제11 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제11 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제13 실시예]

도 27a 내지 도 27h 및 도 28은 각각 본 발명의 제13 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 27a 내지 도 27h는 각각 제조 공정을 순차 도시한 단면도, 도 28은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 27a에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

그 후, 소자 및 홈(4)을 형성한 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)를 형성한다.

이어서, 도 27c에 도시한 바와 같이 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 애폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스픈 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 27d에 도시한 바와 같이, 상기 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 27e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 27f에 도시한 바와 같이, 플랫 링(8)에 장착한 꾹업 테이프(9)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한 후, 표면 보호 테이프(5)를 박리한다. 이에 따라, 칩(1')이 표면 보호 테이프(5)으로부터 꾹업 테이프(9)로 전사된다(단계 STEP7).

이어서, 상기 플랫 링(8)을 꾹업 장치의 고정 테이블에 장착하고, 꾹업의 대상으로 되는 칩(1')에 꾹업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 27g에 도시한 바와 같이, 꾹업 장치의 백업 홀더(13)의 내부를 진공으로 하여, 꾹업 테이프(9)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펜 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 의해, 꾹업 테이프(9)를 개재한 상태로 칩(1')을 이면측으로부터 화살표 방향으로 옮려 칩(1')의 코너부를 꾹업 테이프(9)으로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 꾹업한다(단계 STEP8). 이 때, 밀봉재(3A)는, 흠(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 27h에 도시한 바와 같이, 꾹업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP9).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스타드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉재(3A)를 흠(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제14 실시예]

도 29a 내지 도 29i 및 도 30은 각각 본 발명의 제14 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 29a 내지 도 29i는 각각 제조 공정을 순차 도시한 단면도, 도 30은 그 흐름도이다.

본 제14 실시예가 상술한 제13 실시예와 다른 것은, 도 29h에 도시한 공정(단계 STEP9)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 29i에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP10) 점에 있다.

다른 공정은, 제13 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제13 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제15 실시예]

도 31a 내지 도 31g 및 도 32는 각각 본 발명의 제15 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 31a 내지 도 31g는 각각 제조 공정을 순차 도시한 단면도, 도 32는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 31a에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 이면에 달하지 않은 깊이의 흠(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

계속해서, 도 31b에 도시한 바와 같이, 소자 및 흠을 형성한 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스타드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 31c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 애폴시계 수지나 실리카 함유 수지 등의 액상 수지의 스픈 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는, 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 31d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 31e에 도시한 바와 같이, 플랫 링(8)에 장착한 꾹업 테이프(9)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한다. 이에 따라, 칩(1')이 꾹업 테이프(9)로 전사된다(단계 STEP6).

이어서, 상기 플랫 링(8)을 꾹업 장치의 고정 테이블에 장착하고, 꾹업의 대상으로 되는 칩(1')에 꾹업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양풀/불량품을 판별하기 위한 마크 검출 등을 행한다. 그리고, 도 31f에 도시한 바와 같이, 꾹업 장치의 백업 훌더(13)의 내부를 전공상태로 하여, 꾹업 테이프(9)를 백업 훌더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀홀더(12)를 상승시켜서, 상승핀(11)을 백업 훌더(13)의 상면으로부터 돌출시킴에 따라, 꾹업 테이프(9)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 옮겨 칩(1')의 코너부를 꾹업 테이프(9)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 꾹업한다(단계 STEP7). 이 때, 밀봉재(3A)는, 흄(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 31g에 도시한 바와 같이, 꾹업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP8).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저하시키고, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스픈 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 시에 웨이퍼(1)의 소자 형성면에 형성된 밀봉재(3A)를 흄(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제16 실시예]

도 33a 내지 도 33h 및 도 34는 각각, 본 발명의 제16 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 33a 내지 도 33h는 각각 제조 공정을 순차 도시한 단면도, 도 34는 그 흐름도이다.

본 제16 실시예가 상술한 제15 실시예와 다른 것은, 도 33g에 도시한 공정(단계 STEP8)으로 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 33h에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP9) 점에 있다.

다른 공정은, 제15 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제15 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제17 실시예]

도 35a 내지 도 35i 및 도 36은 각각 본 발명의 제17 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 35a 내지 도 35i는 각각 제조 공정을 순차 도시한 단면도, 도 36은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 35a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스타드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 35b에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프 컷트 다이싱을 실시한다(단계 STEP3).

이어서, 도 34c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펜 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는, 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 35d에 도시한 바와 같이, 상기 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 35e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 35f에 도시한 바와 같이, 플랫 링(8)에 장착한 자외선(UV) 경화형의 광업 테이프(9UV)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착하고, 표면 보호 테이프(5)를 박리한다. 이에 따라, 칩(1')이 표면 보호 테이프(5)로부터 광업 테이프(9UV)로 전사된다(단계 STEP7).

그 후, 도 35g에 도시한 바와 같이, 상기 광업 테이프(9UV)에 광원(16)으로부터 자외선을 조사하여 경화시킴에 따라 접착력을 저하시킨다(단계 STEP8).

이어서, 상기 플랫 링(8)을 광업 장치의 고정 테이블에 장착하고, 광업의 대상으로 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 35h에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 광업 테이프(9UV)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 핀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 광업 테이프(9UV)를 개개한 상태로 칩을 이면측으로부터 화살표 방향으로 옮려 칩(1')의 코너부를 광업 테이프(9UV)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 광업한다(단계 STEP9). 이 때, 밀봉재(3A)는 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 35i에 도시한 바와 같이, 광업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣고 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP10).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펜 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스타드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 광업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 광업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 광업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 광업 시에 웨이퍼(1)의 소자 형성면에 형성된 밀봉재(3A)를 홈(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또, 광업 테이프(9UV)에 자외선을 조사하여 경화시킴에 따라 접착력을 저하시키므로, 광업을 용이화할 수 있다.

[제18 실시예]

도 37a 내지 도 37j 및 도 38은 각각, 본 발명의 제18 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 37a 내지 도 37j는 각각 제조 공정을 순차 도시한 단면도, 도 38은 그 흐름도이다.

본 제18 실시예가 상술한 제17 실시예와 다른 것은, 도 37i에 도시한 공정(단계 STEP10)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 37j에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP11) 점에 있다.

다른 공정은, 제17 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제11 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제19 실시예]

도 39a 내지 도 39h 및 도 40은 각각, 본 발명의 제19 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 39a 내지 도 39h는 각각 제조 공정을 순차 도시한 단면도, 도 40은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 39a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 39b에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP3).

이어서, 도 39c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스펜 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 39d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)에 대해 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 39e에 도시한 바와 같이, 플랫 링(8)에 장착한 자외선(UV) 경화형의 광업 테이프(9UV)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한다. 이에 따라, 칩(1')이 광업 테이프(9UV)로 전사된다(단계 STEP6).

그 후, 도 39f에 도시한 바와 같이, 상기 광업 테이프(9UV)에 자외선을 조사(단계 STEP7)하여 경화시킴에 따라 접착력을 저하시킨다. 이어서, 상기 플랫 링(8)을 광업 장치의 고정 테이블에 장착하고, 광업의 대상으로 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 39g에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 광업 테이프(9UV)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 핀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 광업 테이프(9UV)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 올려 칩(1')의 코너부를 광업 테이프(9UV)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 광업한다(단계 STEP8). 이 때, 밀봉재(3A)는 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 39h에 도시한 바와 같이, 광업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP9).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펜 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 광업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 광업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 광업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 광업 시에 웨이퍼(1)의 소자 형성면에 형성한 밀봉재(3A)를 홈(4) 상에서 절단하므로, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 칩(1')과 밀봉재(3A)의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 광업 테이프(9UV)에 자외선을 조사하여 경화시킴에 따라 접착력을 저하시키므로, 광업을 용이화할 수 있다.

[제20 실시예]

도 41a 내지 도 41i 및 도 42는 각각, 본 발명의 제20 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 41a 내지 도 41i는 각각 제조 공정을 순차 도시한 단면도, 도 42는 그 흐름도이다.

본 제20 실시예가 상술한 제19 실시예와 다른 것은, 도 41h에 도시한 공정(단계 STEP9)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 41i에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP10) 점에 있다.

다른 공정은, 제19 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제19 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제21 실시예]

도 43a 내지 도 43i 및 도 44는 각각, 본 발명의 제21 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 43a 내지 도 43i는 각각 제조 공정을 순차 도시한 단면도, 도 44는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 43a에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

이어서, 도 43b에 도시한 바와 같이, 소자 및 홈(4)을 형성한 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 43c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 에폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스판 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

그 후, 도 43d에 도시한 바와 같이, 상기 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 43e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 43f에 도시한 바와 같이, 플랫 링(8)에 장착한 자외선(UV) 경화형의 광업 테이프(9UV)에 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한 후, 표면 보호 테이프(5)를 박리한다. 이에 따라, 칩(1')이 표면 보호 테이프(5)로부터 광업 테이프(9UV)로 전사된다(단계 STEP7).

그 후, 도 43g에 도시한 바와 같이, 상기 광업 테이프(9UV)에 광원(16)으로부터 자외선을 조사하여 경화시킴에 따라 접착력을 저하시킨다(단계 STEP8).

이어서, 상기 플랫 링(8)을 광업 장치의 고정 테이블에 장착하고, 광업의 대상으로 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 43h에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 광업 테이프(9UV)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 퀜 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 광업 테이프(9UV)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 옮겨 칩(1')의 코너부를 광업 테이프(9UV)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 광업한다(단계 STEP9). 이 때, 밀봉재(3A)는 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 43i에 도시한 바와 같이, 광업한 칩(1')과 기판(14)과의 위치 결정을 행하고, 리플로우로 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP10).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수

율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스픈 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 테이프(9UV)에 자외선을 조사하여 경화시킴에 따라 접착력을 저하시키므로, 꾹업을 용이화할 수 있다.

[제22 실시예]

도 45a 내지 도 45j 및 도 46은 각각, 본 발명의 제22 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 45a 내지 도 45j는 각각 제조 공정을 순차 도시한 단면도, 도 46은 그 흐름도이다.

본 제22 실시예가 상술한 제21 실시예와 다른 것은, 도 45i에 나타내는 공정(단계 STEP10)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 45j에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해서 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP11)점에 있다.

다른 공정은, 제21 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제21 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제23 실시예]

도 47a 내지 47h 및 48는 각각, 본 발명의 제23 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 47a 내지 도 47h는 각각 제조 공정을 순차 도시한 단면도, 도 48은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 47a에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버등을 이용해서 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP2).

이어서, 도 47b에 도시한 바와 같이, 소자 및 홈이 형성된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP3). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 47c에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 애폭시계 수지나 실리카 함유 수지 등의 액상 수지의 스픈 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP4). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는, 시트 형상의 수지를 접착함에 의해 형성할 수도 있다. 그 후, 도 47d에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP5)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 47e에 도시한 바와 같이, 플랫 링(8)에 장착한 자외선(UV) 경화형의 꾹업 테이프(9UV)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한다(단계 STEP6).

그 후, 도 47f에 도시한 바와 같이, 상기 꾹업 테이프(9UV)에 광원(16)으로부터 자외선을 조사하여 경화시킴에 따라 접착력을 저하시킨다(단계 STEP7).

이어서, 상기 플랫 링(8)을 꾹업 장치의 고정 테이블에 장착하고, 꾹업의 대상으로 되는 칩(1')에 꾹업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다. 그리고, 도 47g에 도시한 바와 같이, 꾹업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 꾹업 테이프(9UV)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 편 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 꾹업 테이프(9UV)를 개재한 상

태로 칩을 이면측으로부터 화살표 방향으로 올려 칩(1')의 코너부를 꾹업 테이프(9UV)로부터 박리한다. 그리고, 콜릿이라 고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 꾹업한다(단계 STEP8). 이 때, 밀봉재(3A)는, 흠(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 47h에 도시한 바와 같이 꾹업한 칩(1')과 기판(배선 기판: 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP9).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 테이프(9UV)에 자외선을 조사하여 경화시킴에 따라 접착력을 저하시키므로, 꾹업을 용이화 할 수 있다.

[제24 실시예]

도 49a 내지 도 49i 및 도 50f는 각각, 본 발명의 제24 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 49a 내지 도 49i는 각각 제조 공정을 순차 도시한 단면도, 도 50은 그 흐름도이다.

본 제24 실시예가 상술한 제23 실시예와 다른 것은, 도 49h에 도시한 공정(단계 STEP9)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 49i에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP10) 점에 있다.

다른 공정은, 제23 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법에서도, 상기 제23 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제25 실시예]

도 51a 내지 도 51g 및 도 52는 각각, 본 발명의 제25 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 51a 내지 도 51g는 각각 제조 공정을 순차 도시한 단면도, 도 52는 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 51a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 51b에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을 예를 들면 에폭시계 수지나 실리카 할유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP3). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는, 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

이 상태에서, 도 51c에 도시한 바와 같이, 웨이퍼(1)의 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 밀봉재(3A)를 절단하고 또한 웨이퍼(1) 이면에 달하지 않은 깊이의 흠(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP4).

그 후, 도 51d에 도시한 바와 같이, 상기 밀봉재(3A) 위에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 51e에 도시한 바와 같이 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')에 대한 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 51f에 도시한 바와 같이, 핀업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 표면 보호 테이프(5)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 핀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 표면 보호 테이프(5)를 개재한 상태로 칩을 밀봉재(3A) 측으로부터 화살표 방향으로 상승시켜서, 칩(1')의 코너부를 표면 보호 테이프(5)으로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 이면측을 흡착하고 박리함으로써 핀업한다(단계 STEP7). 이 때, 밀봉재(3A)는 흠(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 51g에 도시한 바와 같이, 핀업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP8).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스픬 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 불 범프나 스타드 범프 등의 높이가 높은 범프를 이용할 수 있게 된다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 웨이퍼(1) 상에 밀봉 수지(밀봉재 : 3)를 형성하고, 이들이 일체가 된 상태에서 하프컷트 다이싱을 행하여, 웨이퍼(1)와 밀봉재(3A)를 동시에 절단하여 흠(4)을 형성하므로, 칩(1')과 밀봉재(3A)의 위치 편차가 발생하지 않는다. 그 결과, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 일이 없다. 따라서, 종래의 제조 방법에서 필요했던 텤플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 핀업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 핀업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 핀업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로,

제조 공정의 간단화와 저비용화를 도모할 수 있다.

더구나, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제26 실시예]

도 53a 내지 53h 및 54는 각각, 본 발명의 제26 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 53a 내지 도 53h는 각각 제조 공정을 순차 도시한 단면도, 도 54는 그 흐름도이다.

본 제26 실시예가 상술한 제25 실시예와 다른 것은, 도 53g에 도시한 공정(단계 STEP8)으로 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 53h에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP9) 점에 있다.

다른 공정은, 제25 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제25 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제27 실시예]

도 55a 내지 도 55h 및 도 56은 각각, 본 발명의 제27 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 55a 내지 도 55h는 각각 제조 공정을 순차 도시한 단면도, 도 56은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 55a에 도시한 바와 같이 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스타드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)가 형성된다.

그 후, 도 55b에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 애폴시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP3). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

이 상태에서, 도 55c에 도시한 바와 같이, 웨이퍼(1)의 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 밀봉재(3A)를 절단하고, 또한 웨이퍼(1)'의 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP4).

그 후, 도 55d에 도시한 바와 같이, 상기 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 55e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 55f에 도시한 바와 같이, 플랫 링(8)에 장착한 꾹업 테이프(9)에, 개편화된 각 칩(1')을 위치 결정하여 접착한 후, 표면 보호 테이프(5)를 박리한다. 이에 따라, 칩(1')이 표면 보호 테이프(5)로부터 꾹업 테이프(9)로 전사된다(단계 STEP7).

이어서, 상기 플랫 링(8)을 꾹업 장치의 고정 테이블에 장착하고, 꾹업의 대상으로 되는 칩(1')에 꾹업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 55g에 도시한 바와 같이, 꾹업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 꾹업 테이프(9)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 핀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 들출시킴에 따라, 꾹업 테이프(9)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 옮겨 칩(1')의 코너부를 꾹업 테이프(9)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 꾹업한다(단계 STEP8). 이 때, 밀봉재(3A)는, 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 55h에 도시한 바와 같이, 꾹업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP9).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상의 범프(2)의 둘기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 웨이퍼(1) 상에 밀봉 수지(밀봉재 : 3)를 형성하고, 이들이 일체가 된 상태에서 하프컷트 다이싱을 행하여, 웨이퍼(1)와 밀봉재(3A)를 동시에 절단하여 홈(4)을 형성하므로, 칩(1')과 밀봉재(3A)의 위치 편차가 발생하지 않는다. 이 결과, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 일이 없다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 꾹업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 꾹업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제28 실시예]

도 57a 내지 도 57i 및 도 58은 각각, 본 발명의 제28 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 57a 내지 도 57i는 각각 제조 공정을 순차 도시한 단면도, 도 58은 그 흐름도이다.

본 제28 실시예가 상술한 제27 실시예와 다른 것은, 도 53h에 도시한 공정(단계 STEP9)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 57i에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP10) 점에 있다.

다른 공정은, 제27 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법에서도, 상기 제27 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

[제29 실시예]

도 59a 내지 도 59i 및 도 60은 각각, 본 발명의 제29 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 59a 내지 도 59i는 각각 제조 공정을 순차 도시한 단면도, 도 60은 그 흐름도이다.

우선, 반도체 기판(웨이퍼)에 주지의 프로세스에 의해 다양한 소자를 형성한다(단계 STEP1).

이어서, 도 59a에 도시한 바와 같이, 소자 형성이 종료된 웨이퍼(1)의 주표면에 범프(2)를 형성한다(단계 STEP2). 여기서는, 스터드 범프를 형성하는 경우를 예로 들어 나타내고 있고, 모세관(10)을 이용하여 상기 소자에 전기적으로 접속된 범프(2)를 형성한다.

그 후, 도 59b에 도시한 바와 같이, 상기 웨이퍼(1)의 소자 형성면측을, 예를 들면 애플시계 수지나 실리카 함유 수지 등의 액상 수지의 스펀 코팅에 의해, 상기 범프(2)를 매립하도록 밀봉재(3A)로 코팅한다(단계 STEP3). 이 밀봉재(3A)는, 100°C 내지 130°C 정도의 온도에서 용융되는 것이 바람직하다. 또한, 이 밀봉재는 시트 형상의 수지를 접착함에 의해 형성할 수도 있다.

이 상태에서, 도 59c에 도시한 바와 같이, 웨이퍼(1)의 소자 형성면측으로부터 다이싱 라인 또는 칩 분할 라인을 따라, 다이아몬드 스크라이버, 다이아몬드 블레이드, 혹은 레이저 스크라이버 등을 이용해서 밀봉재(3A)를 절단하고, 또한 웨이퍼(1)의 이면에 달하지 않은 깊이의 홈(4)을 형성하여, 소위 하프컷트 다이싱을 실시한다(단계 STEP4).

그 후, 도 59d에 도시한 바와 같이, 상기 밀봉재(3A) 상에 표면 보호 테이프(BSG 테이프 : 5)를 접착하고(단계 STEP5), 도 59e에 도시한 바와 같이, 지석(6)에 의해 웨이퍼(1)의 이면 연삭(단계 STEP6)을 행하여, 웨이퍼(1)의 박막화와 개개의 칩(1')으로의 분할을 동시에 행한다(선다이싱 공정).

연삭 종료 후, 도 59f에 도시한 바와 같이, 플랫 링(8)에 장착한 자외선(UV) 경화형의 광업 테이프(9UV)에, 개편화된 각 칩(1')의 이면을 위치 결정하여 접착한 후, 표면 보호 테이프(5)를 박리한다. 이에 따라, 칩(1')이 표면 보호 테이프(5)로부터 광업 테이프(9UV)로 전사된다(단계 STEP7).

그 후, 도 59g에 도시한 바와 같이, 상기 광업 테이프(9UV)에 자외선을 조사(단계 STEP8)하여 경화시킴에 따라 접착력을 절하시킨다.

이어서, 상기 플랫 링(8)을 광업 장치의 고정 테이블에 장착하고, 광업의 대상으로 되는 칩(1')에 광업 툴이 대응하도록, 고정 테이블을 XY 방향으로 이동시킨다. 그 후, 각 칩(1')의 표면을 모니터하여, 개개의 칩(1')의 위치 검출, 및 양품/불량품을 판별하기 위한 마크 검출 등을 행한다.

그리고, 도 59h에 도시한 바와 같이, 광업 장치의 백업 홀더(13)의 내부를 진공 상태로 하여, 광업 테이프(9UV)를 백업 홀더(13)의 상면에 흡착하여 고정한다. 이 상태에서, 상승핀(11)이 부착되어 있는 펀 홀더(12)를 상승시켜서, 상승핀(11)을 백업 홀더(13)의 상면으로부터 돌출시킴에 따라, 광업 테이프(9UV)를 개재한 상태로 칩을 이면측으로부터 화살표 방향으로 옮려 칩(1')의 코너부를 광업 테이프(9UV)로부터 박리한다. 그리고, 콜릿이라고 하는 흡착 툴로 칩(1')의 소자 형성면측을 흡착하여 박리함으로써 광업한다(단계 STEP9). 이 때, 밀봉재(3A)는 홈(4)에 대응하는 위치에서 당겨져 절단된다.

그 후, 도 59i에 도시한 바와 같이, 광업한 칩(1')과 기판(배선 기판 : 14)과의 위치 결정을 행하고, 리플로우로에 넣어 범프(2)를 용융함으로써, 칩(1')의 범프(2)와 기판(14) 위에 형성된 패드 또는 범프를 플립 칩 접속으로 접합하여 실장함과 함께, 밀봉재(3A)를 용융시켜 칩(1')과 기판(14) 사이의 영역을 밀봉 수지(3)로 밀봉한다. 이에 따라, 플립 칩 접속에 의한 실장과 수지 밀봉이 동시에 행해진다(단계 STEP10).

상기한 바와 같은 제조 방법에 따르면, 범프(2)의 형성 후에 웨이퍼(1)의 주표면을 밀봉재(3A)로 코팅하기 때문에, 범프(2) 이외의 부분이 밀봉재로 매립되어, 외관상의 범프(2)의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼(1)의 균열을 저감하여, 수율의 저하를 억제할 수 있다. 밀봉재(3A)를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프(2)에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프(5)를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 웨이퍼(1) 상에 밀봉재(3A)를 형성하고, 이들이 일체가 된 상태에서 하프컷트 다이싱을 행하고, 웨이퍼(1)와 밀봉재(3A)를 동시에 절단하여 홈(4)을 형성하므로, 칩(1')과 밀봉재(3A)의 위치 편차가 발생하지 않는다. 이 결과, 밀봉재(3A)의 사이즈는 칩 사이즈와 거의 동일해져, 플립 칩 접속 시에 밀봉재(3A)가 칩 이면으로 올라오는 일이 없다. 따라서, 종래의 제조 방법에서 필요했던 템플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 칩(1')과 밀봉재(3A)가 일체화한 상태에서 광업을 행하므로, 밀봉재(3A)가 칩(1')의 보강 부재로서 기능하여, 얇은 칩(1')을 광업할 때에 발생하는 칩(1')의 균열을 대폭 저감시킬 수 있다.

또한, 광업한 칩(1')을 플립 칩 접속으로 기판(14)에 실장할 때에, 밀봉재(3A)를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 광업 테이프(9UV)에 자외선을 조사하여 경화시킴에 따라 접착력을 저하시키므로, 광업을 용이화 할 수 있다.

또한, 웨이퍼 상태에서 범프(2)를 형성하므로, 웨이퍼(1)를 개개의 칩(1')으로 개편화하고 나서 범프(2)를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

[제30 실시예]

도 61a 내지 도 61j 및 도 62는 각각, 본 발명의 제30 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 61a 내지 도 61j는 각각 제조 공정을 순차 도시한 단면도, 도 62는 그 흐름도이다.

본 제30 실시예가 상술한 제29 실시예와 다른 것은, 도 61i에 도시한 공정(단계 STEP10)에서 칩(1')의 기판(14)에의 실장과 수지 밀봉을 동시에 행한 후, 도 61j에 도시한 바와 같이, 밀봉 수지(3)를 경화시키기 위해 애프터 큐어(화살표(15)로 나타냄)를 행하는 (단계 STEP11) 점에 있다.

다른 공정은, 제29 실시예와 마찬가지이므로, 동일 부분에 동일한 부호를 붙여 그 상세한 설명은 생략한다.

이러한 제조 방법이라도, 상기 제29 실시예와 실질적으로 마찬가지의 작용 효과를 얻을 수 있다.

이상 제1 내지 제30 실시예를 이용하여 본 발명의 설명을 행했지만, 본 발명은 상기 각 실시예에 한정되는 것이 아니고, 실시 단계에서는 그 요지를 일탈하지 않은 범위에서 다양하게 변형하는 것이 가능하다.

이하, 본 발명의 다양한 변형 예에 대하여 설명한다.

[변형 예1]

상기 각 실시예에서의 표면 보호 테이프(5)로 자외선 경화형을 이용하여, 웨이퍼의 이면 연삭 공정 후에, 표면 보호 테이프(5)에 자외선을 조사하고 점착력을 저하시키도록 할 수도 있다.

[변형 예2]

상기 각 실시예에서의 이면 연삭(BSG) 공정에서는, 웨이퍼(1)를 고정하는 척 테이블과 연삭용 지석을 회전시키고, 지석을 강화시키면서 웨이퍼(1)의 이면을 깎는 인피드 연삭이라고 하는 방법이나, 웨이퍼(1)와 지석(6)을 회전시키면서 깎는 스투피드 연삭 또는 크립피드 연삭이라고 하는 방법을 이용할 수 있다. 이 때, 웨이퍼(1)의 이면을 흠(4)에 달할 때까지 깎으면, 웨이퍼는 개개의 칩(1')으로 분할되지만, 웨이퍼(1)가 개개의 칩(1')으로 분할된 후에도 연삭(및 연마)을 계속하여, 적어도 5 μ m 이상 연삭 및 연마함으로써, 하프컷트 다이싱에 의해 형성된 흠(4)의 측벽면과 연삭 및 연마에 의해 형성된 면이 교차하는 부분에 치평이 발생해도, 이 영역을 연삭 및 연마에 의해 제거할 수 있다. 연삭 및 연마하는 량을 증가시키면, 보다 큰 치평을 제거할 수 있지만, 이 연삭 및 연마량은 웨이퍼(1)의 두께나 완성 시의 칩(1')의 두께 등 필요에 따라 설정하면 된다. 이에 따라, 칩(1')의 완성 시의 두께는, 예를 들면 30~50 μ m까지 박막화가 가능해진다.

또한, 상기 웨이퍼(1)의 이면을, 흠(4)에 달할 때까지 깎아 개개의 칩(1')으로 분할할 때, 1 종류의 지립 직경의 연삭 지석을 이용해도 무방하지만, 연삭 시간의 단축과 치평의 발생의 방지 양방을 고려하면, 다음과 같이 적어도 2 종류의 지립 직경의 연삭 지석을 이용하여 2 단계, 혹은 그 이상으로 행하는 것이 바람직하다. 즉, 우선 #360 (주요한 지립 직경이 40~60 μ m) 정도의 지립 직경이 큰 연삭 지석에 의해 연삭 및 연마한 후, #2000(주요한 지립 직경이 4~6 μ m) 정도의 지립 직경이 작은 연삭 지석에 의해 연삭 및 연마하여 개개의 칩(1')으로 분리하면, 웨이퍼]를 개개의 칩(1')으로 분리하기까지의 시간 단축을 도모할 수 있고, 또한 최종적으로 분리할 때에는 지립 직경이 작은 연삭 지석을 이용하므로 치평의 발생도 저감시킬 수 있다.

[변형 예3]

상기 각 실시예에서의 칩(1')의 기판(14)에의 플립 칩 접속 시에, 초음파를 인가해도 된다. 이에 따라, 보다 강고하게 접합 할 수 있다.

[변형 예4]

상기 각 실시예에서의 칩(1')의 기판(14)에의 실장 공정은, 금속 고상 확산 접합, 금속 액상 확산 접합, 및 접촉 접합 등을 이용할 수 있다. 상기 금속 고상 확산 접합으로는, 예를 들면 범프에 Au/Au나 Au/Cu를 이용하는 초음파 열압착을 이용할 수 있다. 초음파 열압착은, 고속 또한 저온 접합이 가능하고, 언더필레스가 필요한 디바이스에 대응할 수 있다.

또한, 상기 금속 액상 확산 접합으로는, 예를 들면 범프에 펨납/펨납을 이용하는 C4 접속(Controlled Collapse Chip Connection)를 이용할 수 있다. C4 접속은 접합 신뢰성이 높아, 표면 실장 기술(SMT : Surface Mount Technology) 동일 프로세스를 실현할 수 있다.

또한, 상기 접촉 접합으로는, Au/Sn-Ag, Au/Sn, Au/Bi를 이용한 일괄 밀봉 접속이나, Cu/Sn-Bi를 이용한 압접 접합을 이용할 수 있다. 압접 접합은, 저온 프로세스이고, 유리 기판에의 실장에도 대응할 수 있고, 협피치화가 가능하다.

이상 설명한 바와 같이, 본 발명의 하나의 측면에 따르면, 웨이퍼의 균열에 의한 제조 수율의 저하를 억제할 수 있는 반도체 장치의 제조 방법이 얻어진다.

또한, 땀납 범프와 같은 높은 범프를 사용하는 칩이라도 웨이퍼를 얇게 할 수 있는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 기판의 밀봉 수지의 접착과, 기판(밀봉 수지 부착)과 칩의 접착 위치 편차를 작게 하여 실장 정밀도를 향상할 수 있는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 플립 칩 접속 시에 칩 이면을 코팅하기 위한 테플론 시트 등이 불필요하게 하여 저비용화를 도모할 수 있는 반도체 장치의 제조 방법이 얻어진다.

또한, 제조 공정의 간단화와 저비용화를 도모할 수 있는 반도체 장치의 제조 방법이 얻어진다.

발명의 효과

당업자라면, 부가적인 장점 및 변경들을 용이하게 생성할 수 있다. 따라서, 광의의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구범위 및 그 등가물들에 의해 정의된 바와 같은 전체 발명 개념의 정신 또는 범위로부터 벗어나지 않고 다양한 변경들이 생성될 수 있다.

본 발명에 따르면, 범프의 형성 후에 웨이퍼의 주표면을 밀봉재로 코팅하기 때문에, 범프 이외의 부분이 밀봉재로 매립되어, 외관상의 범프의 돌기가 없어지므로, 이면 연삭 시의 웨이퍼의 균열을 저감시켜, 수율의 저하를 억제할 수 있다. 종래에는, 볼 범프나 스터드 범프 등의 높이가 높은 범프에 있어서는, 이면 연삭용의 표면 보호 테이프로는 범프의 돌기에 의한 단차를 흡수할 수 없어서, 웨이퍼가 깨질 우려가 있었다. 그러나, 밀봉재를 액상 수지에 의한 스펀 코팅으로 형성한 경우에는, 범프의 높이와 무관하게 범프에 의한 단차의 흡수가 가능해져, 볼 범프나 스터드 범프 등의 높이가 높은 범프를 이용할 수 있다. 한편, 시트 형상의 수지를 접착한 경우에도, 밀봉재로서의 수지를 붙인 후에, 표면 보호 테이프를 접착함에 따라, 두개의 부재로 단차를 흡수하므로, 종래보다도 높은 범프까지 대응 가능해진다.

또한, 칩과 밀봉재가 일체화한 상태에서 꾹업을 행하므로, 밀봉재가 칩의 보강 부재로서 기능하여, 얇은 칩을 꾹업할 때에 발생하는 칩의 균열을 대폭 저감시킬 수 있다.

또한, 꾹업한 칩을 플립 칩 접속으로 기판)에 실장할 때에, 밀봉재를 용융시켜 실장과 밀봉을 동시에 행할 수 있으므로, 제조 공정의 간단화와 저비용화를 도모할 수 있다.

또한, 꾹업 시에 웨이퍼의 소자 형성면에 형성한 밀봉재를 흠 상에서 절단하므로, 밀봉재의 사이즈는 칩 사이즈와 거의 동일하게 되어, 칩과 밀봉재의 위치 편차를 작게 하여 플립 칩 접속 시에 밀봉재가 칩 이면으로 올라오는 것을 억제할 수 있다. 따라서, 종래의 제조 방법에서 필요했던 테플론 시트 등이 불필요해져, 제조 비용의 삭감을 도모할 수 있다.

또한, 웨이퍼 상태에서 범프를 형성하므로, 웨이퍼를 개개의 칩으로 개편화하고 나서 범프를 형성하는 제조 방법에 비하여 제조 공정의 간단화와 저비용화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치의 제조 방법에 있어서,

소자가 형성된 웨이퍼의 주표면에, 상기 소자에 전기적으로 접속된 범프를 형성하는 단계,

상기 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라, 상기 웨이퍼의 주표면측으로부터 이면에 달하지 않은 깊이의 흠을 형성하는 단계,

상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계,

상기 웨이퍼에 대해 이면 연삭을 행하여, 상기 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계,

상기 이면 연삭에 의해 개편화된 상기 칩을 꾹업하는 단계, 및

가열에 의하여, 꾹업한 상기 칩의 상기 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 범프는 볼 범프인 반도체 장치의 제조 방법.

청구항 3.

제1항에 있어서,

상기 범프는 스터드 범프인 반도체 장치의 제조 방법.

청구항 4.

제1항에 있어서,

상기 밀봉재는 액상 수지를 이용한 스픬 코팅법으로 형성되는 반도체 장치의 제조 방법.

청구항 5.

제1항에 있어서,

상기 밀봉재는 시트 형상의 수지를 접착함에 의해 형성되는 반도체 장치의 제조 방법.

청구항 6.

제1항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 표면 보호 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 7.

제1항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 자외선 경화형의 표면 보호 테이프를 접착하고, 상기 웨이퍼에 대해 이면 연삭을 행한 후에, 상기 표면 보호 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 8.

제1항에 있어서,

상기 꽂업하는 단계 전에, 개편화된 상기 각 칩의 이면에 꽂업 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 9.

제1항에 있어서,

상기 꽂업하는 단계 전에, 개편화된 상기 각 칩의 이면에 자외선 경화형의 꽂업 테이프를 접착하는 단계, 및 상기 꽂업 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 10.

제1항에 있어서,

픽업한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계는 플립 칩 접속에 의해 행해지는 반도체 장치의 제조 방법.

청구항 11.

제10항에 있어서,

상기 플립 칩 접속에서, 상기 범프의 기판에의 접합은 초음파를 인가한 상태에서 행해지는 반도체 장치의 제조 방법.

청구항 12.

제1항에 있어서,

픽업한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉한 후에, 애프터 쿠어하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 13.

반도체 장치의 제조 방법에 있어서,

소자가 형성된 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라, 상기 웨이퍼의 주표면측으로부터 이면에 달하지 않은 깊이의 홈을 형성하는 단계,

상기 웨이퍼의 주표면에, 상기 소자에 전기적으로 접속된 범프를 형성하는 단계,

상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계,

상기 웨이퍼에 대해 이면 연삭을 행하여, 상기 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계,

상기 이면 연삭에 의해 개편화된 상기 칩을 픽업하는 단계, 및

가열에 의하여, 픽업한 상기 칩의 상기 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 14.

제13항에 있어서,

상기 범프는 볼 범프인 반도체 장치의 제조 방법.

청구항 15.

제13항에 있어서,

상기 범프는 스터드 범프인 반도체 장치의 제조 방법.

청구항 16.

제13항에 있어서,

상기 밀봉재는 액상 수지를 이용한 스픈 코팅법으로 형성되는 반도체 장치의 제조 방법.

청구항 17.

제13항에 있어서,

상기 밀봉재는 시트 형상의 수지를 접착함에 의해 형성되는 반도체 장치의 제조 방법.

청구항 18.

제13항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 표면 보호 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 19.

제13항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 자외선 경화형의 표면 보호 테이프를 접착하고, 상기 웨이퍼에 대해 이면 연삭을 행한 후에, 상기 표면 보호 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 20.

제13항에 있어서,

상기 꾹입하는 단계 전에, 개편화된 상기 각 칩의 이면에 꾹입 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 21.

제13항에 있어서,

상기 꾹입하는 단계 전에, 개편화된 상기 각 칩의 이면에 자외선 경화형의 꾹입 테이프를 접착하는 단계, 및 상기 꾹입 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 22.

제13항에 있어서,

꽉입한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계는 플립 칩 접속에 의해 행해지는 반도체 장치의 제조 방법.

청구항 23.

제22항에 있어서,

상기 플립 칩 접속에서, 상기 범프의 기판에의 접합은 초음파를 인가한 상태에서 행해지는 반도체 장치의 제조 방법.

청구항 24.

제13항에 있어서,

핀업한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉한 후에, 애프터 큐어하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 25.

반도체 장치의 제조 방법에 있어서,

소자가 형성된 웨이퍼의 주표면에, 상기 소자에 전기적으로 접속된 범프를 형성하는 단계,

상기 웨이퍼의 범프 형성면측을 밀봉재로 피복하는 단계,

상기 웨이퍼의 다이싱 라인 또는 칩 분할 라인을 따라, 상기 밀봉재를 절단하고 또한 상기 웨이퍼의 이면에 달하지 않은 깊이의 홈을 형성하는 단계,

상기 웨이퍼에 대해 이면 연삭을 행하여, 상기 웨이퍼의 박막화와 개개의 칩으로의 분리를 동시에 행하는 단계,

상기 이면 연삭에 의해 개편화된 상기 칩을 핀업하는 단계, 및

가열에 의하여, 핀업한 상기 칩의 상기 범프를 용융시켜 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 26.

제25항에 있어서,

상기 범프는 볼 범프인 반도체 장치의 제조 방법.

청구항 27.

제25항에 있어서,

상기 범프는 스터드 범프인 반도체 장치의 제조 방법.

청구항 28.

제25항에 있어서,

상기 밀봉재는 액상 수지를 이용한 스판 코팅법에 의해 형성되는 반도체 장치의 제조 방법.

청구항 29.

제25항에 있어서,

상기 밀봉재는 시트 형상의 수지를 접착함에 의해 형성되는 반도체 장치의 제조 방법.

청구항 30.

제25항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 표면 보호 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 31.

제25항에 있어서,

상기 웨이퍼에 대해 이면 연삭을 행하기 전에, 상기 웨이퍼의 범프 형성면을 피복하는 상기 밀봉재 위에 자외선 경화형의 표면 보호 테이프를 접착하고, 상기 웨이퍼의 이면 연삭을 행한 후에, 상기 표면 보호 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 32.

제25항에 있어서,

상기 꽂업하는 단계 전에, 개편화된 상기 각 칩의 이면에 꽂업 테이프를 접착하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 33.

제25항에 있어서,

상기 꽂업하는 단계 전에, 개편화된 상기 각 칩의 이면에 자외선 경화형의 꽂업 테이프를 접착하는 단계, 및 상기 꽂업 테이프에 자외선을 조사하여 접착력을 저하시키는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 34.

제25항에 있어서,

꽝업한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉하는 단계는 플립 칩 접속에 의해 행해지는 반도체 장치의 제조 방법.

청구항 35.

제34항에 있어서,

상기 플립 칩 접속에서, 상기 범프의 기판에의 접합은 초음파를 인가한 상태에서 행해지는 반도체 장치의 제조 방법.

청구항 36.

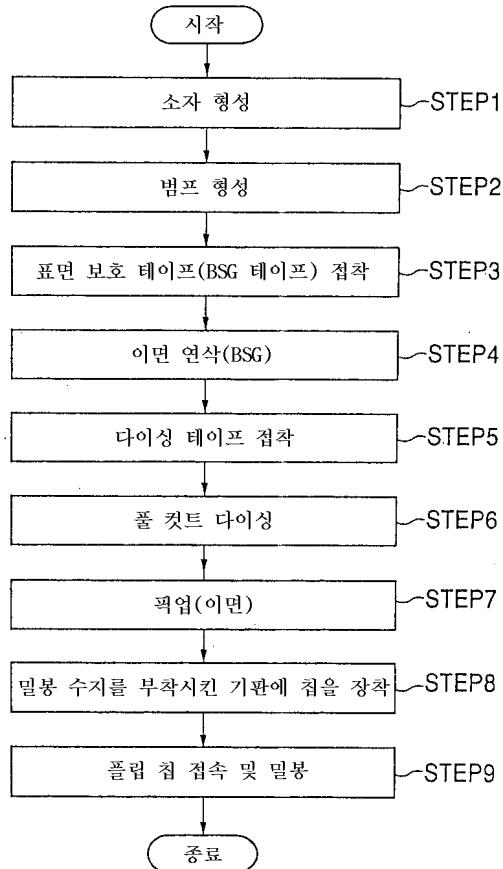
제25항에 있어서,

꽝업한 상기 칩의 상기 범프를 기판에 접합하여 실장하고, 또한 동시에 상기 밀봉재를 용융시켜 밀봉한 후에, 애프터 큐어하는 단계를 더 포함하는 반도체 장치의 제조 방법.

도면

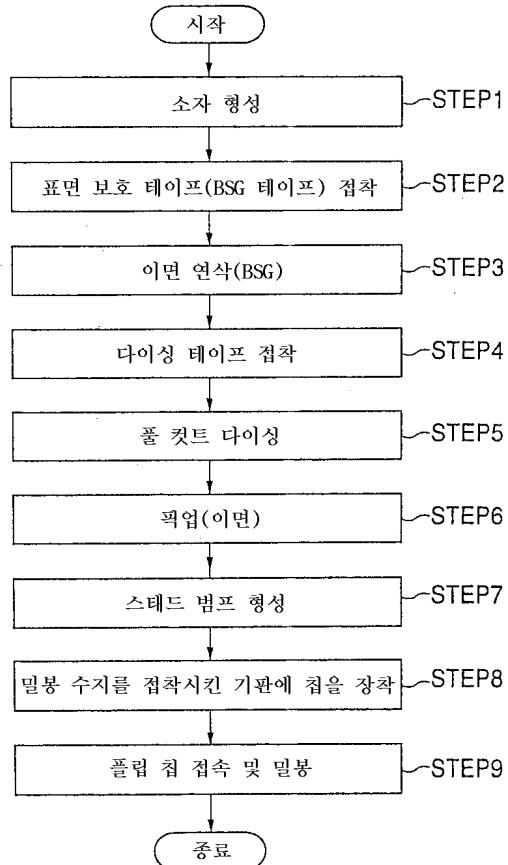
도면1

(종래 기술)

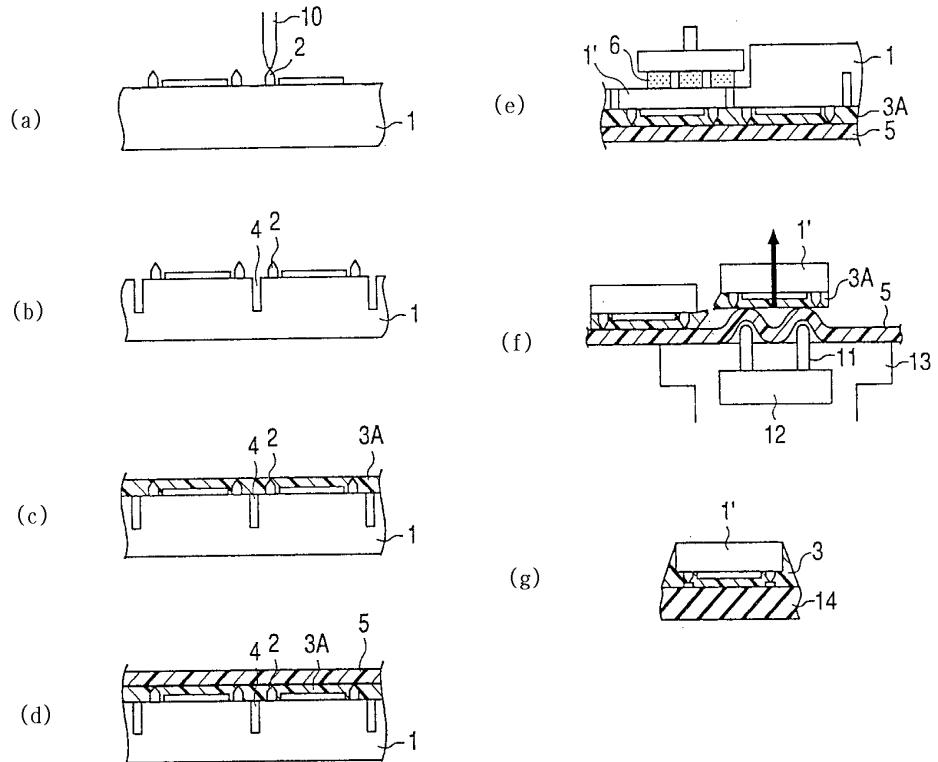


도면2

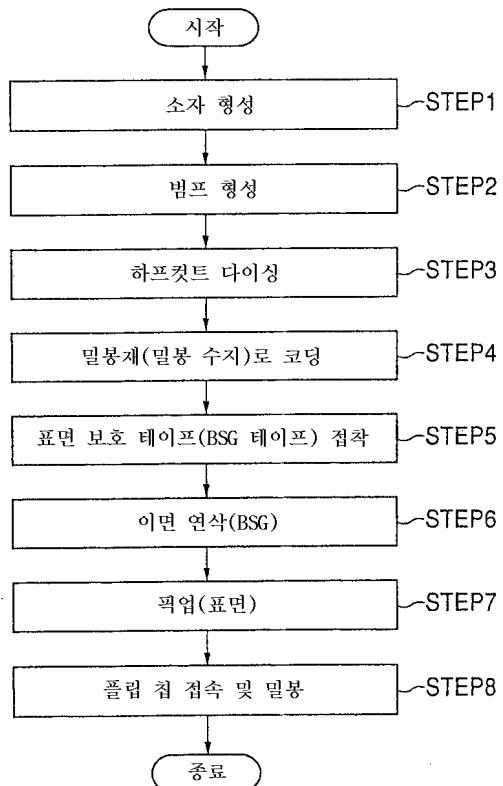
(종래 기술)



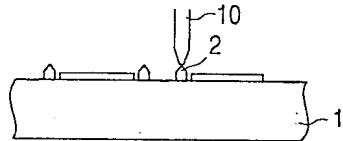
도면3



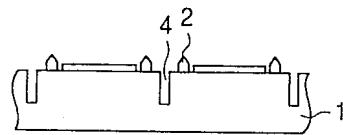
도면4



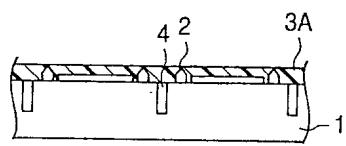
도면5a



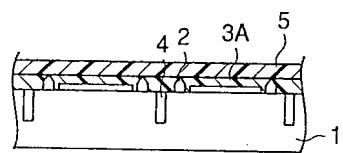
도면5b



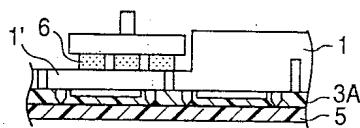
도면5c



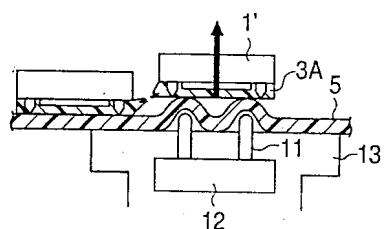
도면5d



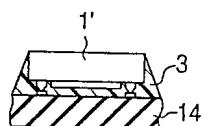
도면5e



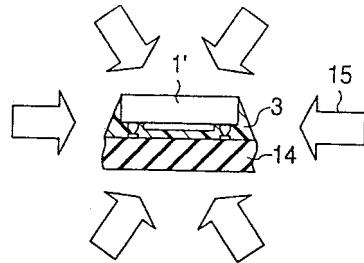
도면5f



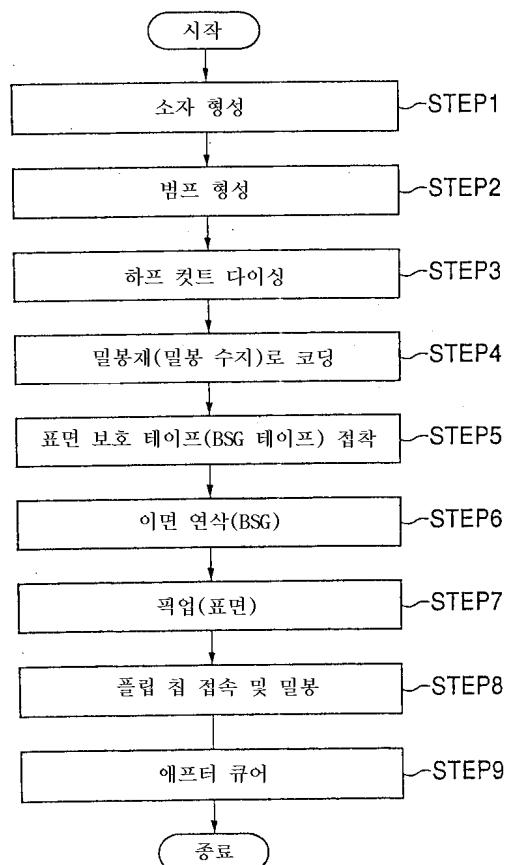
도면5g



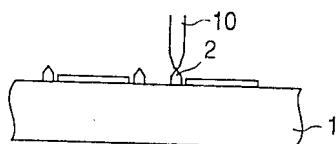
도면5h



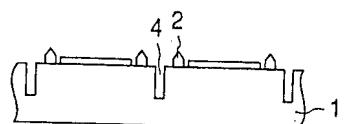
도면6



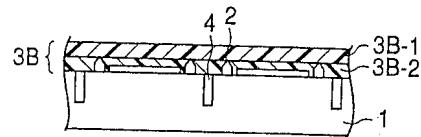
도면7a



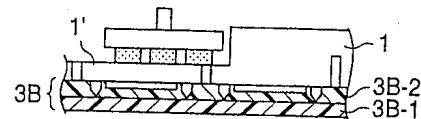
도면7b



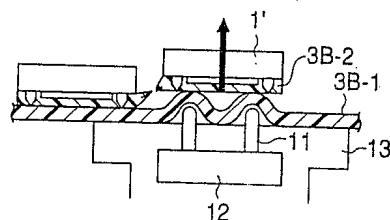
도면7c



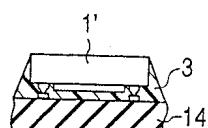
도면7d



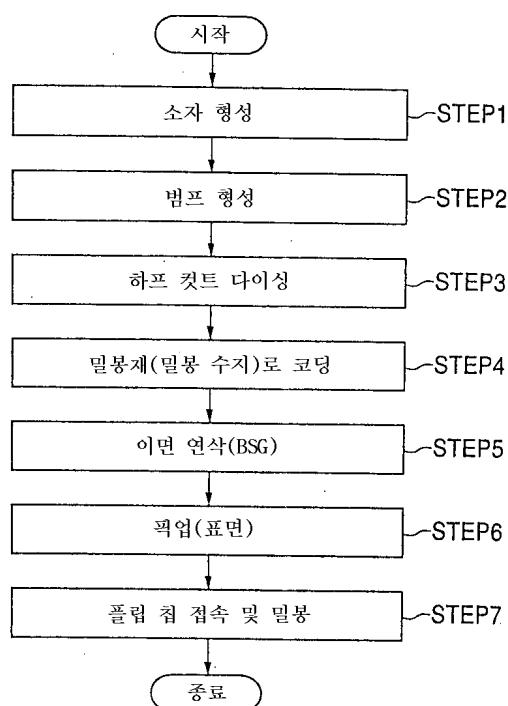
도면7e



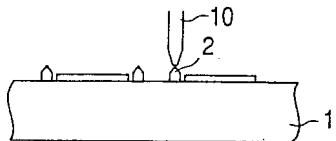
도면7f



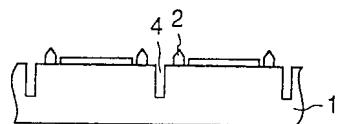
도면8



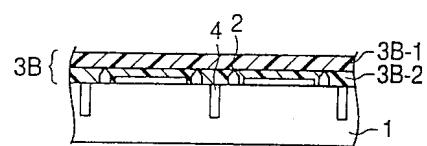
도면9a



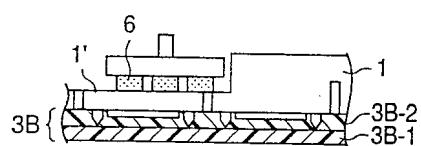
도면9b



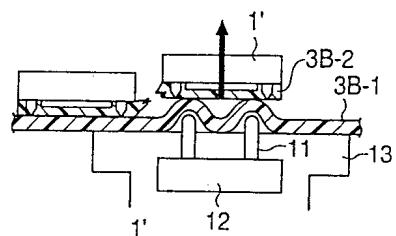
도면9c



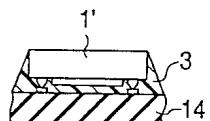
도면9d



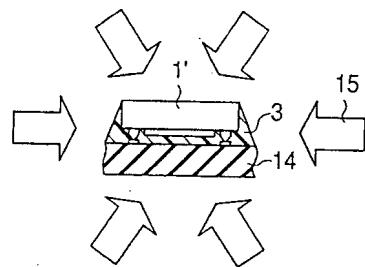
도면9e



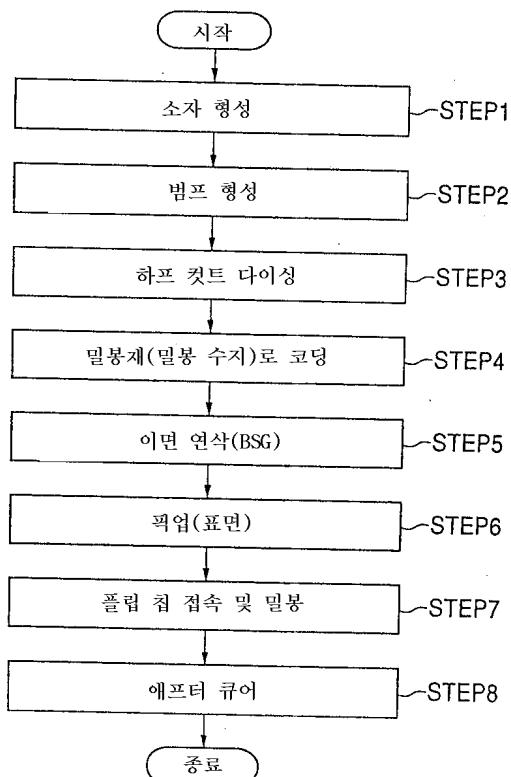
도면9f



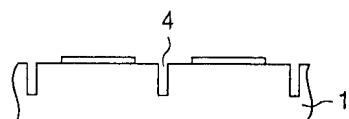
도면9g



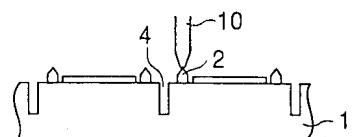
도면10



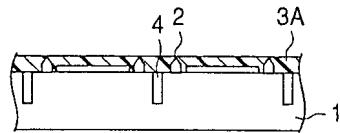
도면11a



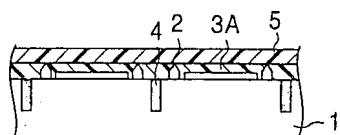
도면11b



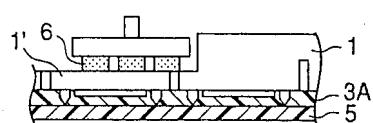
도면11c



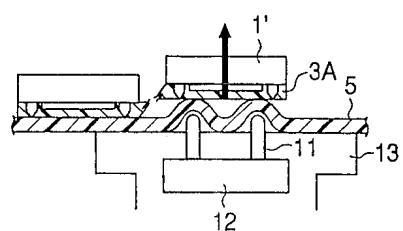
도면11d



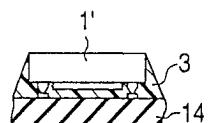
도면11e



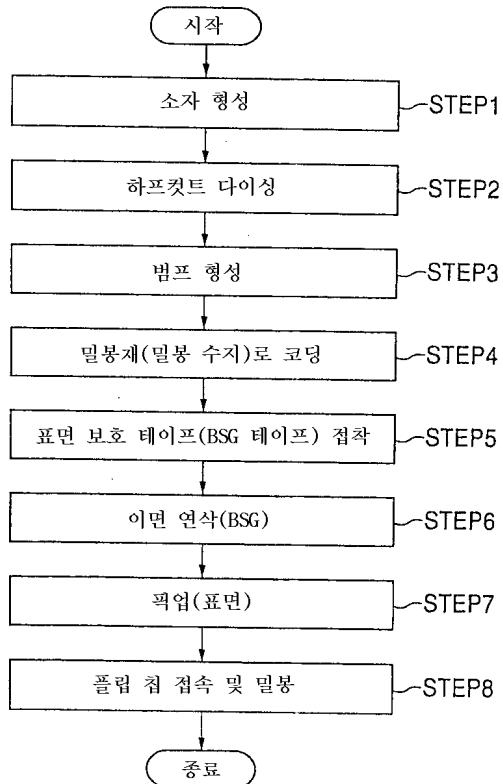
도면11f



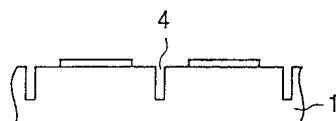
도면11g



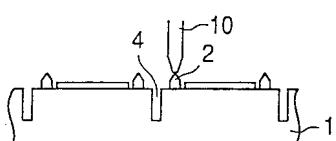
도면12



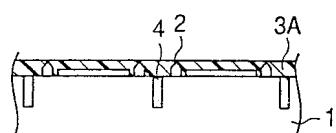
도면13a



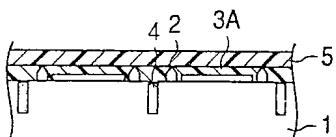
도면13b



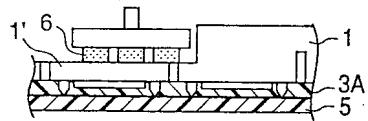
도면13c



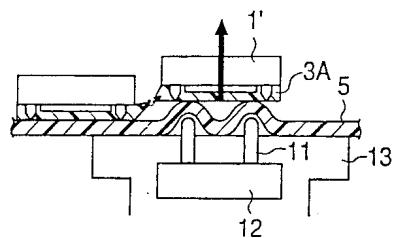
도면13d



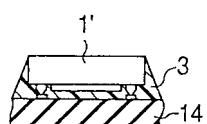
도면13e



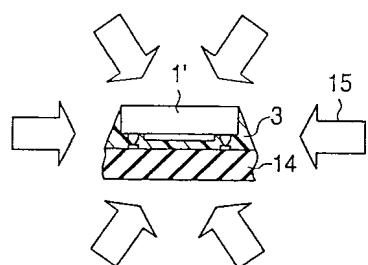
도면13f



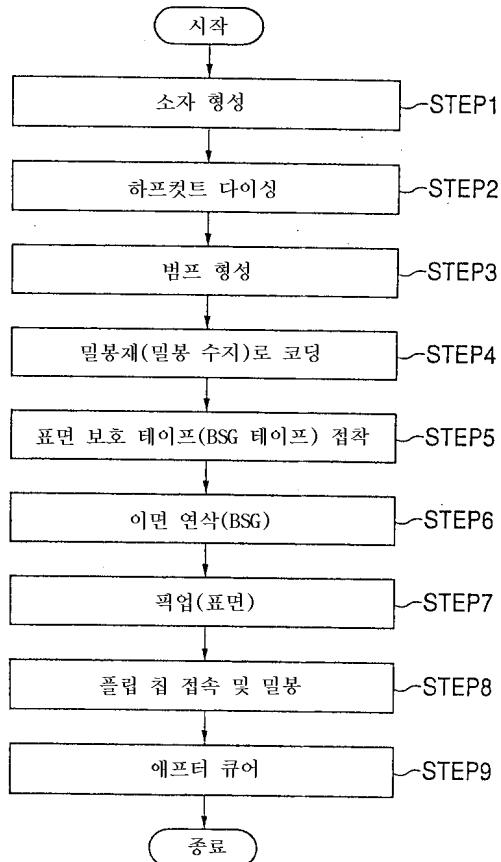
도면13g



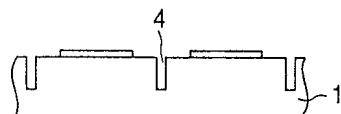
도면13h



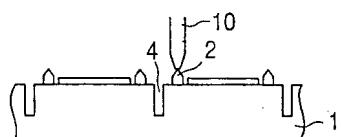
도면14



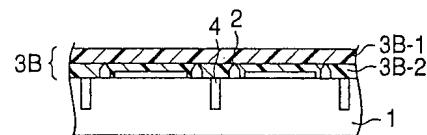
도면15a



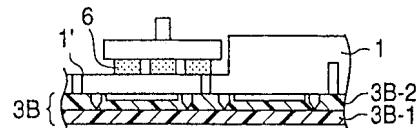
도면15b



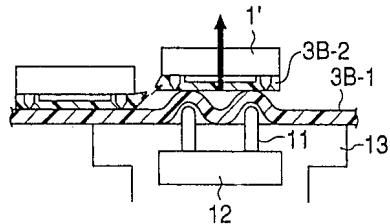
도면15c



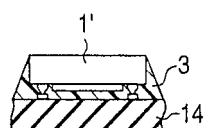
도면15d



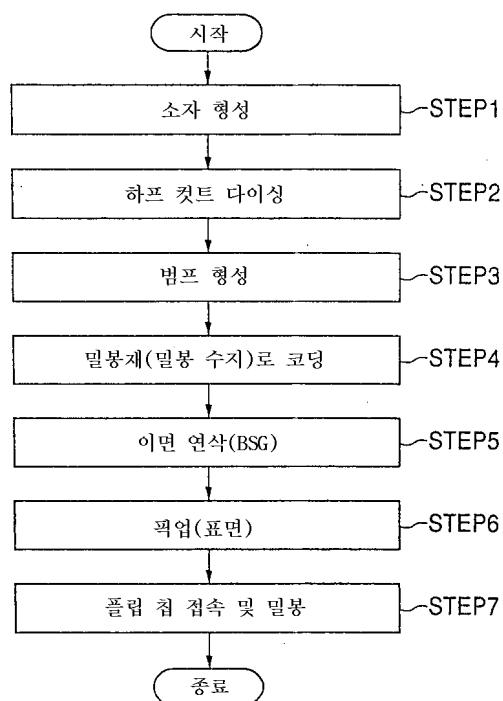
도면15e



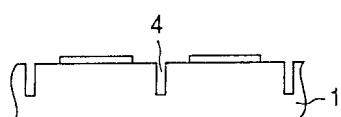
도면15f



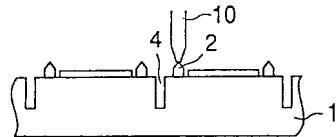
도면16



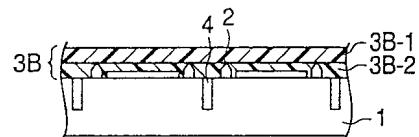
도면17a



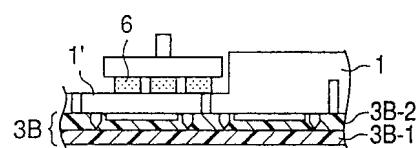
도면17b



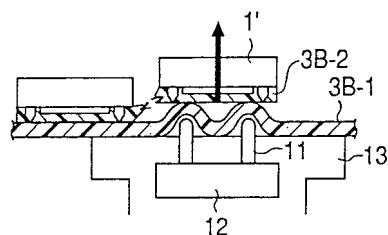
도면17c



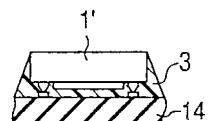
도면17d



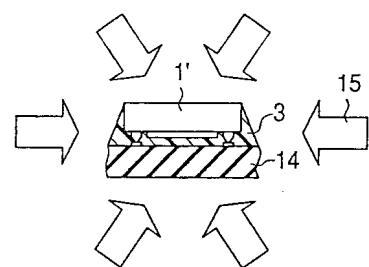
도면17e



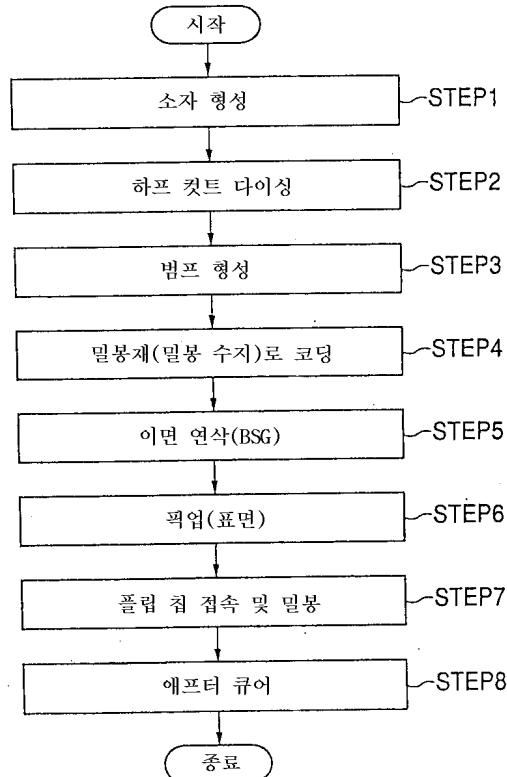
도면17f



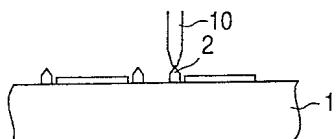
도면17g



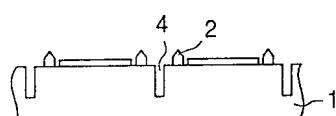
도면18



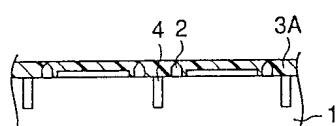
도면19a



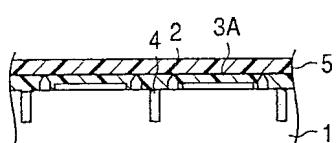
도면19b



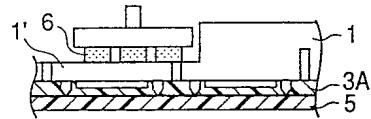
도면19c



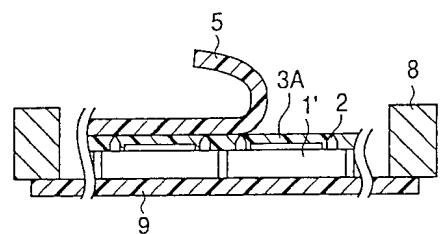
도면19d



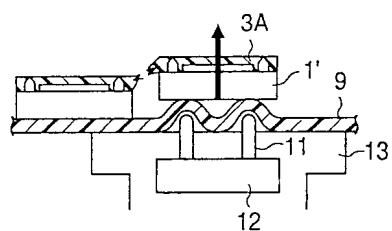
도면19e



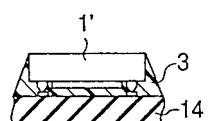
도면19f



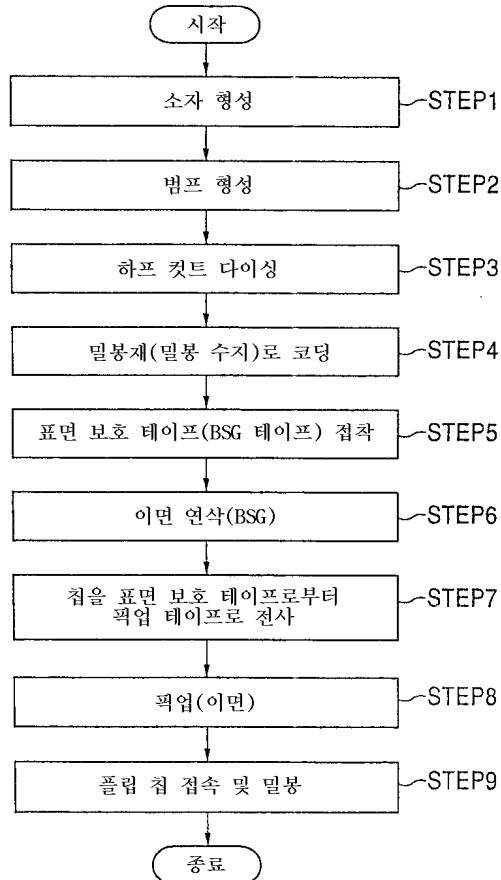
도면19g



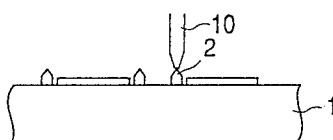
도면19h



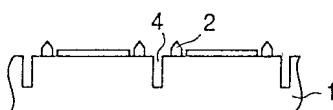
도면20



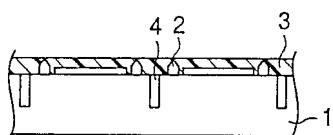
도면21a



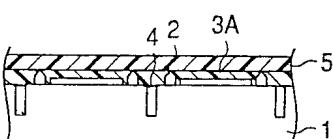
도면21b



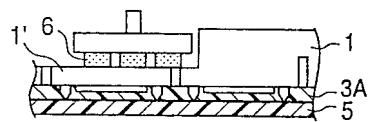
도면21c



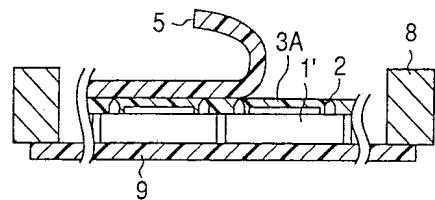
도면21d



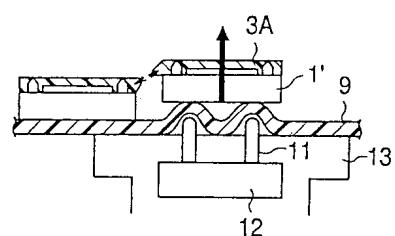
도면21e



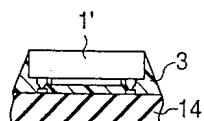
도면21f



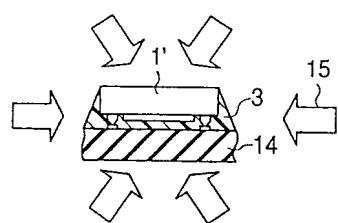
도면21g



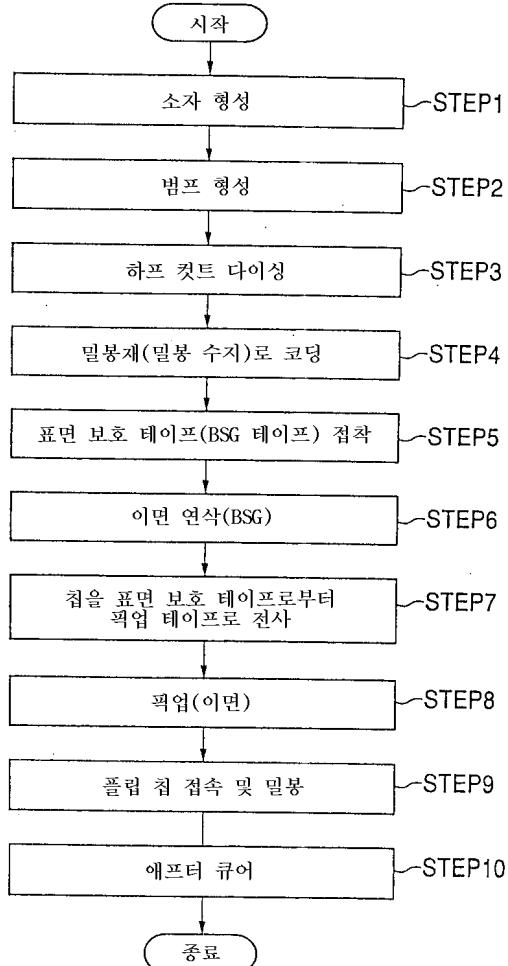
도면21h



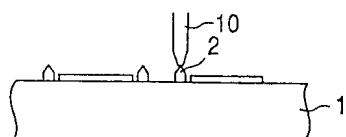
도면21i



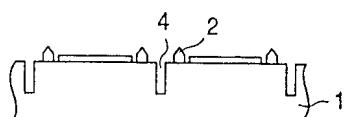
도면22



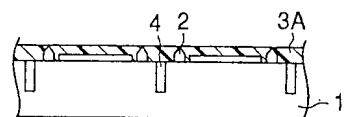
도면23a



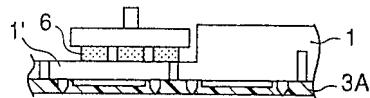
도면23b



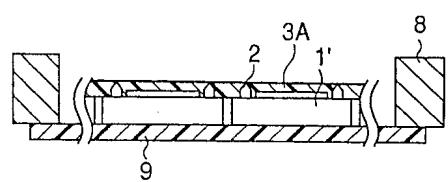
도면23c



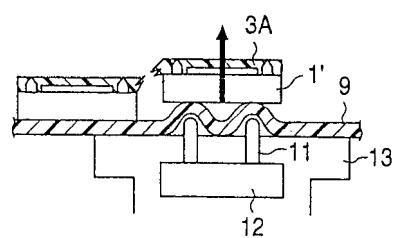
도면23d



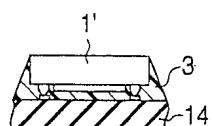
도면23e



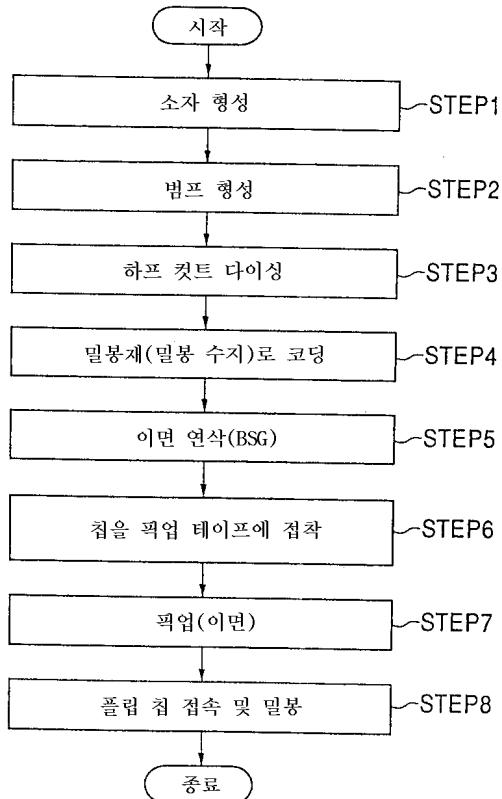
도면23f



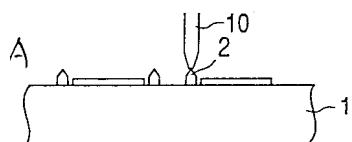
도면23g



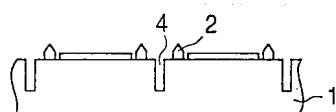
도면24



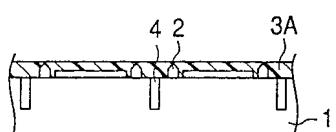
도면25a



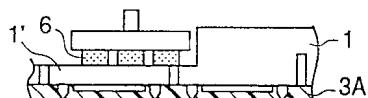
도면25b



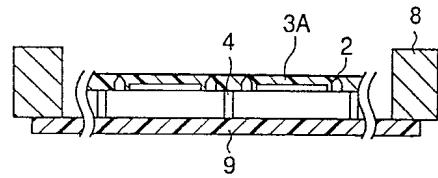
도면25c



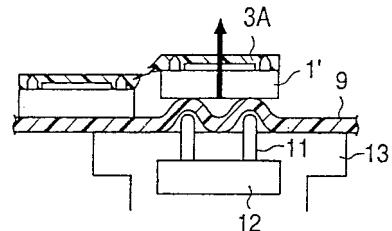
도면25d



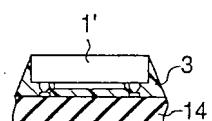
도면25e



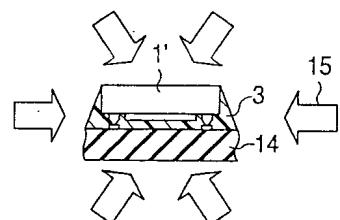
도면25f



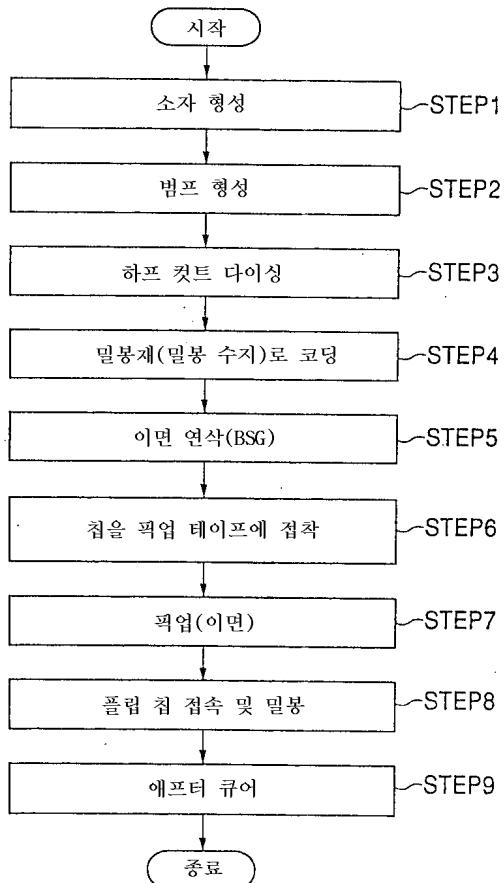
도면25g



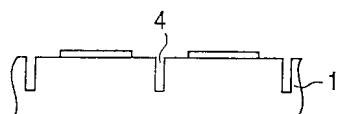
도면25h



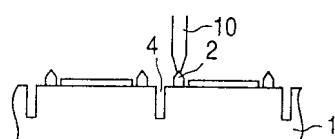
도면26



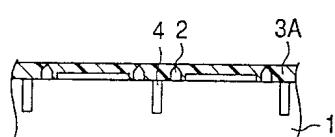
도면27a



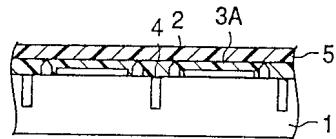
도면27b



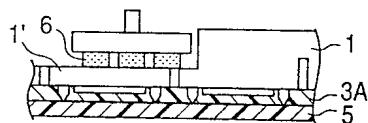
도면27c



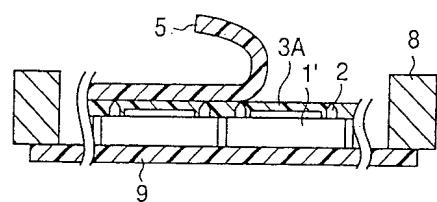
도면27d



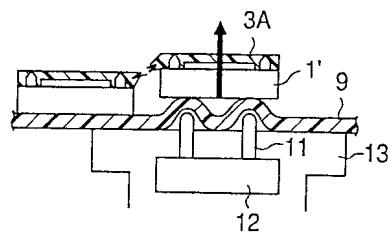
도면27e



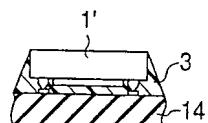
도면27f



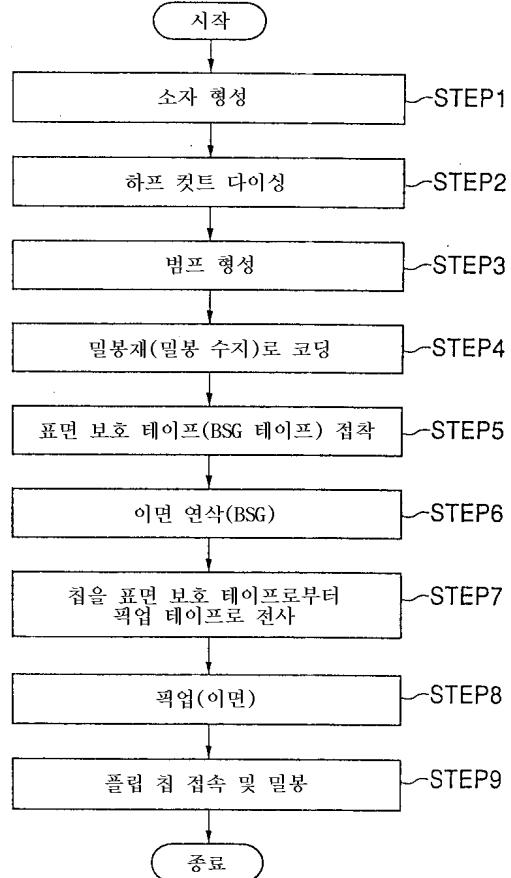
도면27g



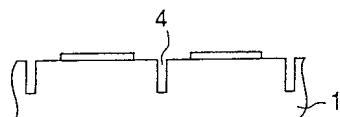
도면27h



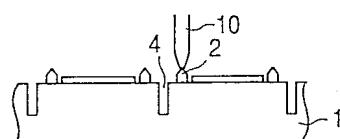
도면28



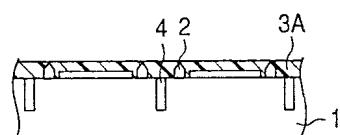
도면29a



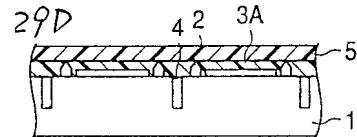
도면29b



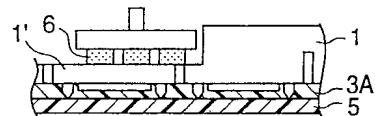
도면29c



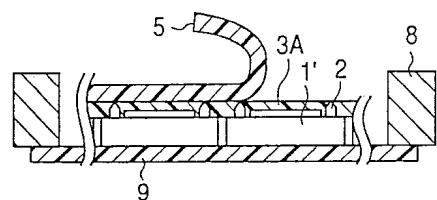
도면29d



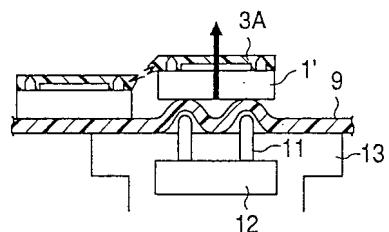
도면29e



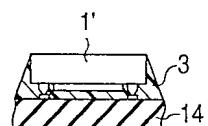
도면29f



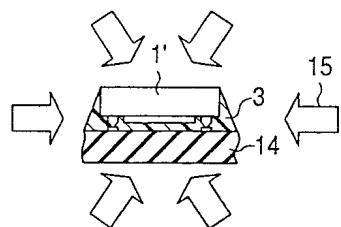
도면29g



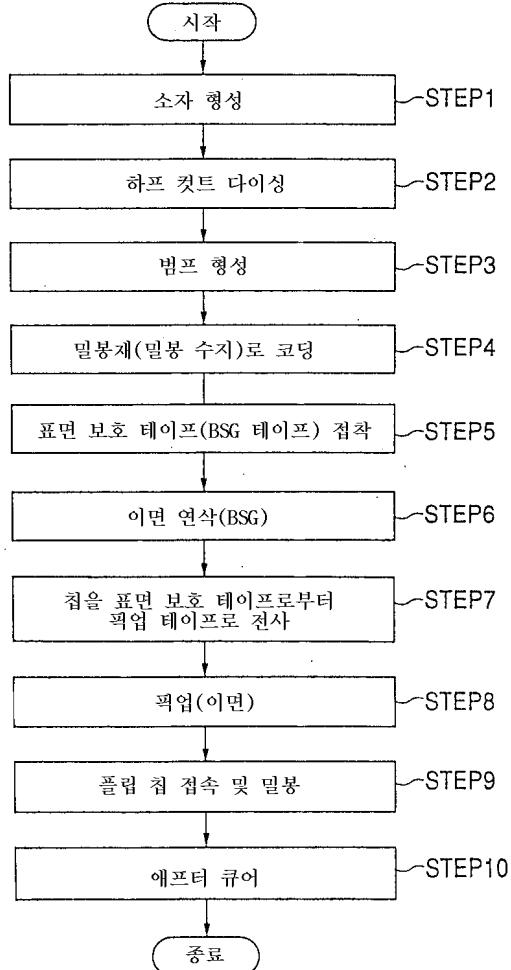
도면29h



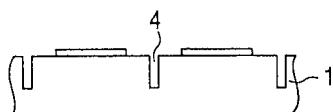
도면29i



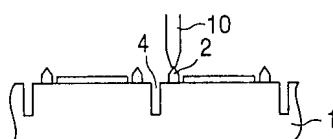
도면30



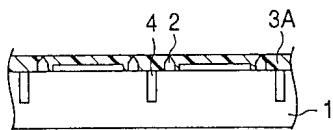
도면31a



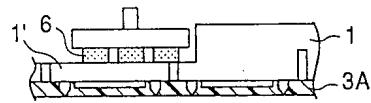
도면31b



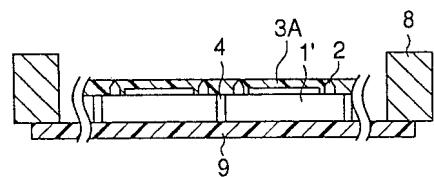
도면31c



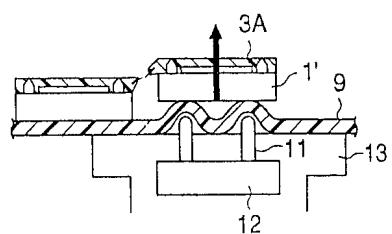
도면31d



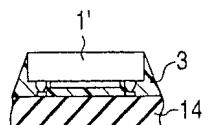
도면31e



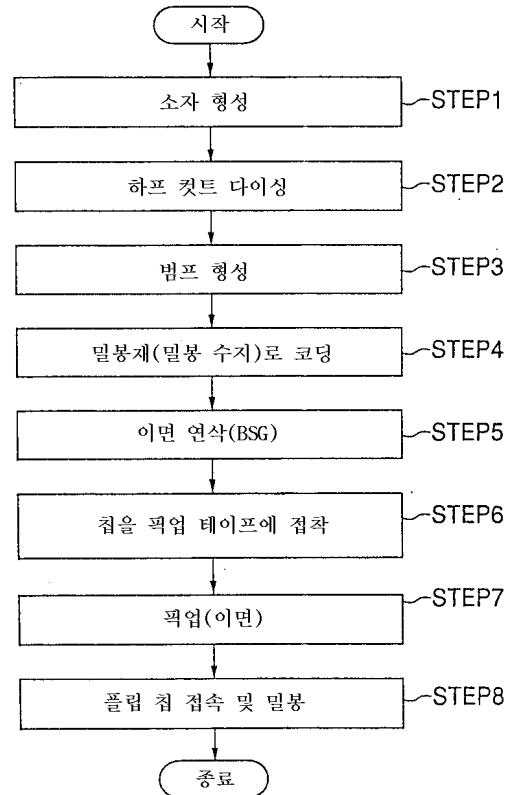
도면31f



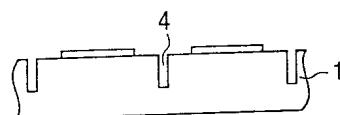
도면31g



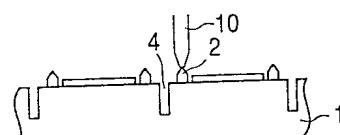
도면32



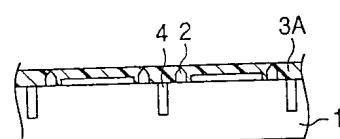
도면33a



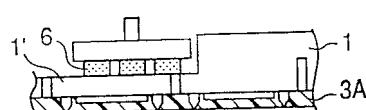
도면33b



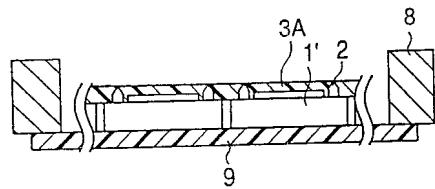
도면33c



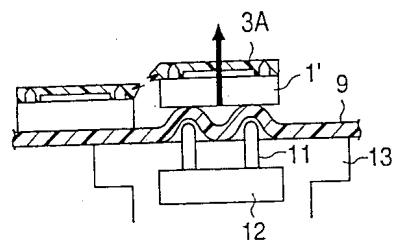
도면33d



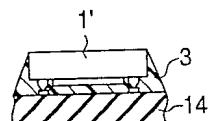
도면33e



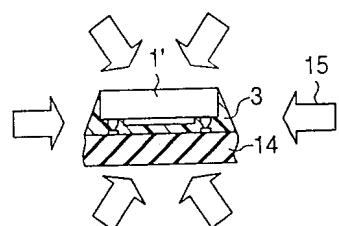
도면33f



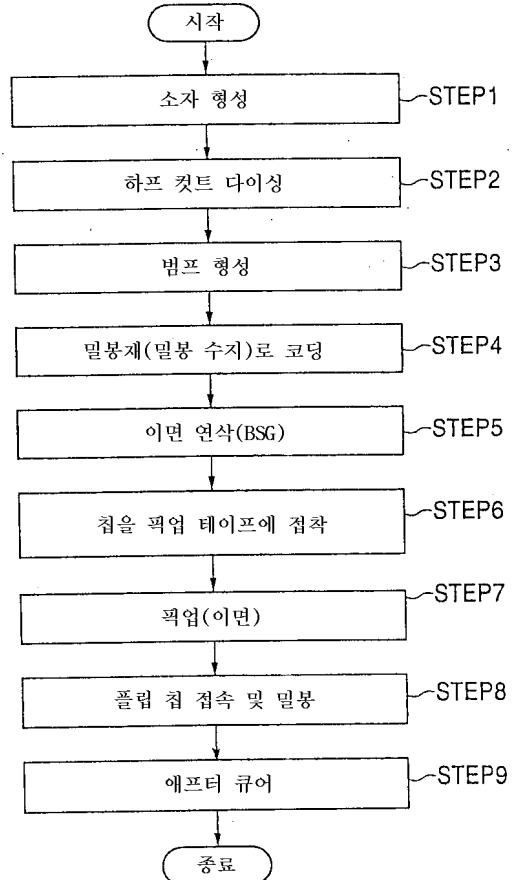
도면33g



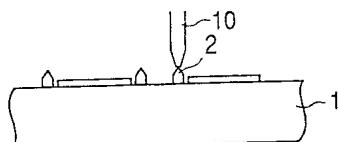
도면33h



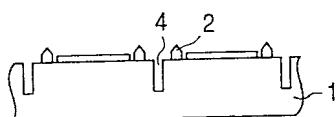
도면34



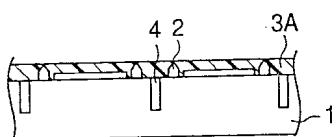
도면35a



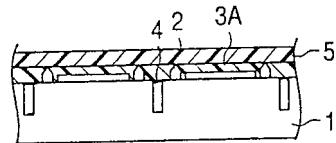
도면35b



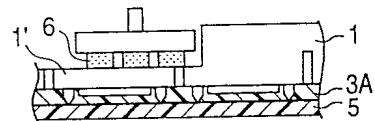
도면 35c



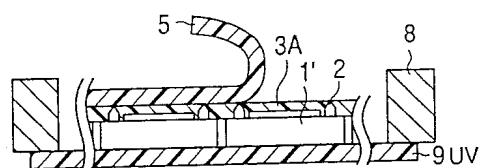
도면35d



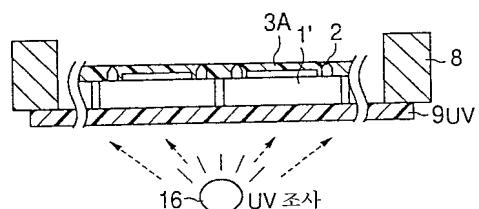
도면35e



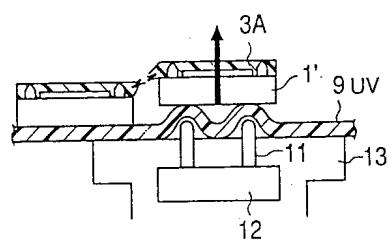
도면35f



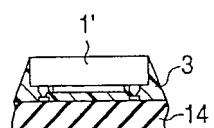
도면35g



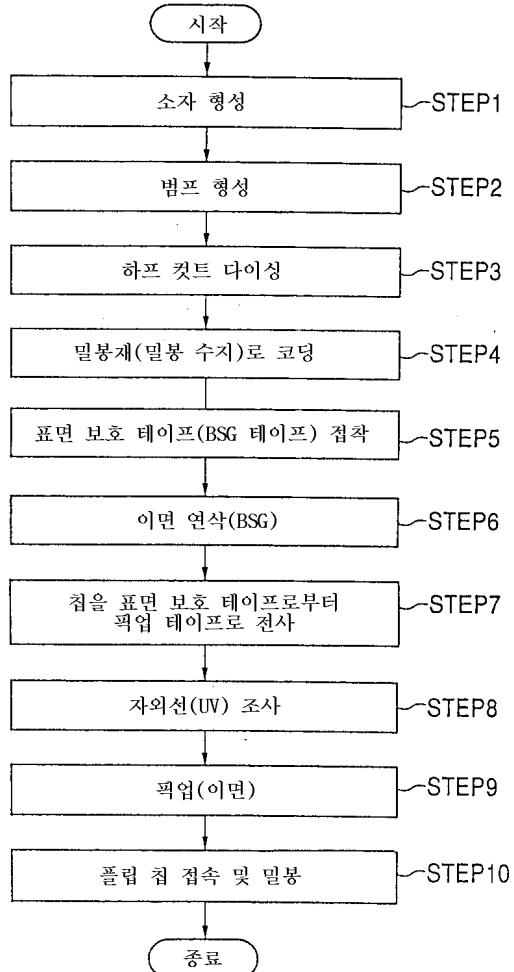
도면35h



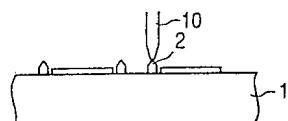
도면35i



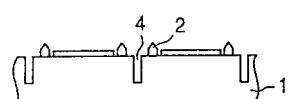
도면36



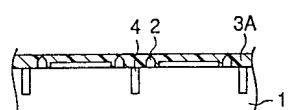
도면37a



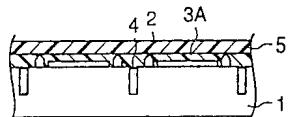
도면37b



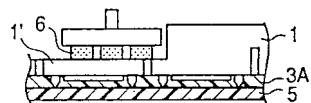
도면37c



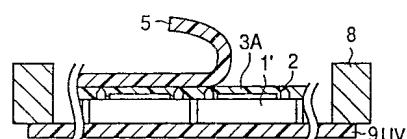
도면37d



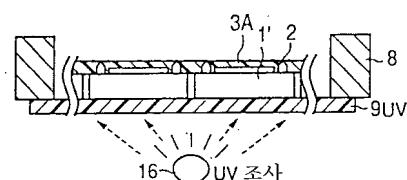
도면37e



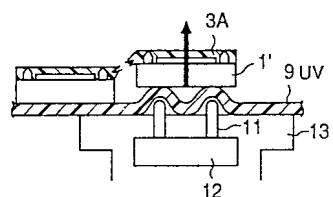
도면37f



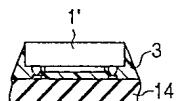
도면37g



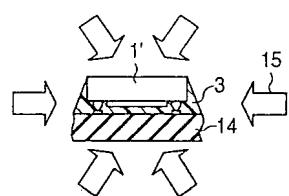
도면37h



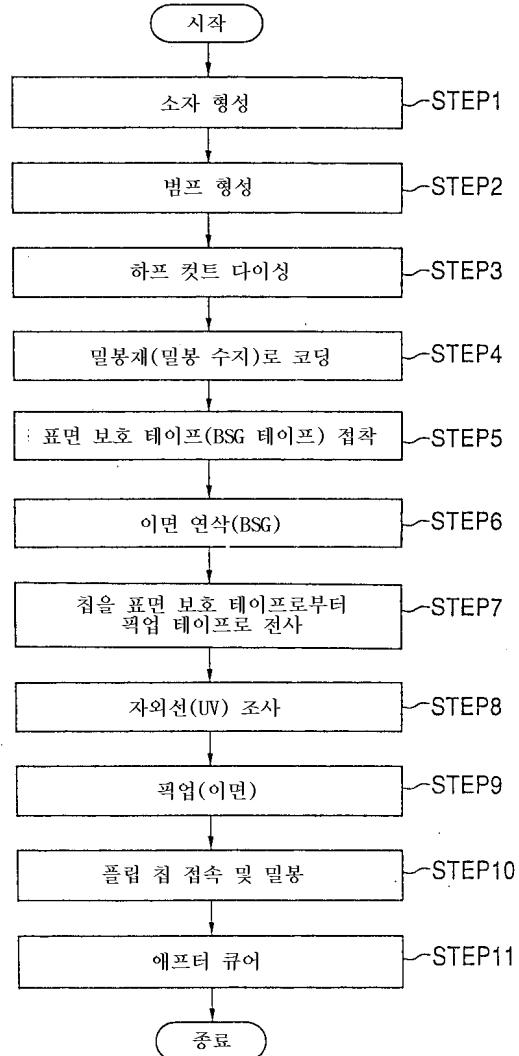
도면37i



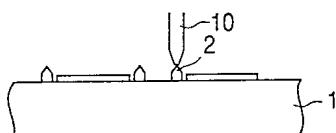
도면37j



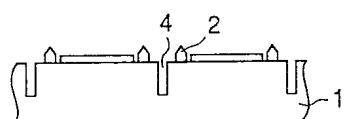
도면38



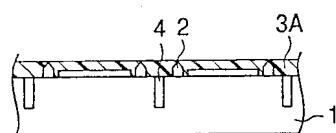
도면39a



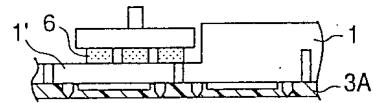
도면39b



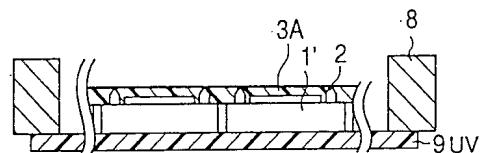
도면39c



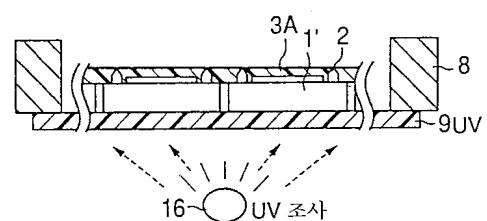
도면39d



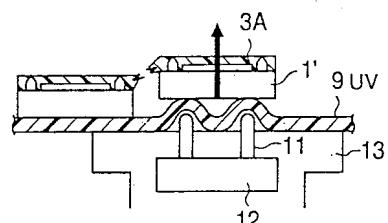
도면39e



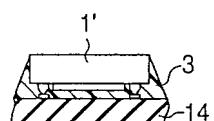
도면39f



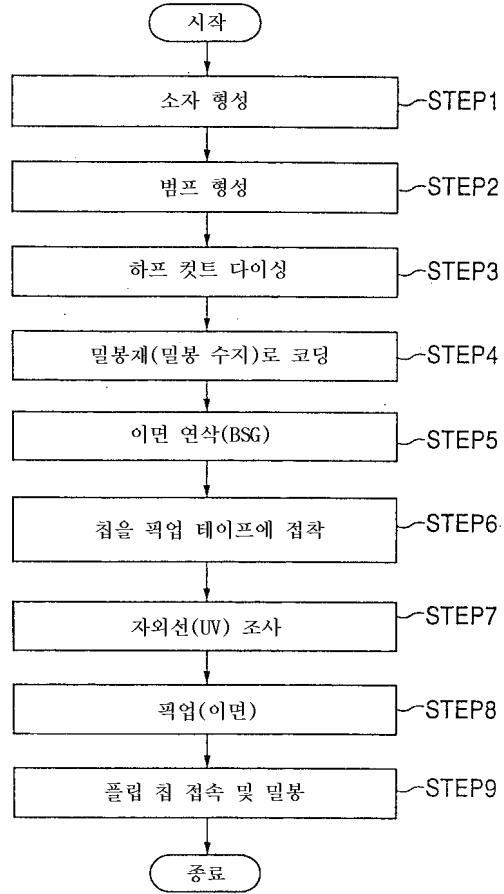
도면39g



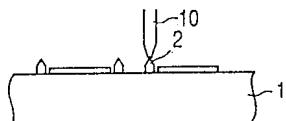
도면39h



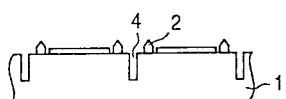
도면40



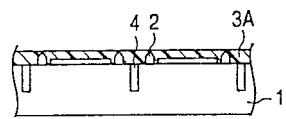
도면41a



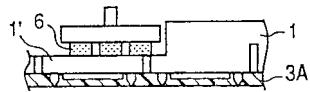
도면41b



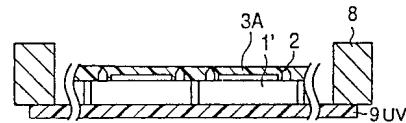
도면41c



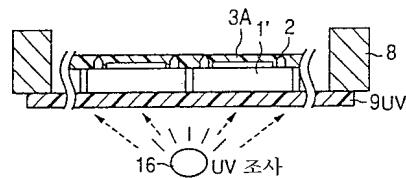
도면41d



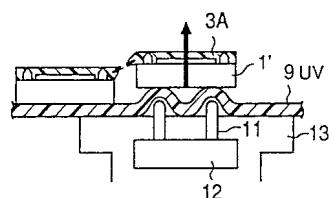
도면41e



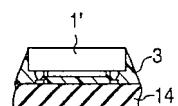
도면41f



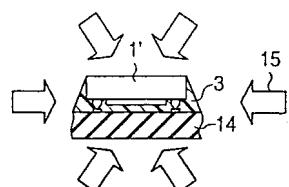
도면41g



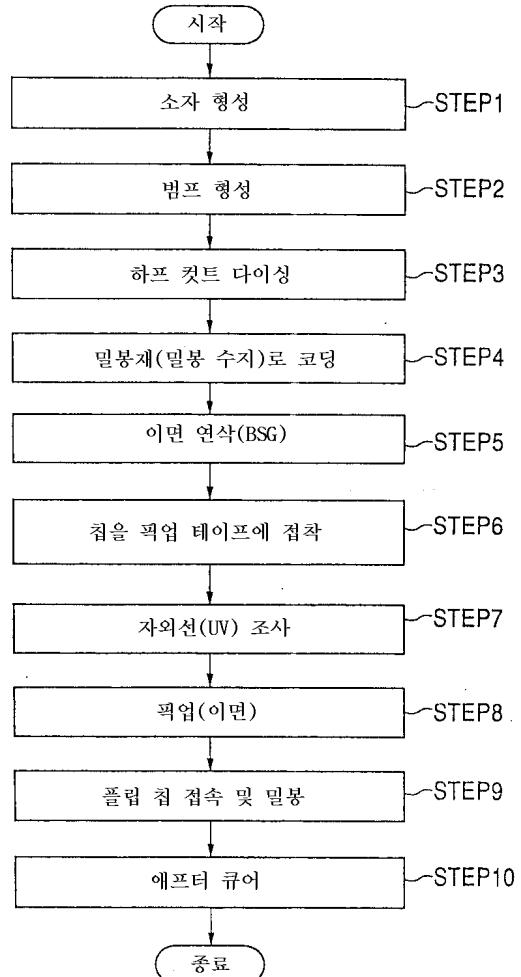
도면41h



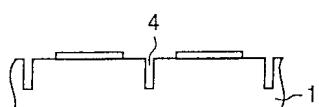
도면41i



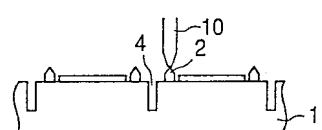
도면42



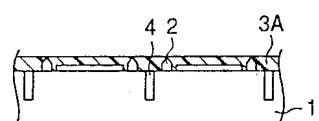
도면43a



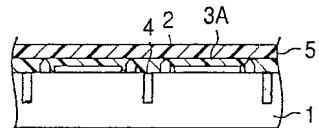
도면43b



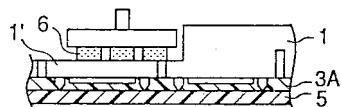
도면43c



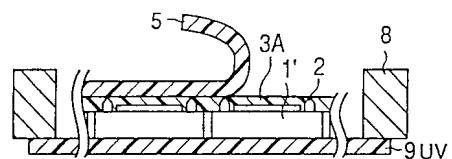
도면43d



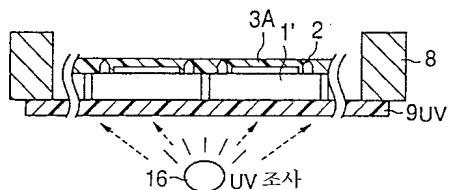
도면43e



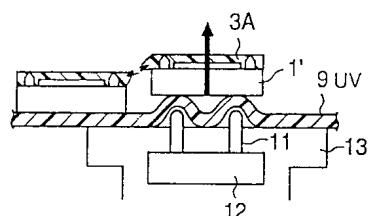
도면43f



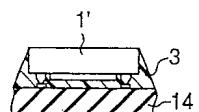
도면43g



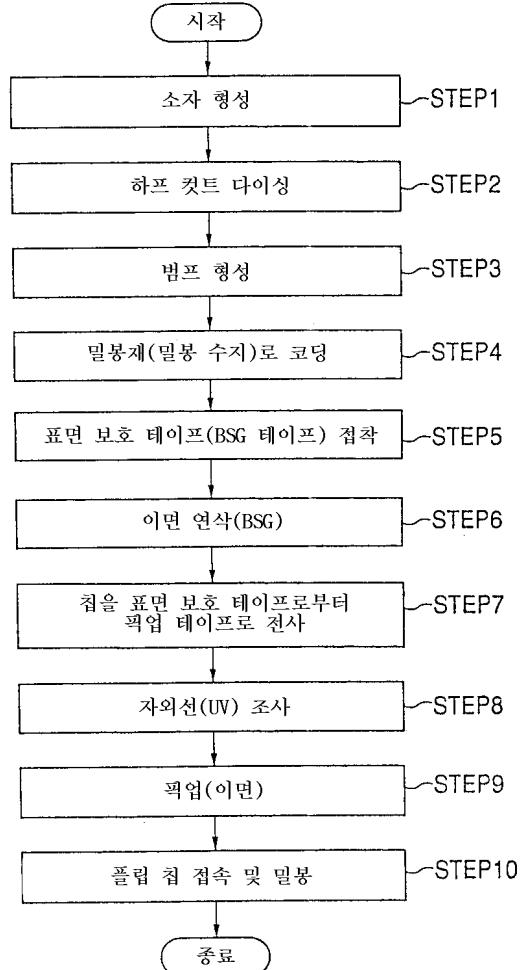
도면43h



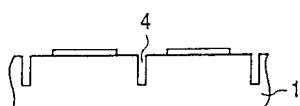
도면43i



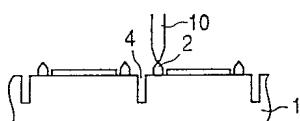
도면44



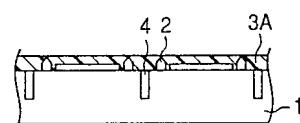
도면45a



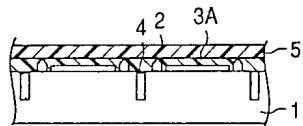
도면45b



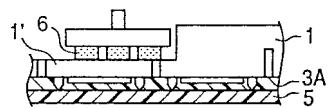
도면45c



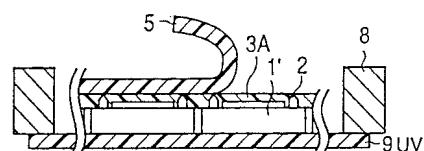
도면45d



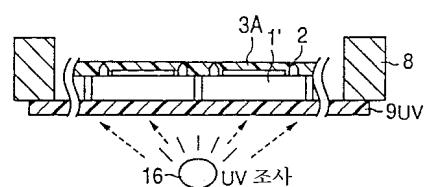
도면45e



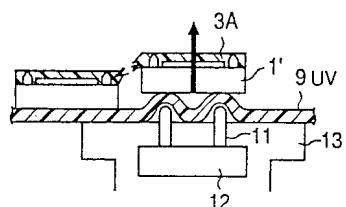
도면45f



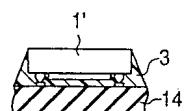
도면45g



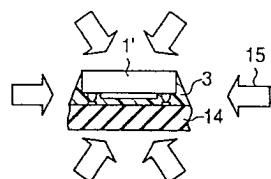
도면45h



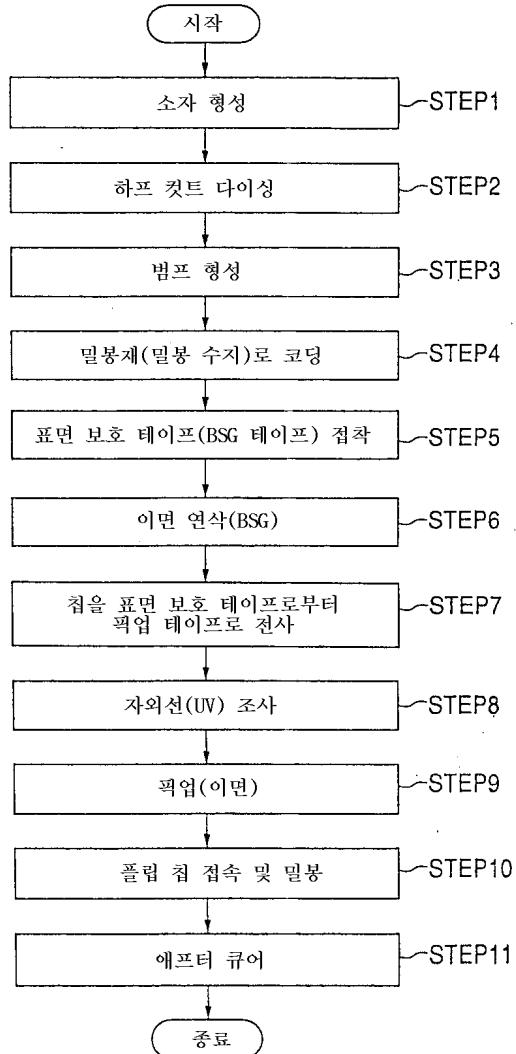
도면45i



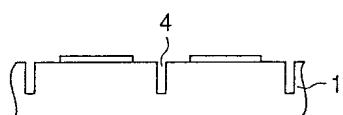
도면45j



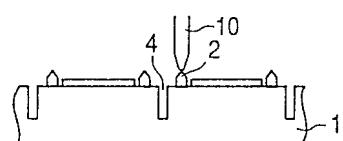
도면46



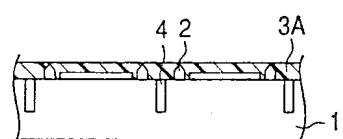
도면47a



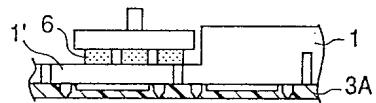
도면47b



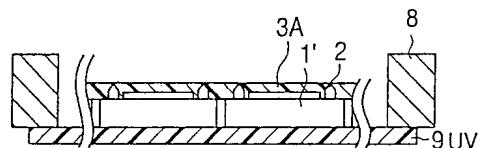
도면47c



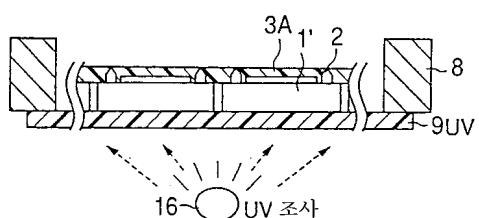
도면47d



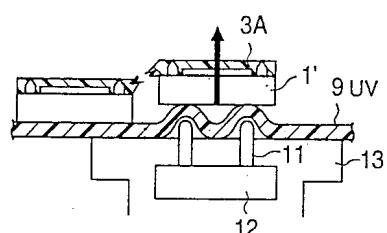
도면47e



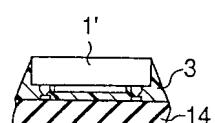
도면47f



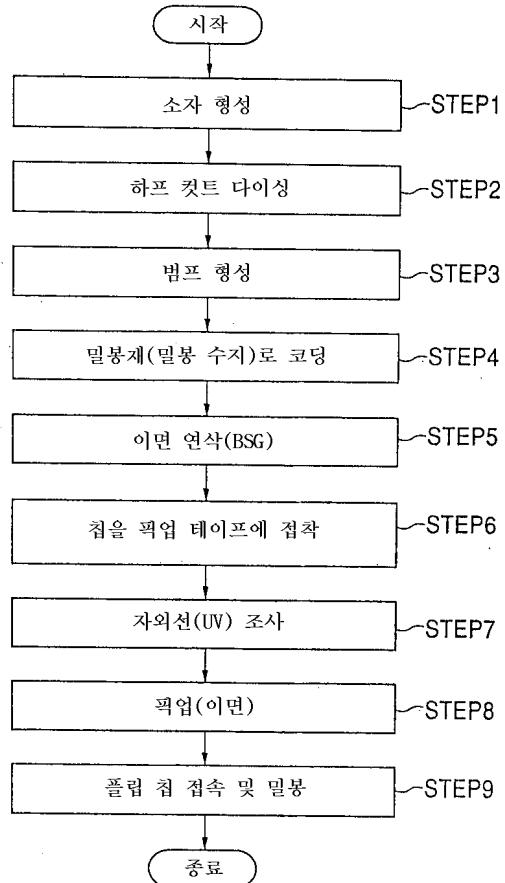
도면47g



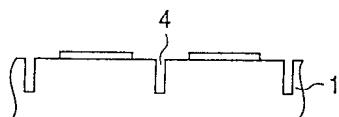
도면47h



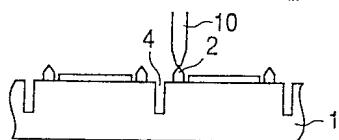
도면48



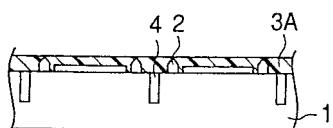
도면49a



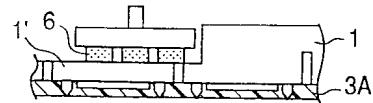
도면49b



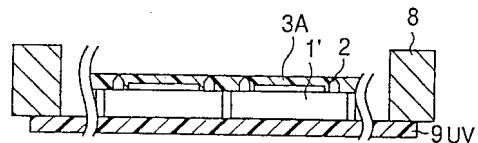
도면49c



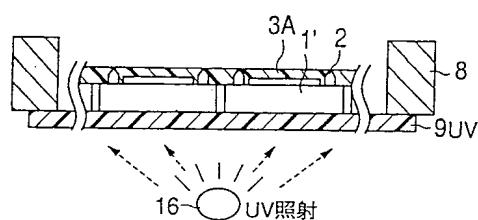
도면49d



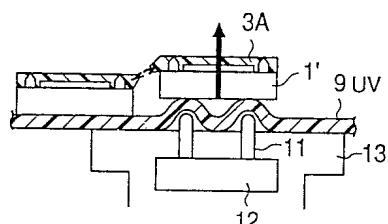
도면49e



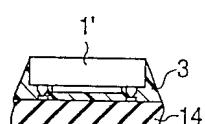
도면49f



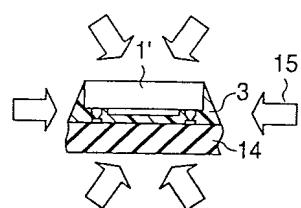
도면49g



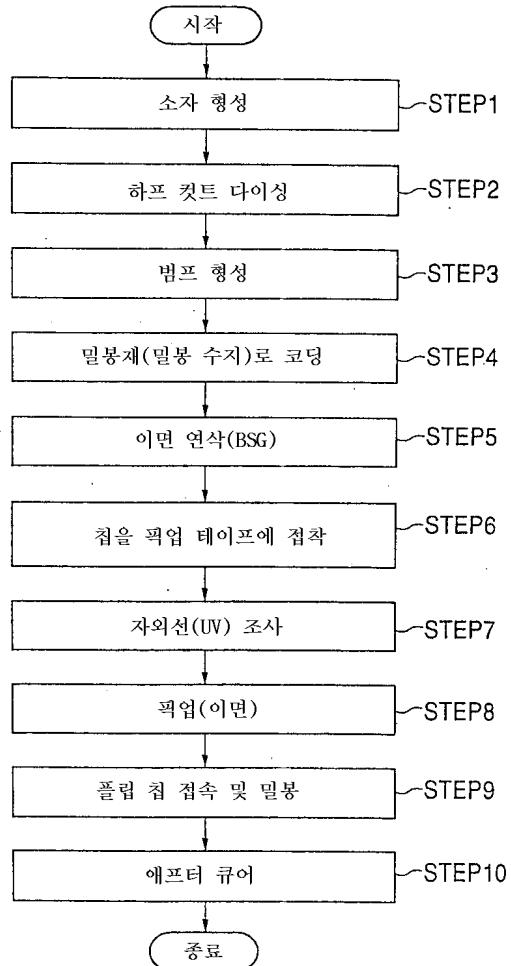
도면49h



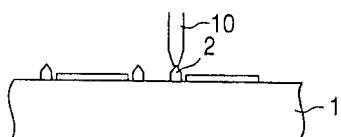
도면49i



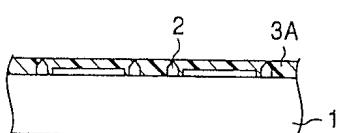
도면50



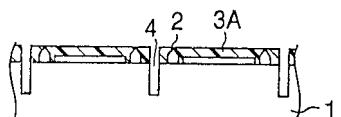
도면51a



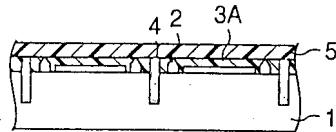
도면51b



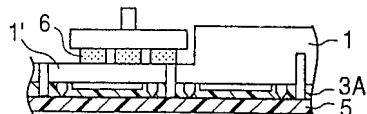
도면51c



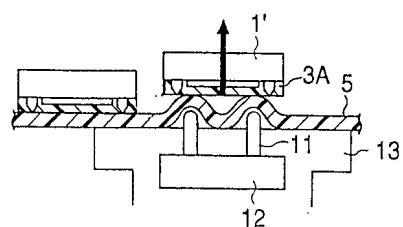
도면51d



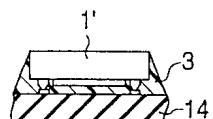
도면51e



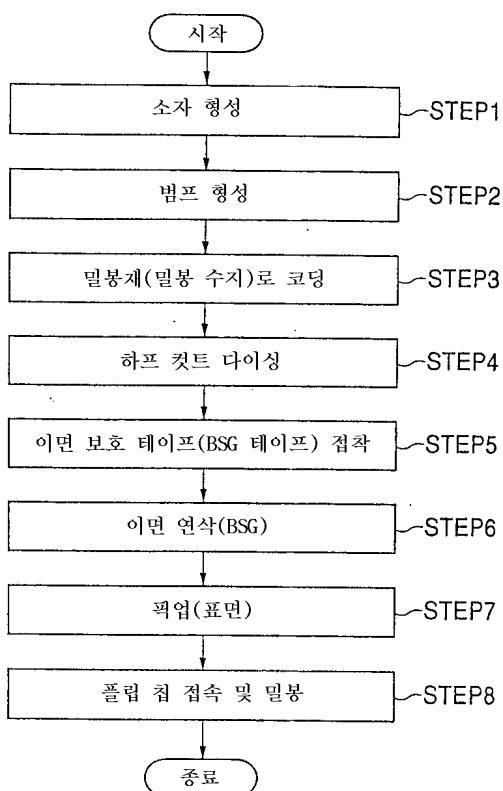
도면51f



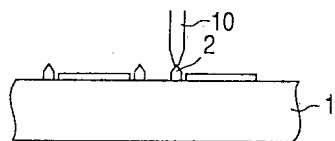
도면51g



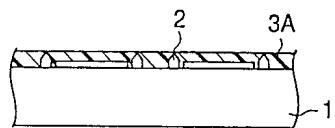
도면52



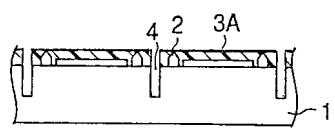
도면53a



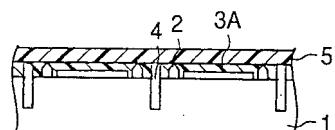
도면53b



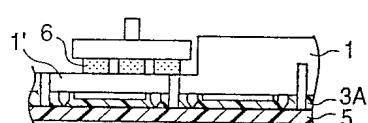
도면53c



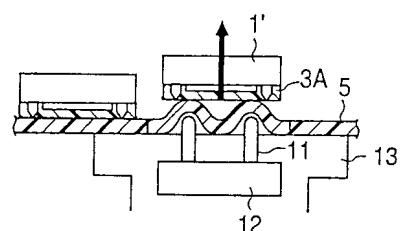
도면53d



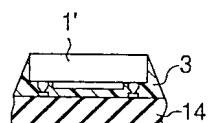
도면53e



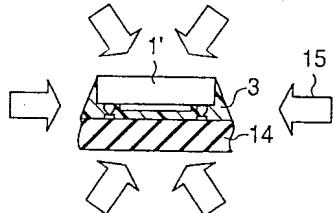
도면53f



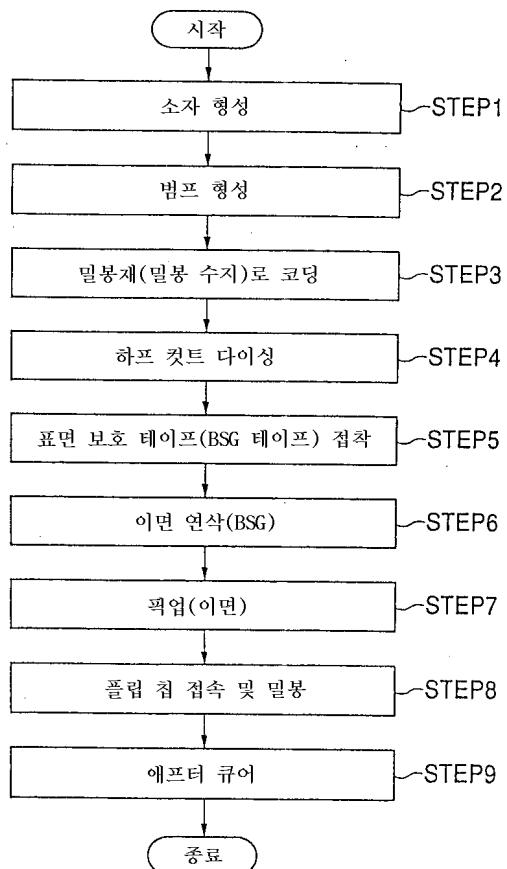
도면53g



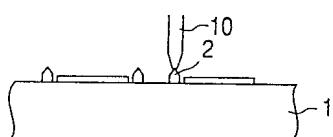
도면53h



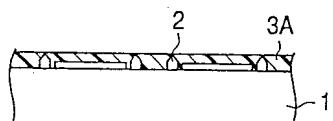
도면54



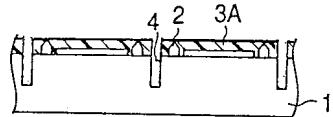
도면55a



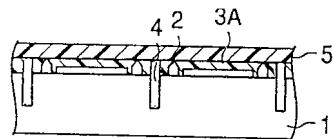
도면55b



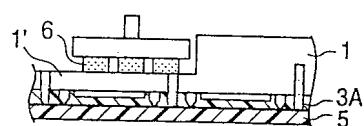
도면55c



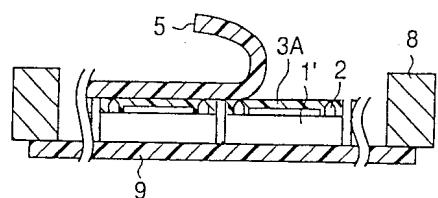
도면55d



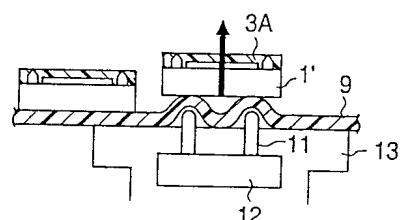
도면55e



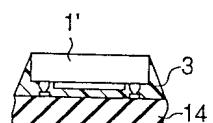
도면55f



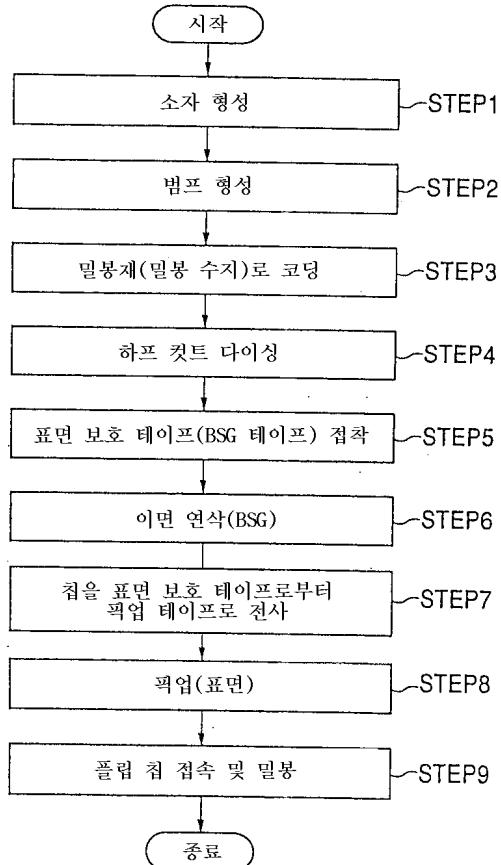
도면55g



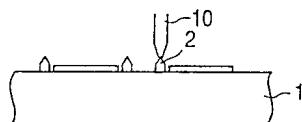
도면55h



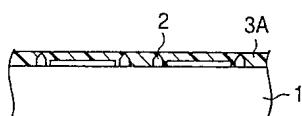
도면56



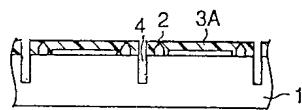
도면57a



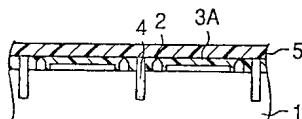
도면57b



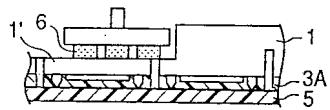
도면57c



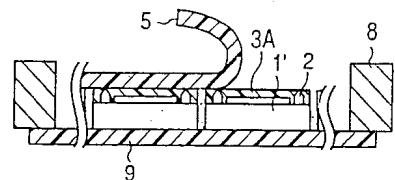
도면57d



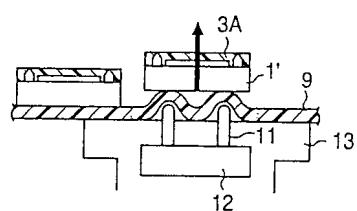
도면57e



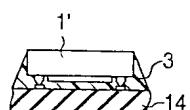
도면57f



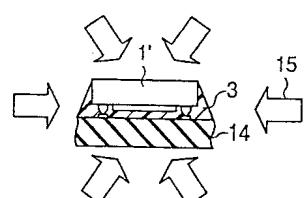
도면57g



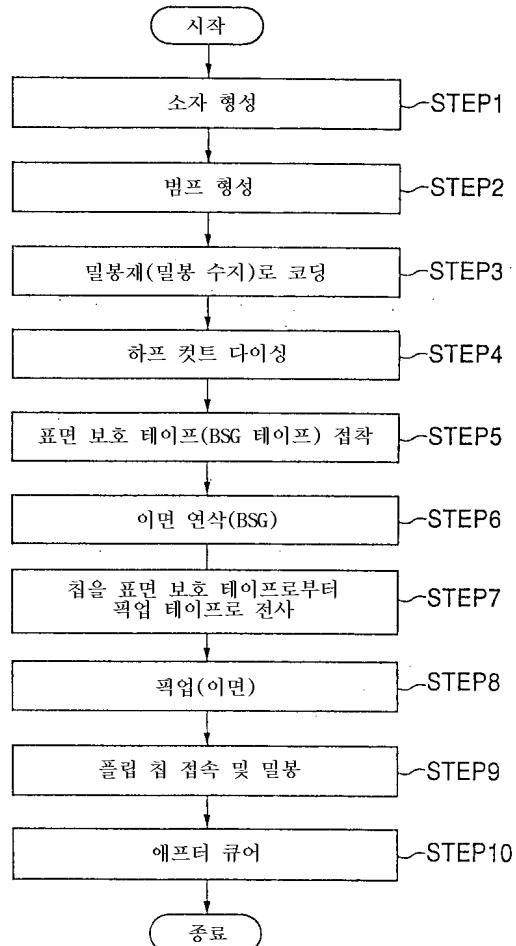
도면57h



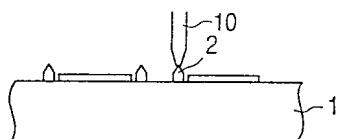
도면57i



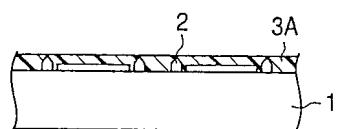
도면58



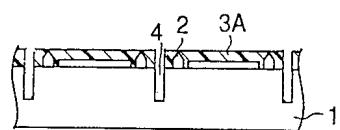
도면59a



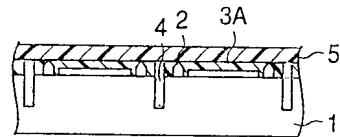
도면59b



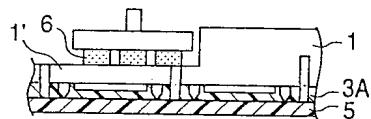
도면59c



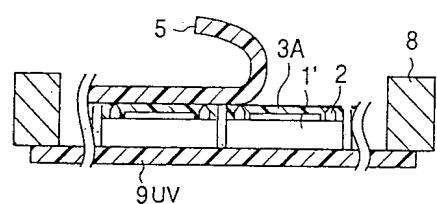
도면59d



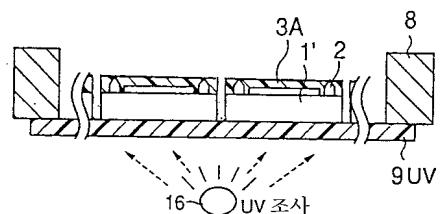
도면59e



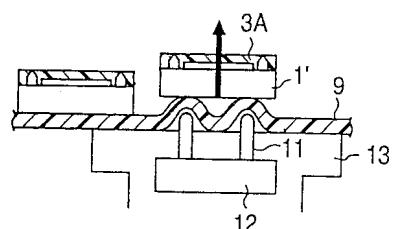
도면59f



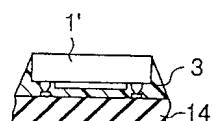
도면59g



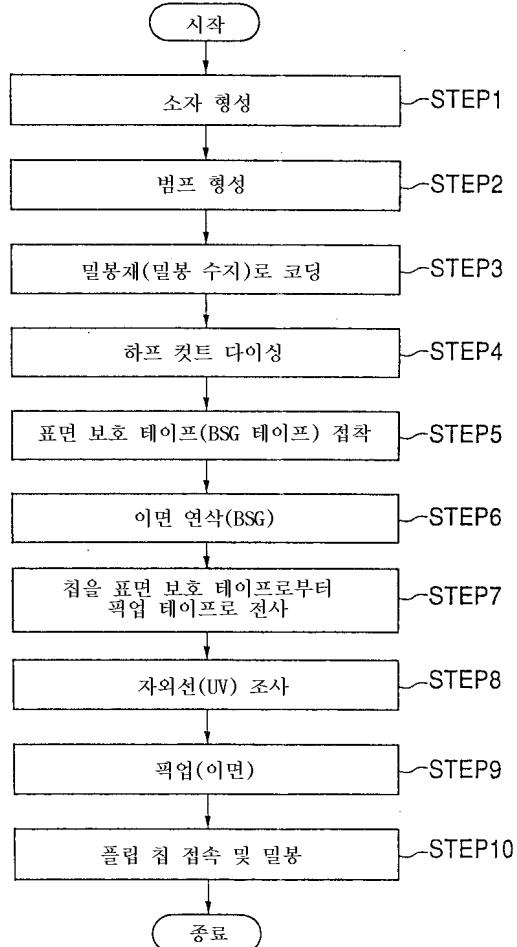
도면59h



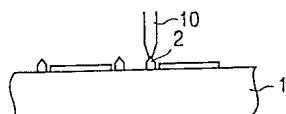
도면59i



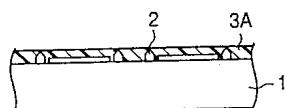
도면60



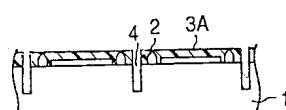
도면61a



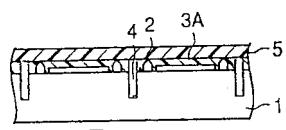
도면61b



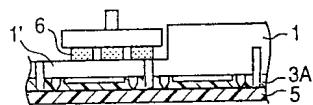
도면61c



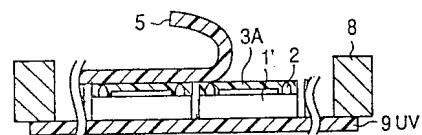
도면61d



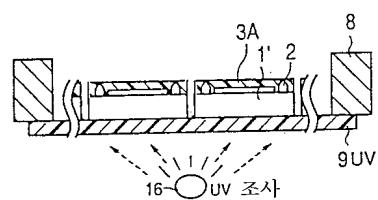
도면61e



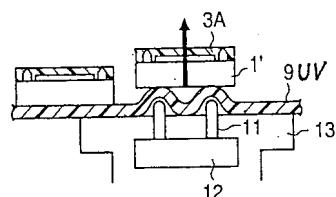
도면61f



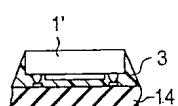
도면61g



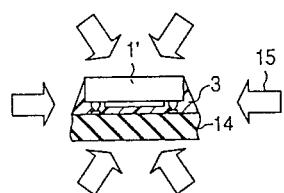
도면61h



도면61i



도면61j



도면62

