

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4047631号
(P4047631)

(45) 発行日 平成20年2月13日 (2008. 2. 13)

(24) 登録日 平成19年11月30日 (2007. 11. 30)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/10 6 2 1 C

H O 1 L 27/108 (2006. 01)

請求項の数 15 (全 21 頁)

(21) 出願番号 特願2002-154680 (P2002-154680)
 (22) 出願日 平成14年5月28日 (2002. 5. 28)
 (65) 公開番号 特開2003-347430 (P2003-347430A)
 (43) 公開日 平成15年12月5日 (2003. 12. 5)
 審査請求日 平成16年4月20日 (2004. 4. 20)

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 飯島 晋平
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 (72) 発明者 佐久間 浩
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内

審査官 瀧内 健夫

最終頁に続く

(54) 【発明の名称】 王冠構造のキャパシタを有する半導体集積回路装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数の容量素子を有し、前記複数の容量素子は、平面上で酸化タンタル膜により絶縁分離されており、

前記複数の容量素子の各々は、下部電極、誘電体膜、及び上部電極を有し、前記下部電極は王冠構造を有し、

前記下部電極は、導電性多結晶シリコン膜からなる中心膜と、前記中心膜の表面を覆うルテニウム膜の積層構造を有し、

前記ルテニウム膜は前記中心膜表面に選択成長で形成されたルテニウム膜である半導体集積回路装置。

【請求項 2】

請求項 1 において、

前記複数の容量素子の各々の前記王冠構造を有する下部電極は、層間絶縁膜の上に形成され、前記層間絶縁膜の上の前記王冠構造を有する複数の下部電極の間には前記酸化タンタル膜が形成されている

半導体集積回路装置。

【請求項 3】

複数の容量素子を有し、前記複数の容量素子は、平面上で窒化シリコン膜により絶縁分離されており、

前記複数の容量素子の各々は、下部電極、誘電体膜、及び上部電極を有し、前記下部電

極は、王冠構造を有し、

前記下部電極は、窒化チタン膜からなる中心膜と、前記中心膜の頂部を除く部分を覆うルテニウム膜との多層膜を有し、

前記王冠構造を有する下部電極の頂部は、前記中心膜の内壁を覆う前記ルテニウム膜と前記中心膜の外壁を覆う前記ルテニウム膜とに挟まれた酸化チタン膜を有する半導体集積回路装置。

【請求項 4】

請求項 3 において、

前記複数の容量素子の各々の前記王冠構造を有する下部電極は、層間絶縁膜の上に形成され、前記層間絶縁膜上の前記王冠構造を有する複数の下部電極の間には前記窒化シリコン膜が形成されている半導体集積回路装置。

10

【請求項 5】

請求項 3 又は 4 において、

前記王冠構造の開口面積は、 $0.07 \mu\text{m}^2$ 以下である半導体集積回路装置。

【請求項 6】

(a) 層間絶縁膜上に酸化タンタル膜を形成するステップと、
 (b) 前記酸化タンタル膜を部分的に除去するステップと、
 (c) 前記酸化タンタル膜が部分的に除去された前記層間絶縁膜上に、導電性多結晶シリコン膜からなる王冠構造の中心膜を形成するステップと、
 (d) 前記中心膜の表面にのみルテニウム (Ru) 膜を選択的に成長させて、王冠構造を有する複数の下部電極を形成するステップと、
 (e) 前記王冠構造を有する複数の下部電極表面と、前記王冠構造を有する複数の下部電極間の前記酸化タンタル膜上に誘電体膜を形成するステップと、
 (f) 前記誘電体膜上に上部電極を形成するステップと
 を具備する半導体集積回路装置の製造方法。

20

【請求項 7】

請求項 6 において、

前記ステップ (b) は、

(g) 前記ステップ (a) で形成した前記酸化タンタル膜上に酸化シリコン膜を形成するステップと、
 (h) 前記酸化シリコン膜と前記酸化タンタル膜を貫通する複数の孔を形成するステップとを具備し、
 前記王冠構造の中心膜を形成する前記ステップ (c) は、
 (i) 前記複数の孔を形成した後、全面に前記導電性多結晶シリコン膜を形成するステップと、
 (j) 前記酸化シリコン膜の上面上の前記導電性多結晶シリコン膜を除去するステップと、
 (k) 前記酸化シリコン膜を除去するステップと、
 を具備する半導体集積回路装置の製造方法。

30

40

【請求項 8】

請求項 7 において、

前記導電性多結晶シリコン膜を形成する前記ステップ (i) は、
 非晶質シリコン膜を形成するステップと、
 前記非晶質シリコン膜を熱処理して、導電性多結晶シリコン膜を生成するステップと
 を具備する半導体集積回路装置の製造方法。

【請求項 9】

50

請求項 6 において、

前記ルテニウム (Ru) 膜を選択的に成長させる前記ステップ (d) は、

ルテニウム膜成長時間に基づいて、前記酸化タンタル膜上に前記ルテニウム膜を成長することなく、前記導電性多結晶シリコン膜からなる前記王冠構造の中心膜上に前記ルテニウム膜を成長させる

半導体集積回路装置の製造方法。

【請求項 10】

(a) 層間絶縁膜上に窒化シリコン膜を形成するステップと、

(b) 前記窒化シリコン膜を部分的に除去するステップと、

(c) 前記窒化シリコン膜が部分的に除去された前記層間絶縁膜上に、窒化チタン膜からなる王冠構造の中心膜を形成するステップと、

(d) 全面にルテニウム (Ru) 膜を形成するステップと、

(e) 前記窒化シリコン膜上、および前記中心膜の頂上部に形成された前記ルテニウム膜を選択的に除去し、前記中心膜の内壁を覆う前記ルテニウム膜と前記中心膜の外壁を覆う前記ルテニウム膜を形成するステップと、

(f) 前記中心膜の頂上部に露出した前記窒化チタン膜を酸化して酸化チタン膜を形成し、王冠構造を有する複数の下部電極を形成するステップと、

(g) 前記王冠構造を有する複数の下部電極の表面と、前記王冠構造を有する複数の下部電極間の前記窒化シリコン膜上に誘電体膜を形成するステップと、

(h) 前記誘電体膜上に上部電極を形成するステップと

を具備する

半導体集積回路装置の製造方法。

【請求項 11】

請求項 10 において、

前記ステップ (b) は、

(i) 前記ステップ (a) で形成された窒化シリコン膜上に酸化シリコン膜を形成するステップと、

(j) 前記酸化シリコン膜と、前記窒化シリコン膜を貫通する複数の孔を形成するステップと

を具備し、

前記王冠構造の中心膜を形成する前記ステップ (c) は、

(k) 前記複数の孔を形成した後、全面に前記窒化チタン膜を形成するステップと、

(l) 前記酸化シリコン膜の上面上の前記窒化チタン膜を除去するステップと、

(m) 前記酸化シリコン膜を除去するステップと

を具備する

半導体集積回路装置の製造方法。

【請求項 12】

請求項 10 において、

前記ルテニウム膜を選択的に除去するステップ (e) は、

前記王冠構造の開口部の面積に依存して孔底のルテニウム膜のドライエッチング速度に差が生じることに基づき、開口面積が小さい王冠内底面のルテニウム膜は除去せずに、開口面積が大きい王冠外底面の前記窒化シリコン膜上のルテニウム膜を選択的に除去するステップ

を具備する

半導体集積回路装置の製造方法。

【請求項 13】

請求項 10 において、

前記窒化チタン膜を酸化して酸化チタン膜を形成し、王冠構造を有する複数の下部電極を形成する前記ステップ (f) は、

酸化雰囲気中で加熱して、前記ルテニウム膜が除去され前記窒化チタン膜が露出する

前記中心膜の頂上部分に酸化チタン膜を形成するステップを具備する
半導体集積回路装置の製造方法。

【請求項 1 4】

請求項 1 0 において、

前記ルテニウム膜を形成する前記ステップ (d) は、

スパッタ法により種結晶としての第 1 ルテニウム膜を形成するステップと、

C V D 法により前記第 1 ルテニウム膜上に第 2 ルテニウム膜を形成するステップとを具備する

半導体集積回路装置の製造方法。

10

【請求項 1 5】

請求項 1 4 において、

前記ルテニウム膜を形成する前記ステップ (d) は、

前記第 1 ルテニウム膜と前記第 2 ルテニウム膜に熱処理を行い、前記ルテニウム膜を形成するステップ

を具備する

半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

20

本発明は、半導体集積回路装置に関し、特に王冠構造のキャパシタを有する半導体集積回路装置およびその製造方法に関する。

【 0 0 0 2】

【従来の技術】

現在、製品化されている D R A M のキャパシタにおいては、M I S (金属上部電極 / 誘電体 / シリコン下部電極) 構造が用いられている。製品世代ごとに高集積化のためにメモリセルの面積は縮小され、キャパシタを構成するために許容される平面面積あるいは空間容積も小さくなる一方である。しかしながら、D R A M の性能確保のためにはキャパシタの容量を一定に保つことが要求される。

【 0 0 0 3】

30

周知のように、キャパシタの容量は、面積と誘電体の誘電率に基づいて決定される。面積確保の工夫については、シリコン下部電極表面に凹凸を設けて実効的面积を確保する方法が実用化され、また、誘電率向上については酸化タンタルなどの高誘電率材料を適用する方法が実用化されている。しかしながら、さらなる高集積化の要求に対して、下部電極表面に凹凸を形成するための空間確保が困難になりつつあり、また下部電極がシリコンでは酸化タンタルを用いても誘電率向上に限界がみえつつある。

【 0 0 0 4】

下部電極をシリコン、誘電体を酸化タンタルとする M I S 構造ではシリコンと酸化タンタルの界面に低誘電率の酸化シリコンが必然的に形成されてしまう。この問題に対処するため下部電極材料として金属を用いる M I M 構造の検討がなされている。しかし、M I M 構造ではリーク電流が増大する問題が新たに発生する。特に、窒化チタンやタングステンなど、既に半導体製造に用いられている金属及び金属化合物では、それ自身極めて酸化されやすいので、その上に形成される酸化タンタルのリーク電流を低減することは困難である。

40

【 0 0 0 5】

この問題を回避するためには、白金、ルテニウム、イリジウムなどそれ自身が酸化物を比較的生成し難い材料を下部電極として用いることが有効である。また、実際の立体構造キャパシタの製造に用いるためには、カバレッジ確保の観点から C V D 法で形成可能であること、および加工が可能であることが必須要件となる。これらの要件を満たす材料としてルテニウムが最も有望な材料である。

50

【 0 0 0 6 】

図 1 4 に模式的に示されるように、ルテニウムのみからなる王冠を実際に形成してみると、wet エッチングにおいて支えを失ったルテニウムに折損が生じ、もしくはルテニウム自身が倒壊し、著しく歩留まりを低下させる。これは、薬液中で振動が加わった場合、特に顕著に発生する。また、この上に絶縁膜を形成する際に負荷される熱処理によって発生する場合もある。

【 0 0 0 7 】

また、ルテニウム膜を C V D 法で実際に形成してみると、膜の凹凸が大きく、局所的に薄い部分が存在することや膜中にはボイドが多数存在しており、機械的強度に乏しく、この状態で王冠型の下部電極を形成しようとする折損や倒壊の問題が発生し、歩留の確保が困難となる。

10

【 0 0 0 8 】

図 1 5 (a) は、ルテニウム膜を C V D 法で形成した直後の透過型電子顕微鏡による膜の断面観察結果を模式的に示している。観察試料では、シリコン基板 5 0 1 表面にシリコン酸化膜 5 0 2 を形成した後、スパッタ法で種結晶となるルテニウム膜を 5 n m 形成し (図に表記していない)、その上に C V D 法により厚さ 3 0 n m の設定でルテニウム膜 5 0 3 を形成した。

【 0 0 0 9 】

形成されたルテニウム膜 5 0 3 を 2 0 万倍程度の倍率を有する走査型電子顕微鏡で観察すると平坦に見える。しかしながら、透過型電子顕微鏡で 4 0 0 万倍程度に拡大すると、図 1 5 (a) に示されるように、ルテニウム膜 5 0 3 は、柱状に選択的に成長しており、連続膜にはなっていないことが観察された。個々の柱の周りには空隙が多数存在している。この時、個々の柱が全て垂直ではなく、ほとんどが傾いて成長し、隣接する柱どうしが上部で接触している部分が多々存在する。

20

【 0 0 1 0 】

このような状態のルテニウム膜を熱処理すると、流動化して、図 1 5 (b) に示されるように連続膜となる。4 0 0 程度で充分連続膜とすることができる。この時、熱処理を通して、柱の間の空隙が熱処理によって連続膜中に取り込まれ、ボイド 5 0 5 となって残存する。また、熱処理後でも膜は一樣に同じ膜厚にはならず、薄い部分が多数存在し、極端な場所ではルテニウムのない欠損 5 0 6 のような部分も発生する。これらの膜中のボイドや相対的に薄膜化している部分の存在によって機械的強度が乏しくなっており、ルテニウム自身に折損や倒壊が発生する原因となる。

30

【 0 0 1 1 】

上記説明に関連して、王冠構造を有する半導体記憶装置が特開 2 0 0 0 - 1 5 0 8 2 7 号公報に記載されている。この引例では、下部電極は、非晶質シリコンあるいは多結晶シリコンを使用し、誘電膜として酸化膜、あるいは窒化膜 - 酸化膜を使用している。ルテニウム膜の使用については述べてはいない。

【 0 0 1 2 】

また、王冠構造を有する半導体記憶装置が特開平 1 1 - 2 7 4 4 3 1 号公報に記載されている。この引例では、電極は、窒化チタン膜で形成され、誘電体膜は、酸化タンタルで形成されている。また、ある例では、ルテニウム膜が窒化チタン膜上に形成されている。この例は、下部電極の表面積拡大と耐酸化性構造とを図るために、母材金属電極に凹凸を設け、その表面にルテニウム膜が設けられている。その構造を実現するために、(1) 母材金属電極に湿式エッチング処理を施して凹凸を形成し、(2) C V D 法によりルテニウム膜が成長させられる。

40

【 0 0 1 3 】

しかしながら、凹凸を設ける方法として電極自身を湿式エッチングで蝕刻することにより形成するために制御性に乏しく、極端な場合には電極の内外両側面から進行する蝕刻部分が貫通してしまい、機械的な強度は著しく低下する。このような問題を回避しつつ、効果を具現するために十分な大きさの凹凸を形成するためには、蝕刻前の電極自身の厚さを十

50

分に厚く（１００ｎｍ以上）する必要がある。しかしながら、その場合には深孔が埋没してしまう。そのために、高集積度を必要とする半導体集積回路には不向きである。

【００１４】

【発明が解決しようとする課題】

従って、本発明の目的は、ルテニウム膜を最表面層として有する王冠構造のキャパシタを有する高集積度の半導体集積回路装置とその製造方法を提供することである。

【００１５】

本発明の他の目的は、ボイドの無い、できるだけ一様なルテニウム膜を電極膜として使用するキャパシタを有する半導体集積回路装置とその製造方法を提供することである。

【００１６】

本発明の他の目的は、リーク電流を防止あるいは減少させることができる王冠構造のキャパシタを有する半導体集積回路装置とその製造方法を提供することである。

【００１７】

本発明の他の目的は、下部電極として導電膜の積層構造へのリーク電流を防止するための絶縁膜を有するキャパシタを有する半導体集積回路装置とその製造方法を提供することである。

【００１８】

本発明の他の目的は、より少ない面積あるいは容積で容量を維持することができる半導体集積回路装置とその製造方法を提供することである。

【００１９】

本発明の他の目的は、異方性ドライエッチングを使用して不要な膜を除去できる半導体集積回路装置とその製造方法を提供することである。

【００２０】

本発明の他の目的は、導電膜上にだけ選択的に金属膜を形成することができる半導体集積回路装置とその製造方法を提供することである。

【００２１】

【課題を解決するための手段】

以下に、[発明の実施の形態]で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と発明の実施の形態の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【００２２】

本発明の第１の観点では、半導体集積回路装置は、複数の容量素子を有し、複数の容量素子は、平面上で第１絶縁膜（２１３）で分離されている。複数の容量素子の各々は、下部電極（１２４）、誘電体膜（１２５）、及び上部電極（１２６）を有し、下部電極は王冠型構造を有する。下部電極と上部電極の少なくとも一方が、複数の導電膜（２２１，２２２，２３１）の積層構造を有し、誘電体膜側の積層構造の最表面膜はルテニウム膜（２２２）であり、積層構造の最表面膜以外の部分は、ルテニウム膜（２２２）に対して第１絶縁膜より高い選択成長性を有する。

【００２３】

ここで、第１絶縁膜（２１３）は、酸化タンタル膜であることが好ましい。また、複数の容量素子の各々の王冠構造は、第２絶縁膜（１２１、２０９，３０２）の上に形成され、第２絶縁膜（１２１、２０９，３０２）の上の王冠構造の間には第１絶縁膜（２１３）が形成されている。

【００２４】

本発明の第２の観点では、半導体集積回路装置は、複数の容量素子を有する。複数の容量素子の各々は、下部電極（１２４）、誘電体膜（１２５）、及び上部電極（１２６）を有し、下部電極は王冠型構造を有する。下部電極と上部電極の少なくとも一方が、複数の導電膜（２２１，２２２，２３１）の積層構造を有し、王冠型構造の頂部は、誘電体膜側の最表面導電膜に挟まれた絶縁膜（２３３）を有する。

10

20

30

40

50

【 0 0 2 5 】

最表面導電膜はルテニウム膜（ 2 2 2 ）である。複数の容量素子は、平面上で第1絶縁膜（ 2 1 3、3 0 5、3 0 9 ）で分離されており、王冠構造は、第2絶縁膜（ 1 2 1、2 0 9、3 0 2 ）の上に形成され、第2絶縁膜（ 1 2 1、2 0 9、3 0 2 ）の上の王冠構造の間には第1絶縁膜（ 2 1 3、3 0 5、3 0 9 ）が形成されている。

【 0 0 2 6 】

上記において、王冠構造の下方側部は、第1絶縁膜（ 2 1 3、3 0 5、3 0 9 ）と第2絶縁膜（ 1 2 1、2 0 9、3 0 2 ）により覆われている。

【 0 0 2 7 】

下部電極は、導電性多結晶シリコン膜を含み、導電性多結晶シリコン膜（ 2 2 1 ）と、多結晶シリコン膜を覆う金属シリサイド膜を含んでもよい。あるいは、下部電極は、金属膜または金属化合物膜（ 2 3 1 ）を含んでもよい。

王冠構造の開口面積は、0 . 0 3 μm^2 以下であることが望ましい。

【 0 0 2 8 】

本発明の第3の観点では、半導体集積回路装置の製造方法は、（ a ）第1絶縁膜（ 1 2 1、2 0 9、3 0 2 ）上に第2絶縁膜（ 2 1 3 ）を形成するステップと、（ b ）第2絶縁膜（ 2 1 3 ）を部分的に除去するステップと、（ c ）第2絶縁膜が部分的に除去された第1絶縁膜（ 1 2 1、2 0 9、3 0 2 ）上に王冠構造を有する、複数の導電性膜からなる下部電極（ 1 2 4 ）を形成するステップと、下部電極の最表面層はルテニウム（ R U ）膜（ 2 2 2、5 0 3 ）であり、最表面膜以外は中心膜であり、中心膜は、ルテニウム膜（ 2 2 2 ）に対して第2絶縁膜より高い選択成長性を有し、（ d ）王冠構造の表面と、王冠構造間の第2絶縁膜（ 2 1 3 ）上に誘電体膜（ 1 2 5 ）を形成するステップと、（ e ）誘電体膜（ 1 2 5 ）上に上部電極（ 1 2 6 ）を形成するステップとを具備する。

【 0 0 2 9 】

本発明の第4の観点では、半導体集積回路装置の製造方法は、（ a ）第1絶縁膜（ 1 2 1、2 0 9、3 0 2 ）上に第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）を形成するステップと、（ b ）第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）を部分的に除去するステップと、（ c ）第2絶縁膜が部分的に除去された第1絶縁膜（ 1 2 1、2 0 9、3 0 2 ）上に王冠構造を有する、複数の導電性膜からなる下部電極（ 1 2 4 ）を形成するステップと、王冠構造の頂上部は酸化物膜を最表面層の導電膜が挟む構造を有し、最表面膜以外は中心膜であり、（ d ）王冠構造の表面と、王冠構造間の第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）上に誘電体膜（ 1 2 5 ）を形成するステップと、（ e ）誘電体膜（ 1 2 5 ）上に上部電極（ 1 2 6 ）を形成するステップとを具備する。ここで、下部電極の表面層はルテニウム（ R U ）膜（ 2 2 2、5 0 3 ）であることが好ましい。

【 0 0 3 0 】

除去する前記ステップ（ b ）は、（ f ）第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）上に第3絶縁膜（ 1 2 3、2 1 4 ）を形成するステップと、（ g ）第3絶縁膜（ 1 2 3、2 1 4 ）と第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）中に複数の孔を形成するステップとを具備する。このとき、下部電極（ 1 2 4 ）を形成するステップ（ c ）は、（ h ）複数の孔内の第1絶縁膜（ 1 2 3 ）上、第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）の側面上、及び第3絶縁膜（ 1 2 3、2 1 4 ）の上面と側面上に中心膜を形成するステップと、（ i ）第3絶縁膜（ 1 2 3、2 1 4 ）の上面上の中心膜を除去するステップと、（ j ）第3絶縁膜（ 1 2 3、2 1 4 ）を除去するステップと（ k ）中心膜の上にルテニウム膜を形成するステップとを具備する。

【 0 0 3 1 】

ここで、中心膜を形成するステップ（ h ）は、複数の孔内の第1絶縁膜（ 1 2 3 ）上、第2絶縁膜（ 2 1 3、3 0 5、3 0 9 ）の側面上、及び第3絶縁膜（ 1 2 3、2 1 4 ）の上面と側面上に非晶質シリコン膜を形成するステップと、非晶質シリコン膜を熱処理して、導電性多結晶シリコン膜（ 2 2 1 ）を生成するステップとを具備する。この場合、下部電極（ 1 2 4 ）を形成するステップ（ c ）は、導電性多結晶シリコン膜（ 2 2 1 ）の表面に

10

20

30

40

50

シリサイドを形成するステップを更に具備してもよい。

【 0 0 3 2 】

また、第 2 絶縁膜 (2 1 3) は酸化タンタル膜であるとき、ルテニウム膜を形成する前記ステップ (k) は、膜成長時間に基づいて、第 2 絶縁膜 (2 1 3) 上にルテニウム膜を成長することなく、中心膜上にルテニウム膜を形成することが好ましい。

【 0 0 3 3 】

また、ルテニウム膜を形成する前記ステップ (k) は、ルテニウム膜を堆積するステップと、(1) 第 2 絶縁膜 (2 1 3) 上から堆積したルテニウム膜を除去するステップとを具備することが好ましい。この場合、ルテニウム膜を除去する前記ステップ (1) は、王冠構造の開口部の面積と第 2 絶縁膜上の王冠構造間の面積との差に基づいてドライエッチングにより、第 1 絶縁膜上の王冠構造間の堆積したルテニウム膜を選択的に除去するステップを具備することが好ましい。

10

【 0 0 3 4 】

また、下部電極 (1 2 4) を形成する前記ステップ (c) は、酸化雰囲気中で加熱して中心膜の王冠構造の頂部部分を酸化するステップを更に具備してもよい。

また、ルテニウム膜 (2 2 2) を形成する前記ステップ (k) は、スパッタ法により種結晶としての第 1 ルテニウム膜を形成するステップと、CVD法により第 1 ルテニウム膜上に第 2 ルテニウム膜を形成するステップとを具備してもよい。

【 0 0 3 5 】

また、ルテニウム膜 (2 2 2) を形成する前記ステップ (k) は、第 1 ルテニウム膜と第 2 ルテニウム膜に熱処理を行い、ルテニウム膜を形成するステップを具備してもよい。

20

また、複数の孔を形成するステップ (g) は、第 1 絶縁膜 (1 2 1、2 0 9、3 0 2) 中に達するように複数の孔を形成するステップを更に具備してもよい。

【 0 0 3 6 】

【発明の実施の形態】

はじめに図 1 を参照して、従来の半導体集積回路装置の全体構成の概略について説明する。

【 0 0 3 7 】

p 型シリコン基板 1 0 1 に n ウエル 1 0 2 が形成され、その内部に第 1 p ウエル 1 0 3 が形成されている。また、n ウエル 1 0 2 以外の領域に第 2 p ウエル 1 0 4 が形成されている。n ウエル 1 0 2 の表面には素子分離領域 1 0 5 が形成されている。第 1 p ウエルは複数のメモリセルが配置されるメモリアレイ領域を、第 2 p ウエルは周辺回路領域を示している。

30

【 0 0 3 8 】

第 1 p ウエルにはワード線用のスイッチングトランジスタ 1 0 6 および 1 0 7 が形成されている。トランジスタ 1 0 6 は、ドレイン 1 0 8、ソース 1 0 9、ゲート絶縁膜 1 1 0 を介して形成されたゲート電極 1 1 1 を有している。トランジスタ 1 0 7 は、ソース 1 0 9、ドレイン 1 1 2、ゲート絶縁膜 1 1 0 を介して形成されたゲート電極 1 1 1 を有している。ソース 1 0 9 は、トランジスタ 1 0 6 とトランジスタ 1 0 7 で共用されている。トランジスタは層間絶縁膜 1 1 3 により被覆されている。

40

【 0 0 3 9 】

ソース 1 0 9 に接続されるように層間絶縁膜 1 1 3 の所定の領域にコンタクト孔 1 1 4 が設けられ、ビット線コンタクト部が形成されている。ビット線コンタクト部は、孔 1 1 4 を充填する導電性多結晶シリコン膜からなる第 1 シリコンプラグ 1 1 5、及びビット線コンタクト 2 0 6 を有する。ビット線コンタクト 2 0 6 は、チタンシリサイド膜 1 1 6、窒化チタン膜 1 1 7、タングステン膜 1 1 8 により形成されている。ビット線コンタクトに接続されるように窒化タングステン膜 1 1 9 およびタングステン膜 1 2 0 からなるビット線 2 0 7 が形成されている。ビット線は層間絶縁膜 1 2 1 で被覆されている。

【 0 0 4 0 】

トランジスタ 1 0 6 と 1 0 7 のドレイン 1 0 8 および 1 1 2 に接続されるように、層間絶

50

縁膜 1 1 3 と層間絶縁膜 1 2 1 の所定の領域にコンタクト孔が設けられ、その孔は導電性多結晶シリコン膜で充填されシリコンプラグ 1 2 2 が形成されている。シリコンプラグ 1 2 2 の上部にはプラグコンタクト 2 1 2 が形成されている。これにより、第 2 プラグコンタクト部が形成されている。第 2 プラグコンタクト部に接続されるようにキャパシタが形成される。

【 0 0 4 1 】

層間絶縁膜 1 2 3 が周辺回路領域で層間絶縁膜 1 2 1 上に形成されている。層間絶縁膜 1 2 3 は、メモリアレイ領域では下部電極を形成するために使用されるが、キャパシタの形成時に除去されている。メモリアレイ領域に王冠型の下部電極 1 2 4 を形成した後、誘電体絶縁膜 1 2 5 が下部電極 1 2 4 を覆うように形成される。さらに上部電極 1 2 6 がメモリアレイ全体を覆うように形成され、キャパシタが構成されている。キャパシタは層間絶縁膜 1 2 7 で被覆されている。

10

【 0 0 4 2 】

一方、第 2 p ウエル 1 0 4 には周辺回路のトランジスタが形成される。トランジスタは、ソース 1 0 9、ドレイン 1 1 2、ゲート絶縁膜 1 1 0、ゲート電極 1 1 1 を有する。ドレイン 1 1 2 に接続されるように、層間絶縁膜 1 1 3 の所定の領域にコンタクト孔 1 2 8 が形成される。チタンシリサイド膜 1 1 6 が形成された後、窒化チタン膜 1 1 7、タングステン膜 1 1 8 が充填される。コンタクト孔が充填された後、窒化タングステン膜 1 1 9、タングステン膜 1 2 0 が形成され、第 1 配線層を構成している。第 1 配線層の一部は、コンタクトを介して第 2 配線層に接続されている。コンタクト孔 1 2 9 は、層間絶縁膜 1 2 1、層間絶縁膜 1 2 3 および層間絶縁膜 1 2 7 を貫通するように形成され、窒化チタン膜 1 3 0 が形成された後、タングステン膜 1 3 1 が充填される。第 2 配線層は、窒化チタン膜 1 3 2、アルミニウム膜 1 3 3、窒化チタン膜 1 3 4 を有する。

20

【 0 0 4 3 】

また、メモリアレイ領域に設けられたキャパシタの上部電極 1 2 6 は、引き出し配線 1 3 5 として周辺回路領域に延びている。層間絶縁膜 1 2 7 の所定の領域に形成されたコンタクトは、引き出し配線 1 3 5 に接続されている。コンタクトのための孔は、窒化チタン膜 1 3 6 により充填された後、タングステン膜 1 3 7 が充填される。そのコンタクトは、第 2 配線層に接続されている。以下、層間絶縁膜の形成、コンタクトの形成、配線層の形成を必要に応じて繰り返し、D R A M が構成される。

30

【 0 0 4 4 】

次に、図 2 (a) から図 2 (c)、図 3 (d)、(e)、図 4 (f)、(g)、図 5 (h)、(i)、図 6 (j) を参照して、本発明の半導体集積回路装置の一例としての D R A M のキャパシタの構造および製造方法についてさらに詳しく説明する。上記の説明では、層間絶縁膜 1 2 1 の上に層間絶縁膜 1 2 3 が形成されており、キャパシタ間で誘電体膜が層間絶縁膜 1 2 1 の上に形成されている。しかしながら、以下に説明する製造方法では、層間絶縁膜 1 2 1 と層間絶縁膜 1 2 3 の間に追加的な層間絶縁膜が形成されている。この場合、追加的な層間絶縁膜は、第 2 プラグコンタクト部が形成される領域では除去されている。

40

【 0 0 4 5 】

図 2 (a) に示されるように、シリコン基板 1 0 1 上、あるいは p ウエル 1 0 3 上に絶縁膜を介してワード線 1 1 1 が形成される。このワード線は、図 1 のトランジスタのゲートに対応する。第 1 層間絶縁膜 2 0 3 がワード線を被覆するように形成された後、トランジスタの共通ソース 1 0 9 まで届くようにコンタクト孔 1 1 4 が第 1 層間絶縁膜 2 0 3 に形成される。コンタクト孔 1 1 4 には、導電性多結晶シリコンが充填され、第 1 シリコンプラグ 1 1 5 を形成する。その後、第 2 層間絶縁膜 2 0 5 が第 1 層間絶縁膜 2 0 3 上に形成された後、第 1 シリコンプラグ 1 1 5 に接続されるように、ビット線コンタクト 2 0 6 が第 2 層間絶縁膜 2 0 5 内に形成され、ビット線コンタクト 2 0 6 に接続されるようにビット線 2 0 7 が第 2 層間絶縁膜 2 0 5 上に形成される。

【 0 0 4 6 】

50

続いて、酸化シリコンからなる第3層間絶縁膜208が、ビット線207を覆うように第2層間絶縁膜205上に形成され、その上に窒化シリコンからなる第4層間絶縁膜209が形成される。第1、第2、第3、第4層間絶縁膜203、205、208、209を貫通してトランジスタ106と107のドレイン108および112に接続されるように、コンタクト孔が設けられ、導電性多結晶シリコンで充填されてシリコンプラグ122を形成する。

【0047】

次に、図2(b)に示されるように、シリコンプラグ122の表面が窒化シリコンからなる第4層間絶縁膜209の膜厚の半分程度に位置するようにエッチングを加えてリセス211が形成される。

10

【0048】

次に、図2(c)に示されるように、リセス211が十分に埋まるように窒化チタン膜が全面に形成し、リセス以外の表面に露出している窒化チタン膜は除去され、リセス部分にバリヤメタル層212を設ける。バリヤメタル層212は、後で形成されるルテニウム膜とプラグシリコンの反応を防止することを目的としている。バリヤメタル層212は、カバレッジが良好なCVD法で形成することが望ましい。

【0049】

次に、図3(d)に示されるように、窒化シリコンからなる第5層間絶縁膜2123、および厚さ1.5μm程度の酸化シリコンからなる第6層間絶縁膜214が形成される。絶縁膜213と214が、図1の層間絶縁膜123に対応する。その後、バリヤメタルに達するように、第5と第6層間絶縁膜123の所定の領域にシリンドラ215が形成される。

20

【0050】

その後、図3(e)に示されるように、シリンドラを形成した後、導電性多結晶シリコン膜221が形成され、シリンドラ内部はレジスト225で充填される。シリンドラの高さは、1.6μm、シリコン形成後のシリンドラ内直径は0.2μm²である。

【0051】

図3(e)に示されるように、シリコン膜221は、非晶質状態で堆積された後、熱処理を加えて多結晶化させられて、形成される。非晶質シリコンは、530℃でホスフィン(PH₃)を導入しながらモノシラン(SiH₄)を原料ガスとして、厚さ30nmに堆積される。その後、700℃で2分間熱処理が行われ、多結晶シリコンに変換される。

30

【0052】

図7は、シリコン膜をCVD法により非晶質状態で形成し、熱処理して結晶化した後の断面観察結果を模式的に示す。シリコン基板401上にシリコン酸化膜402が形成され、その上に非晶質シリコン膜が30nm堆積された。堆積温度は530℃である。その後、700℃で2分間程度の熱処理が施されて非晶質シリコンが多結晶シリコン膜403に変換される。図7から明らかなように、非晶質シリコンから変換された多結晶シリコン膜は、局所的に薄くなる、あるいは膜中にボイドが存在するということがない。これを母材として、予め王冠型の電極が形成される。その上にルテニウム膜が形成されても結果的に下部電極の機械的強度を向上できる。

【0053】

40

次に、図4(f)に示されるように、多結晶シリコン膜221に対する異方性ドライエッチング法を用い、シリンドラ以外の領域で露出しているシリコン膜が除去され、孔内を充填していたレジスト225も除去される。ホトレジストの除去には、例えばフェノールアルキルベンゼンスルホン酸などの有機酸を主成分とする液を用いることができる。さらにシリンドラ周辺の厚い酸化シリコン膜214は、フッ酸を主成分とするwetエッチング液で除去される。酸化シリコン膜214の下にはフッ酸にエッチングされにくい窒化シリコンからなる第5層間絶縁膜213が設けられているので、ここでエッチングを止めることができる。こうして、多結晶シリコンからなる王冠が形成される。レジスト除去には一般的に用いられている酸素アッシング法を用いることもできる。

【0054】

50

次に、図4(g)に示されるように、スパッタ法により厚さ5nm程度のルテニウム膜が全面に形成された後、CVD法により厚さ30nm程度のルテニウム膜222が形成される。スパッタ法で形成されるルテニウム膜は、CVD法で形成されるルテニウム膜の種結晶として用いられる。スパッタ・ルテニウム膜は基本的にカバレッジに乏しく、孔底部分では極めて薄くなっているが、種結晶としての役割は充分果たすことができる。

【0055】

ルテニウム膜のCVDは、原料にエチルシクロペンタジエニルルテニウム($\text{Ru}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2$ ；以下 $\text{Ru}(\text{EtCp})_2$ と略記する)をテトラヒドロフラン(THF)などの溶媒で(これに限るものではない)任意に希釈された状態で気化させたガスを用い、300程度の温度で酸素と反応させて行なうことができる。スパッタ法で形成されるルテニウム膜は、CVDルテニウム膜の種結晶としての役割を果たす。

10

【0056】

堆積直後では非連続膜であるCVDルテニウム膜の平坦連続性を向上させるために非酸化性雰囲気、もしくは還元性雰囲気において、600で1分程度の熱処理が行なわれる。

【0057】

その後、図5(h)に示されるように、前述の異方性ドライエッチングを用いて王冠周囲のルテニウム膜がエッチング除去されて、表面がルテニウムからなる王冠型下部電極124が形成される。

【0058】

図8(a)と8(b)および図9を参照して、ドライエッチングにより電極間のルテニウム膜を選択的に除去できる理由について説明する。図8(a)は、多結晶シリコンで王冠を形成した後、全面にルテニウムを形成した状態を示す斜視図である。シリコン酸化膜501上の所定の領域に多結晶シリコン(図に示していない)の王冠が形成されている。王冠型下部電極の124の間のシリコン酸化膜501上にシリコン窒化膜502が形成されている。ルテニウム膜503が全面を覆っている。

20

【0059】

図9は、ルテニウム膜形成後の王冠の高さHを1.6 μm とし、王冠の内直径L(開口面積)が種々異なる試料をドライエッチングした時の孔底のルテニウムのエッチング速度の開口面積依存性の一例を示している。ドライエッチングは、ガスに酸素を用い、圧力1.0Pa、高周波パワー800Wの条件とした。開口面積0.31 μm^2 ($L=2.0\mu\text{m}$)では、約0.08 $\mu\text{m}/\text{min}$ の速度でエッチングされるが、開口面積が0.07 μm^2 ($L:0.3\mu\text{m}$)まで小さくなると速度は極めて遅くなり、実質的にエッチングされなくなる。

30

【0060】

エッチング条件の変更でこの結果は変化しうるが、相対的な結果として、開口面積の小さい領域での孔底のルテニウムを残存させた状態で、面積の大きい領域でのルテニウムのエッチング除去を完結できることを示している。したがって、開口面積:0.07 μm^2 程度までに小さければ、孔底のルテニウムは充分残存させることができる。図8(b)は、王冠の周囲が極めて面積の大きい領域に相当し、王冠内部孔底のルテニウムを残したまま、周辺のルテニウムを除去した後の状態を示している。

40

【0061】

上述の下部電極間の分離に異方性選択ドライエッチング法を用いる代わりに、後述するルテニウムの選択成長を用いることもできる。予め形成された多結晶シリコンの王冠上のみルテニウム膜が成長し、他の領域には成長しない条件でルテニウム膜の成長を行なってもよい。

【0062】

次に、図5(i)に示されるように、誘電体となる厚さ12nmの酸化タンタル膜125が形成される。酸化タンタル膜は形成されただけではリーク電流が大きいので、その低減のため熱処理が行われる。400程度の活性酸素を含む雰囲気(オゾンを含む雰囲気もしくは酸素を含有するプラズマ雰囲気など)中で一旦熱処理された後、酸化タンタルが結

50

晶化するように非酸化性雰囲気中で２段目の熱処理が行われる。条件は 700、1 分間である。酸化タンタルの成膜および熱処理を複数回繰り返すことは、リーク電流の低減により効果的である。

【0063】

次に図 6 (j) に示されるように、下部電極の形成と同様に、スパッタ法による種結晶形成と CVD 法によるルテニウムを形成し、平坦化のために 450 で熱処理し、スパッタ法により厚さ 100 nm 程度のタングステン (W) を積層して上部電極 126 が形成される。続いて、従来技術と同様に、配線が形成される。

【0064】

第 1 実施の形態においては、誘電体として形成される酸化タンタルとの組み合わせに比較 10
的利点を有するルテニウムが、王冠型電極の中心膜としての導電性多結晶シリコン膜上に形成される例について述べた。しかしながら、王冠型電極の中心膜は多結晶シリコンにかぎるものではない。中心膜は、金属、金属化合物、チタンシリサイド等のルテニウム以外の金属シリサイドも用いることができる。また、中心膜として多結晶シリコンの表面に金属シリサイドを設けた後、ルテニウムを形成することもできる。多結晶シリコンで王冠が形成された後、その表面に厚さ 4 nm 程度のチタンが形成され、600 で 1 分間の熱処理が行われることにより、多結晶シリコンの表面に厚さ 8 nm 程度のチタンシリサイドを形成することができる。

【0065】

また、特開平 11 - 274431 号公報に開示の技術では、下部電極の表面積の拡大と耐 20
酸化性の向上を図るために、母材金属電極に凹凸を設け、その表面にルテニウムを設ける構造を採用している。その構造を実現するために、(1) 母材金属電極に湿式エッチング処理を施して凹凸を形成し、(2) CVD 法によりルテニウム膜を成長させる方法を採用している。

【0066】

しかしながら、電極自身に湿式エッチングを行うため制御性に乏しく、極端な場合には電極の内外両側面から進行する蝕刻部分が貫通してしまい、機械的強度は著しく低下する。このような問題を回避しつつ、効果を具現するために十分な大きさの応答を形成するためには、蝕刻前の電極自身の厚さを十分に厚くする必要がある (100 nm 以上)、深孔が埋没してしまう。その膜厚を 30 nm 程度にする必要がある高集積回路には不向きである 30
。一方、本願は凹凸を形成しないので薄い膜厚で形成することができる。

【0067】

本発明の第 2 実施の形態について、図 10 (a) と図 10 (b) を参照して説明する。第 1 実施の形態では、ルテニウム膜の下に多結晶シリコン膜、又は / 及び金属シリサイド膜が設けられる例について述べた。しかしながら、第 2 実施の形態では、多結晶シリコン膜の代わりに金属膜あるいは金属化合物膜を用いる例について述べる。

【0068】

金属膜あるいは金属化合物膜をルテニウム膜の下に設け、選択性異方性ドライエッチングが行なわれる場合、王冠周囲のルテニウム膜がエッチング除去されている間に、王冠頂上部のルテニウム膜も同時に除去される。こうして、下地金属膜あるいは金属化合物膜が露 40
出し、誘電体膜となる酸化タンタル膜と直接接する状況が生じる。下地層が多結晶シリコンやシリサイドの場合は問題とならないが、下地が金属層、あるいは金属化合物層の場合、この部分でのリーク電流の増大を回避できなくなる。このため、下地金属層が露出することは、酸化タンタル膜にとって極めて不都合である。

【0069】

図 10 (a) を参照して、多結晶シリコン膜に代えて窒化チタン膜 231 で王冠が形成された後、第 1 実施の形態と同様にルテニウム膜 222 が全面に形成される。続いて、選択性異方性ドライエッチングにより王冠周囲のルテニウム膜 222 が除去される。この時、王冠頂上部のルテニウム膜もエッチングされている。

【0070】

図 10 (b) を参照して、露出している窒化チタン膜は酸化チタン膜に変換される。酸化チタンへの変換は、450 の酸素雰囲気中で 1 分間熱処理を行うことにより達成される。この後、第 1 実施の形態と同様に、酸化タンタルの形成、上部電極の形成を経てキャパシタを構成することができる。この時、ルテニウム膜 222 も酸素雰囲気中に曝されるが、ルテニウムが酸化物を形成するのは、500 以上の温度を必要とするので、ルテニウムは酸化物に変換されることがない。

【0071】

酸化タンタルが金属に接した時リーク電流が増大するのは、酸化タンタルの改質のために行なう酸性雰囲気中の熱処理において、酸化剤が、酸化タンタルより酸化されやすい下地金属の酸化に消費されてしまい、酸化タンタルの酸化改質が達成不十分となることに起因している。したがって、金属を予め酸化しておき、酸化剤を消費しないようにしておけばよい。

10

【0072】

第 2 実施の形態によれば、選択性異方性ドライエッチングにより王冠の頂上もエッチングされ、下地が露出しても、その部分が予め酸化物に変換される。その後誘電体膜となる酸化タンタル膜が形成される。この方法を用いることにより、ルテニウム膜の下地に金属を設けた王冠型の下部電極であっても、機械的強度を確保しながらリーク電流の低減を図ることができる。

【0073】

次に、本発明の第 3 実施の形態による半導体集積回路装置について説明する。第 3 実施の形態では、CVD ルテニウム膜が選択的に成長させられる。こうして、多結晶シリコン膜表面にルテニウム膜が形成される。

20

【0074】

まず、図 12 は、ルテニウム膜が CVD 法で形成される場合の下地材料依存性を示す。従来から知られているように、原料には THF で希釈された RU (Et Cp) ₂ の気化ガスを用い、流量は 5 sccm とした。反応ガスとして酸素 50 sccm を同時に供給した。温度は 295 、圧力は 60 Pa とした。下地材料として、シリコン基板、酸化シリコン、窒化チタン、チタンシリサイド、酸化タンタル、窒化タンタル、スパッタ法で形成したルテニウムを用意した。各々の材料に同一条件でルテニウム膜の堆積を試み、成膜膜厚の、ガスを流し始めてからの経過時間 (成膜時間) 依存性を調べた。膜厚は、X 線測定法により求めた。

30

【0075】

図 12 に示されているように、同じ材料であるスパッタ法で形成したルテニウム上には時間遅れなく、ガスの導入とほぼ同時に成膜が開始された (図中 A)。一方、酸化シリコン膜の上には 10 分後から (図中 B)、また、シリコン膜の上には約 20 分後から (図中 C) 成膜が開始され、その他の材料上では 30 分経過しても実質的に成膜は生じなかった。この結果は、下地材料と成膜時間の設定を選択することにより、任意の材料上にのみルテニウムを選択的に形成できることを示している。

【0076】

第 3 実施の形態では、下地王冠は導電性多結晶シリコン膜 221 で形成しており、この場合、多結晶シリコン膜表面にのみルテニウム膜 222 が形成され、王冠周囲にはルテニウム膜 222 が形成されないようにする必要がある。したがって、王冠周囲に表面を露出する材料は、多結晶シリコン膜 221 よりも成膜が遅れる特性を有し、且つ絶縁膜である必要がある。上述の結果から酸化タンタル膜を選択することができる。

40

【0077】

図 11 (a) と 11 (b) は、第 3 実施の形態を説明するための模式図である。従来技術や上記実施の形態では、シリンドラを形成するための厚い酸化シリコンの下に窒化シリコンが設けられている。第 3 実施の形態では、この窒化シリコン膜に代えて酸化タンタル膜 305 が形成される。あるいは、窒化シリコン膜の上に酸化タンタル膜 305 が積層される。膜厚は任意に設定可能であるが、ここでは 20 nm とした。CVD 法を用い、誘電体と

50

して用いる酸化タンタルと同じ条件で形成される。窒化シリコン膜と同様に、酸化タンタル膜もフッ酸にはエッチングされにくい材料であり、厚い酸化シリコン膜をwetエッチングで除去することが可能である。

【0078】

図11(a)に示されるように、王冠周囲に酸化タンタル膜305を露出させた状態で多結晶シリコン膜221からなる王冠が形成される。続いて、図11(b)に示されるように、前述の方法でルテニウム膜222が形成される。成膜時間は23分である。王冠構造の中心膜としての多結晶シリコン膜表面には約4nmのルテニウム膜222が形成されており、王冠周囲の酸化タンタル膜305表面にはルテニウムの成膜は認められなかった(図11(b))。以下、前記実施例同様、誘電体形成、上部電極形成を経て、キャパシタ

10

【0079】

本実施の形態によれば、下地材料依存性を利用したルテニウム膜の選択成長法を用いることにより王冠を構成する多結晶シリコン膜表面のみにルテニウム膜を形成することが可能となる。王冠の頂上がエッチングで削れる現象を回避して、機械的強度を確保して倒壊防止を図ったルテニウム膜を最表面に有する王冠型下部電極を構成することができる。

【0080】

次に第4実施の形態について説明する。図13は、王冠周囲の絶縁膜を任意の位置まで残し、多結晶シリコンもしくはシリサイドからなる半形状の王冠を形成した後、前記実施例によるルテニウムの形成を行った例を示している。

20

【0081】

シリンドラを形成する厚い酸化シリコン膜308を所定の厚さの半分だけ形成し、その上に厚さ50nmの窒化シリコン膜309が積層される。さらに残りの膜厚分の酸化シリコンが形成された後、シリンドラが形成される。その内壁に厚さ30nmの多結晶シリコン膜221が形成される。その後、王冠形成のため酸化シリコンがwetエッチングされる。

【0082】

第4実施の形態では厚い酸化シリコン膜の途中に窒化シリコン膜が形成されているので、エッチングは窒化シリコン膜で停止し、半形状の王冠となる。この後、上記のように、ルテニウム膜222が下部電極として形成される。続いて、誘電体膜となる酸化タンタル膜125および上部電極126が形成され、キャパシタを形成する。

30

【0083】

第4実施の形態によれば、製品性能の確保に要求される容量にもよるが、王冠周囲に絶縁膜を残存させることができ、倒壊に対してより強固な下部電極を構成できる。

【0084】

【発明の効果】

上記のように、本発明の半導体集積回路装置では、ルテニウムで王冠型のキャパシタ用下部電極を形成するにあたり、予めシリコン、金属シリサイドで王冠を形成した後、その表面にルテニウムを設ける。

【0085】

また、セル間の分離に、ドライエッチングのレートが深孔の開口サイズ依存性を有することを利用して周辺部のみ選択的に除去する方法、もしくはCVD—Ruの成膜レートの下地材料依存性があることを利用して母材電極上のみ選択的に成長させる方法を用いる。

40

【0086】

また、王冠型の下部電極形成において、単体では倒壊しやすいルテニウム膜の下に緻密で機械的強度に優れたシリコン、もしくは金属シリサイドを予め設けておき、その表面にルテニウムを形成しているので、電極の倒壊を防止することができる。また、深孔の底部のルテニウムのドライエッチング速度が開口サイズ依存性を有することを利用して、王冠周囲のルテニウムを選択的に除去して電極間の分離を実現することができる。

【0087】

50

更に、表面モホロジーが平滑で機械的強度の強いシリコン、シリサイドもしくはその複合材を母材電極として予め形成してあるのでCVDルテニウムのもホロジーの悪さ、膜中ボイドの存在による機械的強度の低下に起因する電極破損、倒壊の問題を回避して歩留まりを向上させることができる。

【0088】

本発明においては、多結晶シリコンによる王冠型下部電極を形成した後に、ルテニウムを形成する手順をとるために、ルテニウムは多結晶シリコン以外の部分にも形成される。個々のセルを電氣的に独立して制御するためには、多結晶シリコン以外の部分に形成されたルテニウムを除去して分離する必要がある。本発明では、異方性選択ドライエッチング法を用いているので、シリンダ内底部のルテニウムをエッチングすることなく、下部電極間のルテニウムのみを除去して分離することができる。

10

【図面の簡単な説明】

【図1】図1は、本発明の第1実施の形態による半導体集積回路装置を示す断面図である。

【図2】図2(a)、(b)、(c)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図3】図3(d)、(e)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図4】図4(f)、(g)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

20

【図5】図5(h)、(i)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図6】図6(j)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図7】図7は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスにおいて、非晶質シリコン膜の多結晶シリコン膜への変換を説明する断面図である。

【図8】図8(a)、(b)は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスにおいて、ルテニウム膜をプラズマエッチングする前後の構造を示す断面図である。

【図9】図9は、本発明の第1実施の形態による半導体集積回路装置を製造するプロセスにおいて、ルテニウム膜をプラズマエッチングすることができることを示すグラフである。

30

【図10】図10(a)、(b)は、本発明の第2実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図11】図11(a)、(b)は、本発明の第3実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

【図12】図12は、本発明の第3実施の形態による半導体集積回路装置を製造するプロセスにおいて、ルテニウム膜の選択的成膜を示す図である。

【図13】図13は、本発明の第4実施の形態による半導体集積回路装置を製造するプロセスを示す断面図である。

40

【図14】図14は、従来の半導体集積回路装置を製造するプロセスで、ルテニウム膜が折損することを示す断面図である。

【図15】図15(a)、(b)は、ルテニウム膜を熱処理してもボイドを含み、不均一であることを示す断面図である。

【符号の説明】

101：p型シリコン基板

102：nウエル

103：第1pウエル

104：第2pウエル

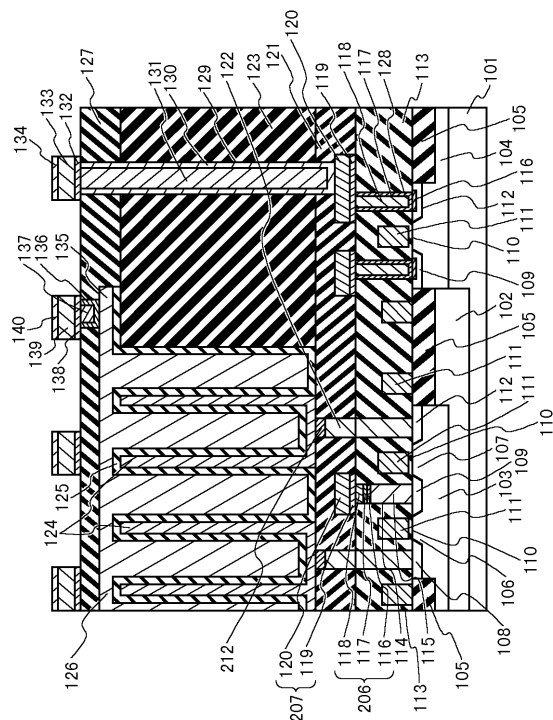
105：素子分離領域

50

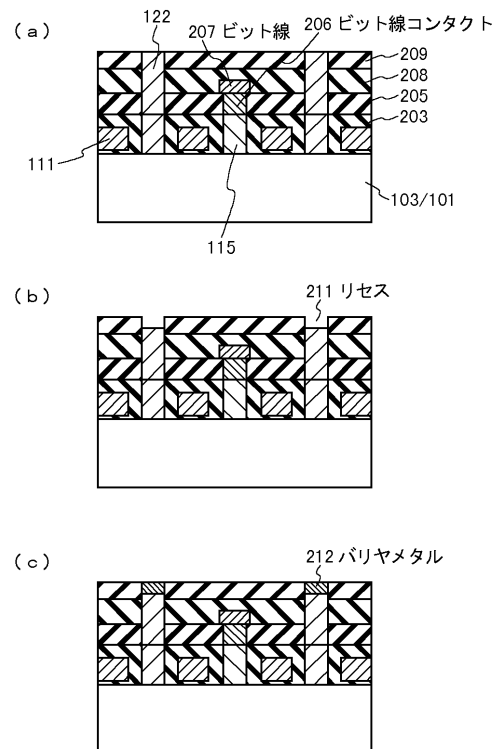
1 0 6、1 0 7：スイッチングトランジスタ	
1 0 8：ドレイン	
1 0 9：ソース	
1 1 0：ゲート絶縁膜	
1 1 1：ゲート電極（ワード線）	
1 1 2：ドレイン	
1 1 3：層間絶縁膜	
1 1 4：コンタクト孔	
1 1 5：第 1 シリコンプラグ	
1 1 6：チタンシリサイド膜	10
1 1 7：窒化チタン膜	
1 1 8：タングステン膜	
1 1 9：窒化タングステン膜	
1 2 0：タングステン膜	
1 2 1：層間絶縁膜	
1 2 2：シリコンプラグ	
1 2 3：層間絶縁膜	
1 2 4：下部電極	
1 2 5：誘電体絶縁膜（酸化タンタル膜）	
1 2 6：上部電極	20
1 2 7：層間絶縁膜	
1 2 8：コンタクト孔	
1 2 9：コンタクト孔	
1 3 0：窒化チタン膜	
1 3 1：タングステン膜	
1 3 2：窒化チタン膜	
1 3 3：アルミニウム膜	
1 3 4：窒化チタン膜	
1 3 5：引き出し配線	
1 3 6：窒化チタン膜	30
1 3 7：タングステン膜	
2 0 3：第 1 層間絶縁膜	
2 0 5：第 2 層間絶縁膜	
2 0 6：ビット線コンタクト	
2 0 7：ビット線	
2 0 8：第 3 層間絶縁膜	
2 0 9：第 4 層間絶縁膜	
2 1 1：リセス	
2 1 2：プラグコンタクト（バリアメタル層）	
2 1 3、2 1 4：絶縁膜	40
2 1 5：シリンド	
2 2 1：多結晶シリコン膜	
2 2 2：ルテニウム膜	
2 2 5：レジスト	
2 3 1：窒化チタン膜	
3 0 1：シリコン基板	
3 0 2：シリコン酸化膜	
3 0 5：酸化タンタル膜	
3 0 8：酸化シリコン膜	
3 0 9：窒化シリコン膜	50

- 4 0 1 : シリコン基板
- 4 0 2 : シリコン酸化膜
- 4 0 3 : 多結晶シリコン膜
- 5 0 1 : シリコン酸化膜
- 5 0 2 : シリコン窒化膜
- 5 0 3 : ルテニウム (R U) 膜
- 5 0 4 : ルテニウム
- 5 0 5 : ボイド
- 5 0 6 : 欠損

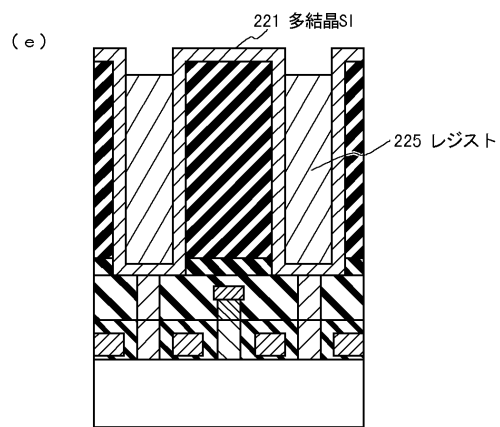
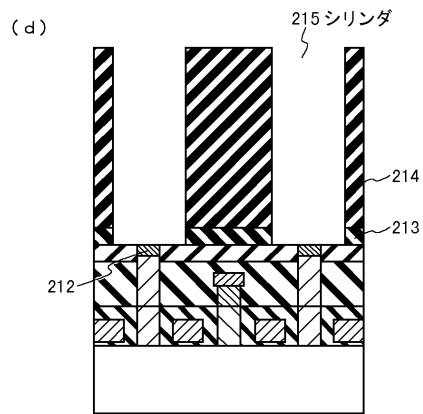
【図 1】



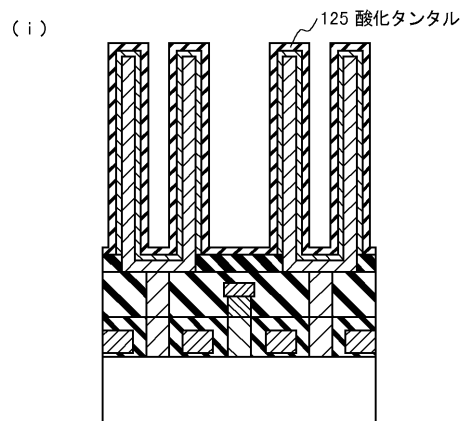
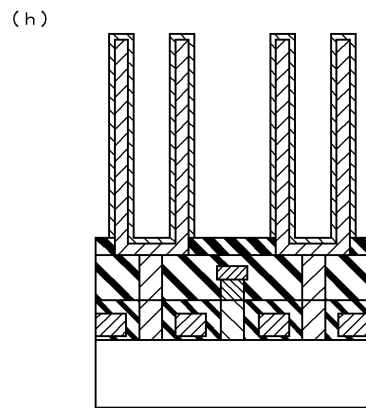
【図 2】



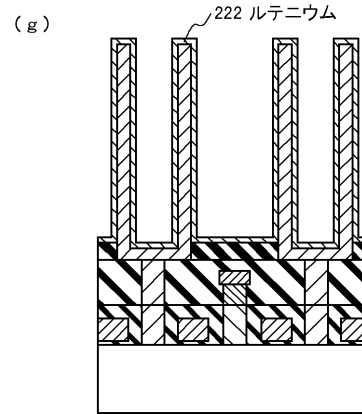
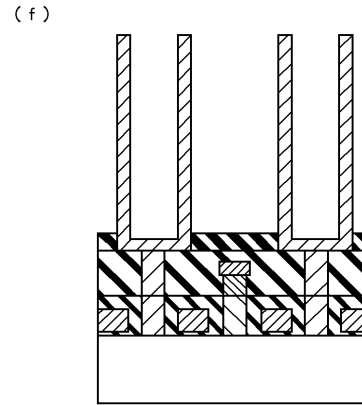
【図 3】



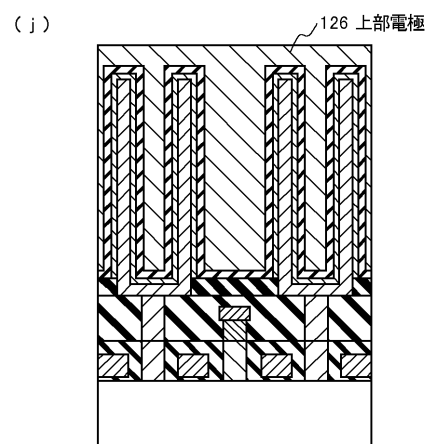
【図 5】



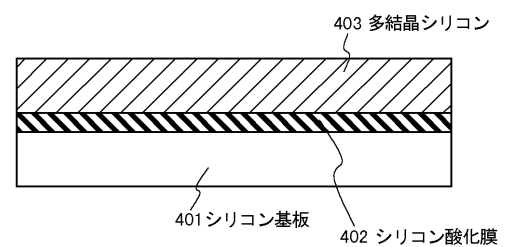
【図 4】



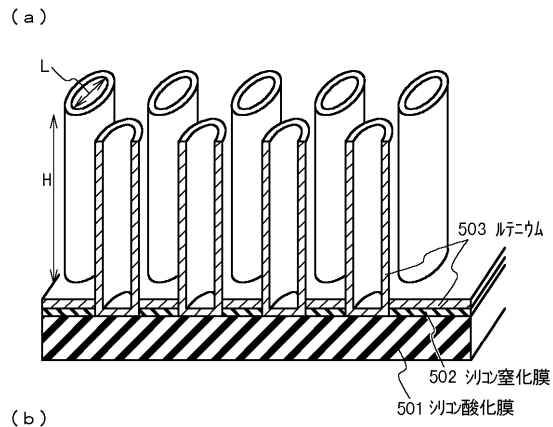
【図 6】



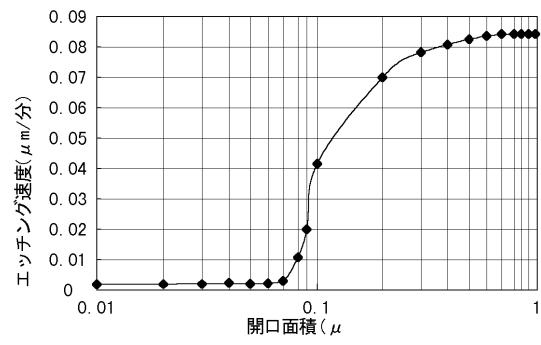
【図 7】



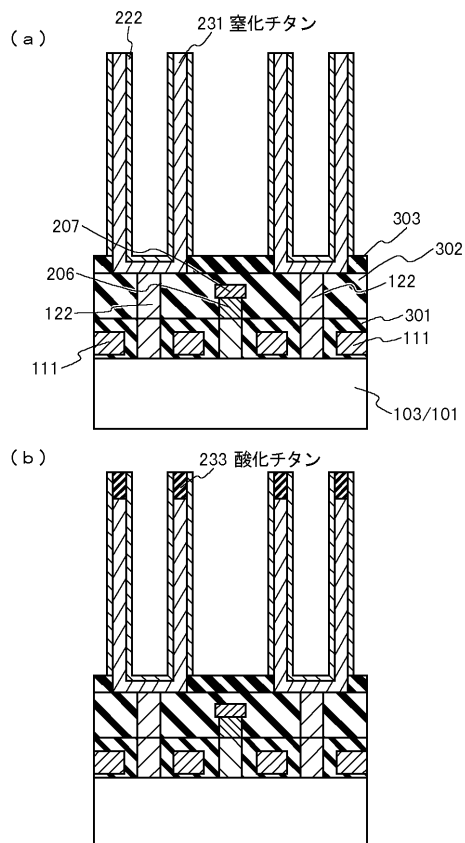
【図 8】



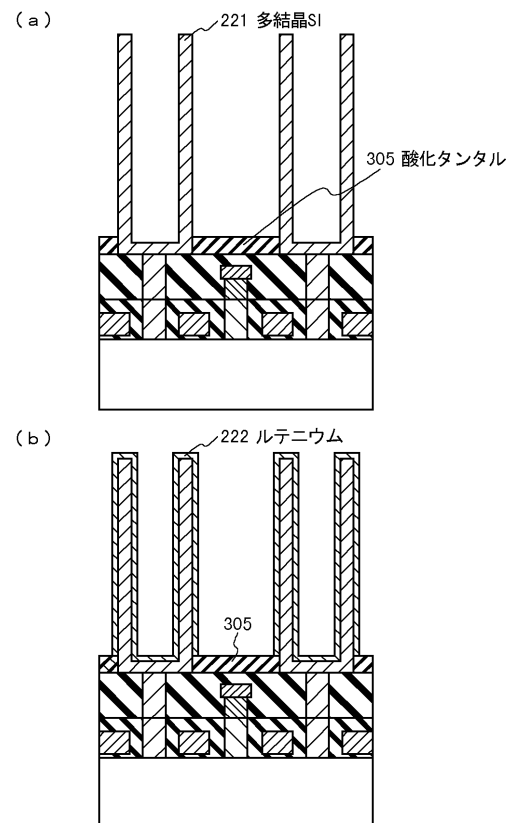
【図 9】



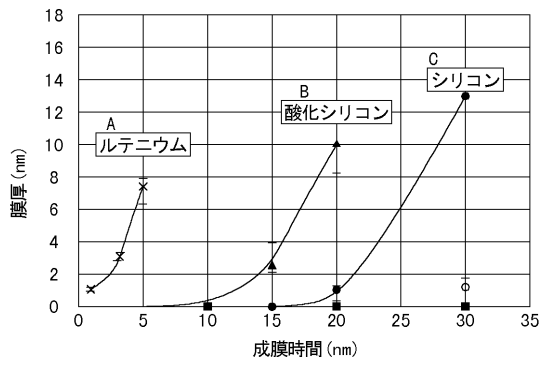
【図 10】



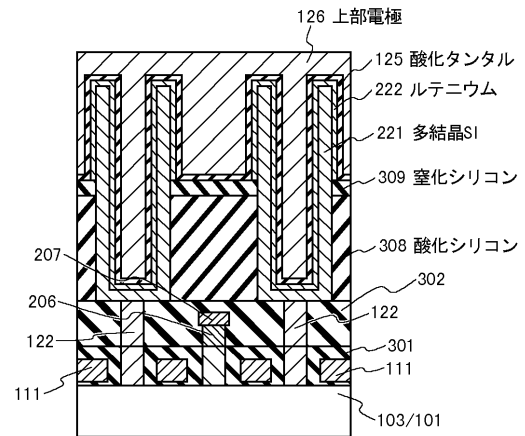
【図 11】



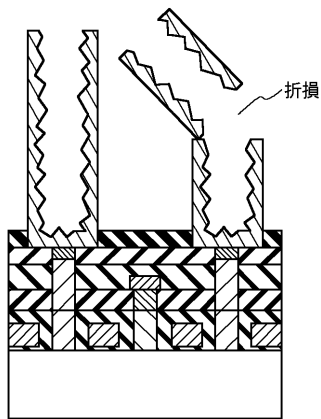
【図 1 2】



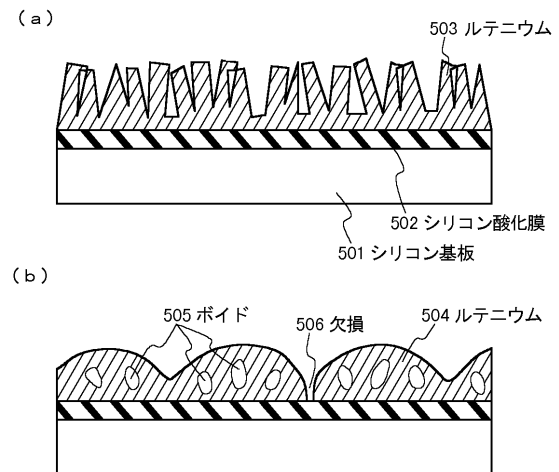
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

- (56)参考文献 特開平 0 9 - 2 2 3 7 7 8 (J P , A)
特開平 1 0 - 3 3 5 6 0 2 (J P , A)
特開 2 0 0 0 - 1 8 3 2 9 9 (J P , A)
特開 2 0 0 1 - 3 1 3 3 7 9 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H01L 21/8242
H01L 27/108